



(12)发明专利

(10)授权公告号 CN 103258644 B

(45)授权公告日 2017.09.29

(21)申请号 201310028071.8

(22)申请日 2013.01.24

(65)同一申请的已公布的文献号  
申请公布号 CN 103258644 A

(43)申请公布日 2013.08.21

(30)优先权数据  
10-2012-0016309 2012.02.17 KR

(73)专利权人 三星电机株式会社  
地址 韩国京畿道

(72)发明人 丁海硕 李炳华 朴珉哲 蔡恩赫

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286

代理人 金光军 刘奕晴

(51)Int.Cl.

H01G 4/30(2006.01)

H01G 4/005(2006.01)

H01G 4/12(2006.01)

(56)对比文件

CN 1307666 C,2007.03.28,

CN 1702786 A,2005.11.30,

CN 101369487 A,2009.02.18,

CN 1201992 A,1998.12.16,

审查员 朱晓岗

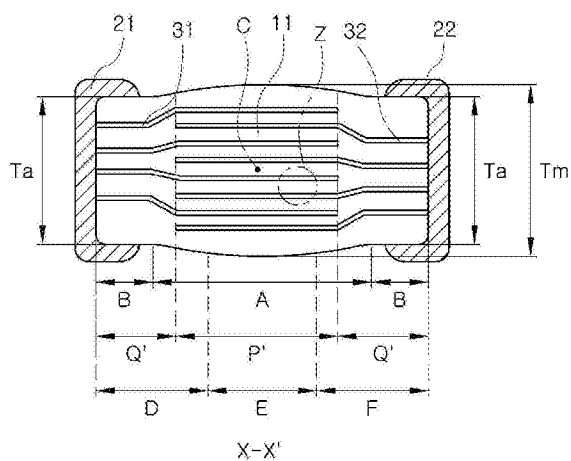
权利要求书2页 说明书13页 附图7页

(54)发明名称

多层陶瓷电子部件及其制造方法

(57)摘要

提供了一种多层陶瓷电子部件及其制造方法。多层陶瓷电子部件包括:具有外部电极的陶瓷本体;以及在陶瓷本体内被设置在陶瓷层之间的内部电极,陶瓷本体的宽度小于陶瓷本体的长度,并且被层压的内部电极的数量是250个或更多个,其中,当陶瓷层的厚度用 $T_d$ 表示并且内部电极的厚度用 $T_e$ 表示时, $0.5 \leq T_e/T_d \leq 2.0$ ,并且当陶瓷本体的中心部分的厚度用 $T_m$ 表示且陶瓷本体的每个侧部的厚度用 $T_a$ 表示时, $0.9 \leq T_a/T_m \leq 0.97$ ,并且因此,可以获得具有低等效串联电感(ESL)的多层陶瓷电子部件。



1. 一种多层陶瓷电子部件,包括:

陶瓷本体,具有外部电极;以及

内部电极,在所述陶瓷本体内设置在陶瓷层之间,并包括:电容形成部分,通过重叠所述内部电极和相邻的内部电极而形成电容;以及引出部分,从所述电容形成部分的一部分延伸并且被引出到所述陶瓷本体的外部,

当所述外部电极被连接和延伸的方向被表示为宽度方向;所述内部电极被层压的方向被表示为厚度方向;并且垂直于所述宽度方向和所述厚度方向的方向被表示为长度方向时,所述陶瓷本体的宽度小于所述陶瓷本体的长度,

被层压的所述内部电极的数量是250个或更多个,

当所述陶瓷层的厚度用 $T_d$ 表示并且所述内部电极的厚度用 $T_e$ 表示时, $0.5 \leq T_e/T_d \leq 2.0$ ,  
以及

在所述陶瓷本体的沿宽度-厚度方向的横截面中,当所述陶瓷本体的沿宽度方向的中心部分的厚度用 $T_m$ 表示并且所述陶瓷本体的每个侧部的厚度用 $T_a$ 表示时, $0.9 \leq T_a/T_m \leq 0.97$ ,

其中,所述引出部分每单位体积的密度大于所述电容形成部分每单位体积的密度。

2. 根据权利要求1所述的多层陶瓷电子部件,其中,所述陶瓷本体的沿所述宽度方向的所述中心部分是在所述陶瓷本体的沿所述宽度方向的中心的两侧上在所述陶瓷本体的宽度的15%内的区段内。

3. 根据权利要求1所述的多层陶瓷电子部件,其中,所述陶瓷本体的所述侧部是从所述陶瓷本体的沿所述宽度方向的每侧在所述陶瓷本体的宽度的10%内的区段。

4. 根据权利要求1所述的多层陶瓷电子部件,其中,所述外部电极延伸到所述陶瓷本体的沿所述宽度方向彼此相对的侧表面上、以及延伸到与所述侧表面相邻的其它表面的部分上。

5. 根据权利要求1所述的多层陶瓷电子部件,其中,所述陶瓷层的厚度是所述陶瓷层的设置在相邻的内部电极的所述电容形成部分之间的厚度。

6. 根据权利要求1所述的多层陶瓷电子部件,其中,所述内部电极的厚度是所述内部电极的所述电容形成部分的厚度。

7. 根据权利要求1所述的多层陶瓷电子部件,其中,沿所述宽度-厚度方向的所述横截面位于所述陶瓷本体的沿所述长度方向的所述中心的两侧上在所述陶瓷本体的长度的40%内的区段内。

8. 一种制造多层陶瓷电子部件的方法,所述方法包括:

通过层压250个或更多个内部电极层而制备长方体生基片,每个内部电极层均被插入在陶瓷层之间,所述长方体生基片的宽度小于所述长方体生基片的长度;

压缩所述生基片的沿宽度方向的侧部,从而使得被压缩部分的厚度与未被压缩部分的厚度的比是0.9-0.97;

烧结所述生基片;以及

在烧结后的基片的沿所述宽度方向的侧表面上形成外部电极,

其中,所述内部电极包括:电容形成部分,通过重叠所述内部电极和相邻的内部电极而形成电容;以及引出部分,从所述电容形成部分的一部分延伸并且被引出到所述陶瓷本体

的外部，

其中，所述引出部分每单位体积的密度大于所述电容形成部分每单位体积的密度。

9. 根据权利要求8所述的方法，其中，在所述生基片的所述制备步骤中，相邻的内部电极被分别暴露于所述生基片的相对表面。

10. 根据权利要求8所述的方法，其中，在所述压缩步骤中，沿所述内部电极的层压方向执行所述压缩。

11. 根据权利要求8所述的方法，其中，在所述外部电极的所述形成步骤中，将所述外部电极延伸到与沿所述宽度方向的所述侧表面相邻的其它表面的部分。

## 多层陶瓷电子部件及其制造方法

[0001] 相关申请的交叉引用

[0002] 这个申请要求于2012年2月17日在韩国知识产权局提交的韩国专利申请第10-2012-0016309号的优先权,该韩国专利申请的内容通过引用的方式结合于此。

### 技术领域

[0003] 本发明涉及多层陶瓷电子部件及其制造方法,以及更特别地,涉及具有低等效串联电感(ESL)的多层陶瓷电子部件。

### 背景技术

[0004] 近来,因为对于电子产品而言趋势已经是将会更小并且具有更高的电容量,被用在电子产品中的电子部件因此已经被要求是更小的并且具有更高的电容量。因此,对于多层陶瓷电子部件的需求正在增加。

[0005] 在多层陶瓷电容器的情况下,增大的等效串联电感(下文中称为“ESL”)可导致在电子产品性能的劣化,并且因为电子部件变得更小和更高电容量,增大的ESL在劣化电子部件性能方面的影响已经增大。

[0006] 通常所说的“低电感基片式电容器(LICC)”减小了外部端子之间的距离,并因减小了电流流动路径,从而减小了电容的电感。

[0007] 但是,当内部电极的引出部分被压缩时,为了减小在电容部件与内部电极的引出部分之间在电极密度上的差异,内部电极可能断裂或者弯曲,并且因此,其中的电流流动路径可被显著地增大,导致增大的ESI。

[0008] [相关的文献]

[0009] 韩国专利第10-0271910号

[0010] 韩国专利公布第2003-0014712号

### 发明内容

[0011] 本发明的方面提供了一种具有相对低的等效串联电感(ESL)的多层陶瓷电子部件及其制造方法。

[0012] 根据本发明的一个方面,提供了一种多层陶瓷电子部件,包括:陶瓷本体,具有外部电极;以及内部电极,在陶瓷本体内设置在陶瓷层之间,其中,当外部电极被连接和延伸的方向被表示为“宽度方向”;内部电极被层压的方向被表示为“厚度方向”;并且垂直于宽度方向和厚度方向的方向被表示为“长度方向”时,陶瓷本体的宽度小于陶瓷本体的长度,被层压的内部电极的数量是250个或更多个,当陶瓷层的厚度用 $T_d$ 表示并且内部电极的厚度用 $T_e$ 表示时, $0.5 \leq T_e/T_d \leq 2.0$ ,以及在陶瓷本体的沿宽度-厚度方向的横截面中,当陶瓷本体的沿宽度方向的中心部分的厚度用 $T_m$ 表示并且陶瓷本体的每个侧部的厚度用 $T_a$ 表示时, $0.9 \leq T_a/T_m \leq 0.97$ 。

[0013] 陶瓷本体的沿宽度方向的中心部分可以是在陶瓷本体的沿宽度方向的中心的两

侧上在陶瓷本体的宽度的15%内的区段内。

[0014] 陶瓷本体的侧部可以是陶瓷本体的沿宽度方向的每侧在陶瓷本体的宽度的10%内的区段。

[0015] 内部电极可包括：电容形成部分，通过重叠内部电极和相邻的内部电极而形成电容；以及引出部分，从电容形成部分的一部分延伸并且被引出到陶瓷本体的外部，引出部分比电容形成部分更厚。

[0016] 外部电极可延伸到陶瓷本体的沿宽度方向彼此相对的侧表面上、以及延伸到与侧表面相邻的其它表面的部分上。

[0017] 陶瓷层的厚度可以是陶瓷层的被设置在相邻的内部电极的电容形成部分之间的厚度。

[0018] 内部电极的厚度可以是内部电极的电容形成部分的厚度。

[0019] 沿宽度-厚度方向的横截面可位于在陶瓷本体的沿长度方向的中心的两侧上在陶瓷本体的长度的40%内的区段内。

[0020] 根据本发明的另一方面，提供了一种制造多层陶瓷电子部件的方法，该方法包括：通过层压250个或更多个内部电极层而制备长方体生基片(green chip)，每个内部电极层均被插入在陶瓷层之间，长方体生基片的宽度小于长方体生基片的长度；压缩生基片的沿宽度方向的侧部，从而使得被压缩部分的厚度与未被压缩部分的厚度的比是0.9-0.97；烧结生基片；以及在烧结后的基片的沿宽度方向的侧表面上形成外部电极。

[0021] 在生基片的制备步骤中，相邻的内部电极可被分别暴露于生基片的相对表面。

[0022] 在生基片的制备步骤中，可将内部电极形成为使得其引出部分比其电容形成部分更厚。

[0023] 在压缩步骤中，可沿内部电极的层压方向执行压缩。

[0024] 在外部电极的形成步骤中，可将外部电极延伸到与沿宽度方向的侧表面相邻的其它表面的部分。

## 附图说明

[0025] 本发明的上述的和其它的方面、特征和其它优点将从下面结合附图的详细描述中更清楚地理解，附图中：

[0026] 图1是根据本发明的实施例的多层陶瓷电子部件的立体图；

[0027] 图2是根据本发明的实施例的陶瓷本体的示意图；

[0028] 图3是图2的分解立体图；

[0029] 图4是沿着图1的线X-X'获得的横截面图；

[0030] 图5至7是示出根据本发明的实施例的内部电极的变型的示意图；以及

[0031] 图8是示出陶瓷层和内部电极的厚度的测量的示意图。

## 具体实施方式

[0032] 现在将参考附图详细地描述本发明的实施例。

[0033] 但是，本发明可以以多种不同的形式实施并且不应当被解释为被限于这里所阐述的实施例。

[0034] 本发明的实施例被提供以使得本领域技术人员可以更完全地理解本发明。

[0035] 在附图中,为了清楚起见,元件的形状和尺寸可能被放大,并且将始终使用相同的标号来指代相同的或者类似的元件。

[0036] 可能提供多层陶瓷电容器、多层基片式电感器、基片式珠(chip bead)、基片式变阻器等来作为多层陶瓷电子部件。

[0037] 下文中,将参照多层陶瓷电容器详细地描述本发明的实施例,但是本发明不应该被看作被限制于此。

[0038] 图1是根据本发明的实施例的多层陶瓷电子部件的立体图;图2是根据本发明的实施例的陶瓷本体的示意图;图3是图2的分解立体图;图4是沿着图1的线X-X'获得的横截面图;图5至7是示出根据本发明的实施例的内部电极的变型的示意图;以及图8是示出陶瓷层和内部电极的厚度的测量的示意图。

[0039] 参考图1,根据本发明的实施例的多层陶瓷电子部件可包括陶瓷本体10和外部电极21和22。

[0040] 如图1所示,“宽度方向”可以表示外部电极21和22被连接和延伸的方向(“W方向”);“层压方向”或者“厚度方向”可以表示内部电极被层压的方向(“T方向”);以及“长度方向”可以表示垂直于宽度方向和层压方向的方向(“L方向”)。

[0041] 陶瓷本体10可以由具有相对高介电常数的陶瓷材料形成,并且不限制于此,也可以使用基于钛酸钡的或者基于钛酸锶的材料或者类似材料。

[0042] 陶瓷本体10可以通过层压并然后烧结多个陶瓷层而形成,所述多个陶瓷层可以接合成单个本体,从而使得各个相邻的层可以不容易相互区分。

[0043] 陶瓷本体10可以是平行六面体。特别地,陶瓷本体10可以具有沿厚度方向彼此相对的顶部表面S1和底部表面S2、沿长度方向彼此相对的端部表面S3和S4、以及沿宽度方向彼此相对的侧表面S5和S6。但是,由于制造过程误差等原因,陶瓷本体10可能实际上不具有完全地长方形的形状。

[0044] 陶瓷本体10的宽度(即,外部电极21和22之间的距离)小于其长度。

[0045] 在通常的层压陶瓷电子部件中,外部电极可以设置在陶瓷本体的沿长度方向的端部表面上。在这种情况下,由于当交流电被施加到外部电极时电流路径可被拉长,因此可以形成更大的电流环路,并且所感应的磁场的强度可以增大,导致在电感的增大。

[0046] 横跨陶瓷本体10的外部电极21和22之间的距离可以小于其长度,以减小电流路径。因此,外部电极21和22之间的距离是小的,导致电流路径的减小,并且因而可减小电流环路,从而减小电感。同样地,所述多层陶瓷电子部件(其外部电极21和22之间的距离小于其长度)可以被称为反几何形状电容器(RGC)或者低电感基片式电容器(LICC)。

[0047] 所层叠的内部电极的数量可以是250个或更多个。

[0048] ESL增加的缺陷仅仅当所层叠的内部电极31和32的数量是250个或更多个时可能发生。当前的实施例被提供以解决这个缺陷,将参照表1对其进行描述。

[0049] 内部电极31或32的厚度 $T_e$ 与陶瓷层11的厚度 $T_d$ 的比 $T_e/T_d$ 可以是0.5-2.0或者更小。

[0050] 当该比 $T_e/T_d$ 小于0.5时,可不发生诸如破裂或者脱层(delamination)的缺陷。当该比 $T_e/T_d$ 是0.5或者更大时,可首先发生破裂或者脱层的缺陷。当前的实施例被提供以解决这

些缺陷。

[0051] 当该比 $T_e/T_a$ 大于2.0时,内部电极31或32的厚度大大地大于陶瓷层11的厚度,并且因此,甚至当改变其它的因素时,破裂或者脱层也不可被防止。

[0052] 将在下面解释诸如破裂或者脱层的缺陷,这些缺陷可能相对于内部电极的厚度 $T_e$ 与陶瓷层的厚度 $T_a$ 的比 $T_e/T_a$ 而发生。

[0053] 由于内部电极31和32包含导电金属,所以内部电极的热膨胀系数可大于陶瓷层的热膨胀系数。由于重复的膨胀和收缩贯穿整个加热过程,因此应力可能集中在内电极31或32与陶瓷层11之间的界面上,最终导致破裂或者脱层。

[0054] 在内部电极的厚度与陶瓷层的厚度的比相对低的情况下,由于内部电极的相对小程度的膨胀和收缩,可能不产生可以导致破裂或者脱层的应力,因此可能不发生破裂或者脱层的缺陷。

[0055] 但是,在内部电极的厚度与陶瓷层的厚度的比较大的情况下,内部电极在陶瓷本体10中的百分比更大,并且因此,内部电极的热膨胀和收缩可能更大。因此,可能发生破裂或者脱层。

[0056] 陶瓷层11的厚度 $T_a$ 可以指陶瓷层11的被设置在内部电极31和32之间的平均厚度。

[0057] 陶瓷层11的平均厚度可以从通过使用扫描电子显微镜(SEM)在10,000倍的放大倍数下扫描陶瓷本体10的沿宽度-厚度方的横截面而获得的图像来测量,如图8所示。

[0058] 特别地,陶瓷层11的平均厚度值可以通过在所扫描的图像上测量陶瓷层11的在宽度方向上等距的30个区域的厚度、然后平均所测量的厚度而获得。

[0059] 等距的30个区域可以从电容形成部分P中提取。

[0060] 此外,当在十个陶瓷层11上广泛地执行这个用于平均测量的方法并且计算其平均值时,陶瓷层11的平均厚度 $T_a$ 可以被进一步概括。

[0061] 内部电极31或32的厚度 $T_e$ 可以是内部电极31或32的电容形成部分P的厚度。

[0062] 由于在内部电极31或32与陶瓷层11之间的热膨胀系数上的差异所引起的内部电极31或32与陶瓷层11之间的脱层可能容易发生在具有相对高电极密度的电容形成部分P中,并且因此,内部电极的电容形成部分P的厚度需要被控制。

[0063] 在内部电极31或32的引出部分相互重叠并且因此电极密度低的区域中,由于内部电极31或32在陶瓷本体10中的百分比是相对小的,因此由于内部电极31或32与陶瓷层11之间的热膨胀系数上的差异所引起的脱层可以相对较少地发生。

[0064] 在沿宽度-厚度方向的横截面(W-T横截面)中,当陶瓷本体10的沿宽度方向的中心部分E的厚度用 $T_m$ 表示并且陶瓷本体10的侧部B的厚度用 $T_a$ 表示时,可以满足 $0.9 \leq T_a/T_m \leq 0.97$ 。

[0065] 在多层陶瓷电容器中,在内部电极的密度方面来看,在其中内部电极31和32的电容形成部分P相互重叠的区域与在其中内部电极31或32的引出部分Q相互重叠的区域不同。也就是说,在电极密度方面来看,在其中电容形成部分P相互重叠的区域大于在其中形成有引出部分的区域。

[0066] 这里,电极密度可以指内部电极31和32的区域在沿宽度-厚度方向的横截面(W-T横截面)的整个区域中的百分比。

[0067] 为了减小在内部电极31和32的电极密度上的差异,可以压缩在其中引出部分Q相

互重叠的区域Q'。考虑到内部电极31和32的厚度、陶瓷层11的厚度、陶瓷本体10的尺寸等,压缩可以在适当的压力下执行适当的时间期间。

[0068] 内部电极31和32可能在压缩部分B与未被压缩部分A之间的边界处破裂或者弯曲。在这种情况下,电流路径和电流环路可以进一步增加,导致ESL的增加。

[0069] 在外部电极21和22之间的距离相对较短的RGC或者LICC的情况下,这个现象可能相对更多地发生。

[0070] 陶瓷本体10的中心部分E的厚度 $T_m$ 可以通过在陶瓷本体10的沿宽度方向的中心部分E中从向下突出的最低点到向上突出的最高点的距离来定义。

[0071] 如图2和4所示,陶瓷本体10的沿宽度方向的中心部分E可以是在陶瓷本体10的沿宽度方向的中心C的两侧上在陶瓷本体10的宽度的15%内的区段内。

[0072] 原因是由于其侧部B被压缩而因此陶瓷本体10的中间部分A可向上和向下突出,并且在此处,突出部分的最高点和最低点可以形成在上述的范围内。

[0073] 陶瓷本体10的每个侧部B可以是从陶瓷本体10的沿宽度方向的每个侧边在陶瓷本体10的宽度的10%内的区段。

[0074] 陶瓷本体10的侧部B的厚度可以是平均厚度。

[0075] 由于陶瓷本体10沿内部电极31和32的层压方向被上下压缩,因此压缩后的侧部B可以是平坦的,并且被压缩部分B的从底部表面到顶部表面的厚度可以用陶瓷本体10的侧部B的厚度 $T_a$ 表示。

[0076] 当 $T_a/T_m$ 小于0.9时,电流路径和电流环路可增大,导致在ESL的增加。当 $T_a/T_m$ 大于0.97时,脱层可能发生。

[0077] 当侧部B的厚度 $T_a$ 与陶瓷本体10的沿宽度方向的中心部分E的厚度 $T_m$ 的比 $T_a/T_m$ 通过强压缩而增大时,内部电极31和32与陶瓷层11之间的结合强度可以被增大,但是ESL可由于电流路径的增大而增大。

[0078] 相反,在相对弱的压缩的情况下,电流路径仅仅被轻微地增大,这可能不导致ESL增加的缺陷,但是内部电极31和32与陶瓷层11之间的结合强度可能相对地减小,这可能导致脱层。

[0079] 沿宽度-厚度方向的横截面(W-T横截面)可位于在陶瓷本体10的沿长度方向的中心C的两侧上在陶瓷本体10的长度的40%内的区段内。

[0080] 原因是陶瓷本体10的厚度 $T_a$ 在上述范围内可以是稳定的,但是在上述范围之外不是稳定的。

[0081] 陶瓷本体10的两个部分B的厚度可以是相同的。

[0082] 墓石(Tombstone)缺陷可以通过将陶瓷本体10形成为具有对称的结构而防止。

[0083] 陶瓷本体10可以但不限制于包括钛酸钡或者钛酸锶。也可以使用能够包括具有相对高的介电常数的陶瓷材料的陶瓷本体10。

[0084] 当具有高介电常数的电介质材料位于具有不同极性的电极之间时,由于外部电场的反作用,可以设置存在于电介质材料中的电偶极。因此,更多的电荷可以被感应电极中,并且因此,更多的电能量可以被累积。

[0085] 内部电极31和32可以被层压在陶瓷本体10内,使得每个内部电极31和32均可以被插入在陶瓷层11之间。



[0086] 内部电极31或32可以包括电容形成部分P和引出部分Q,电容形成部分通过与相邻的内部电极31或32重叠而有助于电容形成,引出部分Q从电容形成部分P的一部分延伸并且被引出到陶瓷本体10的外部。

[0087] 在每个内部电极31和32中,引出部分Q可以比电容形成部分P更厚。

[0088] 对于陶瓷本体10来说,在电极密度方面来看,在其中电容形成部分P相互重叠的区域P' 高于在其中引出部分Q相互重叠的区域Q'。可以在其中引出部分Q相互重叠的区域Q' 上执行压缩,以减小电极密度的差异。

[0089] 除了压缩之外,内部电极31和32的引出部分Q也可以比其电容形成部分P更厚,以减小在电极密度上的差异。

[0090] 内部电极31和32可以通过比如丝网印刷导电糊或者类似物的方法形成。对于内部电极31和32的引出部分Q可以执行多次丝网印刷,从而使引出部分P形成得比电容形成部分Q更厚。

[0091] 图5至7示出了内部电极31和32的变型。

[0092] 图5A和5B示出了内部电极31和32的电容形成部分P延伸以形成其引出部分Q的情况,并且图6A和6B示出了引出部分Q小于电容形成部分P的情况。图7A和7B示出了每个引出部分Q被分成两个的情况。但是,内部电极31和32的形状不限于图5至7的情况中,并且可以根据需要变化。

[0093] 参考图8,每个内部电极31和32的厚度 $T_e$ 可以从通过使用扫描电子显微镜(SEM)扫描陶瓷本体10的沿宽度-厚度方向的横截面(W-T横截面)获得的图像而测量。

[0094] 例如,如图8所示,内部电极31或32的平均厚度可以通过以下方法获得:在从通过使用扫描电子显微镜(SEM)在10,000倍的放大倍数下扫描在宽度-厚度方向的一横截面(W-T横截面)(该横截面是在陶瓷本体10的沿长度方向的中心部分H中切割的)获得的图像中提取的任何内部电极31或32的图像上测量在宽度方向上是等距的30个区域的厚度、然后将所测量的厚度进行平均。

[0095] 如图2和4所示,陶瓷本体10的在长度方向上的中心部分H可以是在陶瓷本体10的沿长度方向的中心C的两侧上在陶瓷本体10的长度的40%内的区段内。原因是每个内部电极31和32的厚度 $T_e$ 在上文中描述的范围具有稳定的值。

[0096] 等距的30个区域可以从内部电极31或32的电容形成部分P中提取出。

[0097] 另外,当在10个或者更多个内部电极31或32上广泛地执行这个用于平均测量的方法并且计算其平均值时,内部电极31或32的平均厚度 $T_e$ 可以被进一步概括(generalize)。

[0098] 内部电极31和32可以包括从由金、银、铜、镍、钯及它们的合金组成的组中选择的至少一种。但是,不限制于此,也可以使用能够给内部电极31和32带来导电性的任何金属。

[0099] 诸如金、银、钯等的贵金属是昂贵的,但是在烧结的时候不需要考虑氧化缺陷出现。诸如镍等的贱金属是相对便宜的,并且因此,在成本方面可有效,但是烧结状态需要被保持在还原气氛中以防止金属的氧化。

[0100] 外部电极21和22可以延伸到陶瓷本体10的沿宽度方向彼此相对的侧表面S5和S6上以及延伸到邻近侧表面S5和S6的表面S1至S4的部分上。

[0101] 外部电极21和22可以覆盖陶瓷本体10的被压缩的侧部。

[0102] 外部电极21和22不限制于此,而是可以包括诸如铜等的导电金属,并且可以被进

一步在外部电极21和22中添加玻璃组分以增加其致密性。

[0103] 根据本发明的另一个实施例,提供了一种制造多层陶瓷电子部件的方法,该方法包括:通过层压250个或者更多个内部电极层而制备长方体生基片,每个内部电极层均被插入在陶瓷层之间,该长方体生基片的宽度小于该长方体生基片的长度;沿生基片的宽度方向压缩侧部,使得被压缩部分的厚度与未被压缩部分的厚度的比是0.9-0.97;烧结该生基片;以及在被烧结后的片的沿宽度方向的侧表面上形成外部电极。

[0104] 首先,可以通过层压250个或者更多个内部电极层来制备长方体生基片,每个内部电极层被插入在生陶瓷层之间,长方体生基片的宽度其长度小。

[0105] 陶瓷浆料可以通过混合陶瓷粉末、有机溶剂、粘合剂等以及进行球磨而制备,然后可以执行刮浆方法或者类似的使用陶瓷浆料的方法,以形成薄生片(green sheet)。

[0106] 包含导电金属的导电糊可以以与陶瓷浆料相同的方式制备,并且可以执行丝网印刷方法或者类似的使用导电糊的方法,以分别在生片上形成内部电极。

[0107] 可以层压已经形成有内部电极的250个或者更多个生片层,并且压缩这些生片层以形成生片层压板,然后可以切割所述生片层压板以制造生基片。

[0108] 内部电极可以暴露于生基片的相对表面,并且暴露有内部电极的表面所延伸的方向可以由宽度方向表示。生基片可以具有长方体,该长方体的宽度(也就是说、外部电极之间的距离)小于长度。

[0109] 上述情况的原因是外部端子之间的距离减少以便减小电路路径,并且因此,在电容器中ESL可以被减小。也就是说,上文中详细描述的情况的原因是为了制造RGC或者LICC。

[0110] 内部电极可以包括促成电容形成的电容形成部分以及从电容形成部分延伸且被引出到生基片的外部的引出部分,并且这里,引出部分可以比电容形成部分更厚。

[0111] 原因是为了减小在其中电容形成部分相互重叠的区域与在其中引出部分相互重叠的区域之间的电极密度的差异。

[0112] 下一步,可以压缩生基片的沿宽度方向的侧部,并且可以沿内部电极的层压方向执行该压缩。

[0113] 在生基片中,在其中电容形成部分相互重叠的区域中的层压的内部电极的数量是在其中引出部分相互重叠的区域中的层压的内部电极的数量的2倍,并且因此,在其中电容形成部分相互重叠的区域中的电极密度可以比在其中引出部分相互重叠的区域中的电极密度更大。在其中引出部分相互重叠的区域可以沿厚度方向压缩,以减小在电极密度上的差异。

[0114] 但是,当压缩太大时,内部电极可能过度地断裂或者成比例地弯曲,并且因此电流通路可能增加,导致ESL的增加。当压缩太小时,生陶瓷层与内部电极之间的结合强度可能不够,导致脱层。当在生基片中被压缩部分的厚度与未被压缩部分的厚度的比是0.9-0.97时,前述的缺陷可能不发生。

[0115] 然后,可以烧结生基片。

[0116] 在烧结之前,可以被在低于烧结温度的温度下执行煅烧过程。可以通过煅烧过程去除存在于生基片中的有机材料。在诸如镍等的贱金属用于内部电极的情况下,内部电极可能被氧化以减小其电导率,并且因此,烧结可能需要在还原气氛中执行。

[0117] 然后,可以在烧结后的基片的沿宽度方向的侧表面上形成外部电极。外部电极可

以延伸到与烧结后的基片的沿宽度方向的侧表面邻近的其它表面的部分上。外部电极可以通过使用包含导电金属的糊的印刷方法或者浸渍方法形成。这里,可以进一步地在糊中添加玻璃组分,从而增加外部电极的致密性,并且在将稍后执行的镀覆过程的期间防止镀覆液的渗入。

[0118] 然后,可以在外部电极上形成镀覆层以易于焊接。镀覆层可以是镍或者锡镀覆层。

[0119] 陶瓷本体可以包括钛酸钡。

[0120] 内部电极可以包括从由金、银、铜、镍、钯及它们的合金组成的组中选择的至少一种。

[0121] 外部电极可以包括铜。

[0122] 陶瓷本体、内部电极、外部电极等的其它细节与在上文中描述的相同。

[0123] 在下文中,将参考发明实例和比较实例描述本发明。

[0124] 根据本发明的发明实例和比较实例的多层陶瓷电容器中的每一个通过下列方法制造。

[0125] 通过将作为有机溶剂的乙醇、和作为粘合剂的乙基纤维素、与钛酸钡粉末进行混合、随后使用氧化锆球进行球磨而制备陶瓷浆料。陶瓷浆料通过刮浆方法涂敷在聚乙烯薄膜上,然后进行干燥,从而形成陶瓷生片。

[0126] 通过将作为有机溶剂的乙醇、和作为粘合剂的乙基纤维素、与镍粉末进行混合、随后球磨而制备导电糊。

[0127] 通过使用导电糊分别在陶瓷生片上形成内部电极。

[0128] 通过层压形成有内部电极的陶瓷生片而制造陶瓷生片层压板,然后切割陶瓷生片层压板以提供生基片。被层压的内部电极的数量是240个、250个和260个。

[0129] 在还原气氛中在1000℃的温度下烧结生基片,从而获得烧结的基片。

[0130] 通过使用包含铜作为主组分的导电糊而在烧结的基片上形成外部电极,并且因此,最终制造出多层陶瓷电容器。

[0131] 首先,为了确认层压的内部电极的数量的适当性,制造多层陶瓷电容器制造,同时改变所层压的内部电极的数量以及内部电极31或32的厚度 $T_e$ 与陶瓷层11的厚度 $T_d$ 的比 $T_e/T_d$ ,然后测量其ESL值。结果列出在表1中。

[0132] 特别地,当所层压的内部电极31或32的数量被改变为240个、250个和260个并且 $T_e/T_d$ 被改变为0.4、0.6、1.0和1.4时,测时多层陶瓷电容器的ESL值。在基片被安装在基板(substrate)上之后,通过使用矢量网络分析器(VNA)测量ESL值。

[0133] [表1]

[0134]

	所层压的内部电极的数量	$T_e$	$T_d$	$T_e/T_d$	ESL
样本 1	240	0.6	1.5	0.4	90
样本 2		0.75	1.5	0.5	91
样本 3		1.5	1.5	1	93
样本 4		2.1	1.5	1.4	94
样本 5	250	0.6	1.5	0.4	94
样本 6		0.75	1.5	0.5	102
样本 7		1.5	1.5	1	104
样本 8		2.1	1.5	1.4	107
样本 9	260	0.6	1.5	0.4	96
样本 10		0.75	1.5	0.5	103
样本 11		1.5	1.5	1	106
样本 12		2.1	1.5	1.4	109

[0135] 如表1中所示,在所层压的内部电极的数量是240个并且 $T_e/T_d$ 值分别是0.4、0.5、1.0和1.4的样本1至4中,其ESL值分别是90pH、91pH、93pH和94pH。不管 $T_e/T_d$ 值如何,ESL值是相对较小的。ESL的单位是微微亨(皮亨,picohenry)“pH”。

[0136] 在所层压的内部电极的数量是250个并且 $T_e/T_d$ 值是0.4的样本5中呈现出94pH的ESL值;在所层压的内部电极的数量是250个并且 $T_e/T_d$ 值是0.5的样本6中呈现出102pH的ESL值;在所层压的内部电极的数量是250个并且 $T_e/T_d$ 值是1.0的样本7中呈现出104pH的ESL值;

并且在所层压的内部电极的数量是250个并且 $T_e/T_d$ 值是1.4的样本8中呈现出102pH的ESL值。

[0137] 从样本5至8中可以确认的是,当所层压的内部电极31和32的数量是250个并且 $T_e/T_d$ 值是0.4时,ESL值没有增加,但是当 $T_e/T_d$ 值是0.5或者更大时ESL急剧增加。

[0138] 并且,在所层压的内部电极的数量是260个的样本9至12中具有与在所层压的内部电极的数量是250个的情况相同的结果。

[0139] 总之,从上文中的表1可以确认的是,当所层压的内部电极31和32的数量是250个或更多个并且 $T_e/T_d$ 值是0.5或者更大时,ESL值急剧增加。

[0140] 本发明的实施例可以被提供以解决在所层压的内部电极31和32的数量是250个或更多个并且 $T_e/T_d$ 值是0.5或者更大的情况下发生的缺陷。

[0141] 下一步,为了确认侧部B的厚度 $T_a$ 与陶瓷本体10的沿宽度方向的中心部分E的厚度 $T_m$ 的比 $T_a/T_m$ 的适当性,测量通过上文中的方法制造的每个多层陶瓷电容器的ESL值,并且从被磨光的W-T横截面的SEM图像来测量陶瓷本体的厚度 $T_a$ 和 $T_m$ 、陶瓷层的厚度 $T_d$ 和内部电极的厚度 $T_e$ 。而且,观察是否发生脱层。结果被示出在表2中。

[0142] 特别地,当所层压的内部电极的数量是270个并且 $T_e/T_d$ 值被改变为0.5、1.0、2.0和2.2、而对于每个 $T_e/T_d$ 值来说 $T_a/T_m$ 值被改变为0.88、0.90、0.93、0.96和0.98时,测量多层陶瓷电容器的ESL值。以如上文中描述的方式测量陶瓷层的厚度 $T_d$ 和内部电极的厚度 $T_e$ 。

[0143] [表2]

[0144]

	$T_e(\mu\text{m})$	$T_d(\mu\text{m})$	$T_e/T_d$	$T_a(\mu\text{m})$	$T_m(\mu\text{m})$	$T_a/T_m$	ESL(pH)	脱层
比较实例 1	0.5	1	0.5	430	488	0.88	113	未发生
发明实例 1				440	488	0.90	95	未发生
发明实例 2				455	488	0.93	93	未发生
发明实例 3				470	488	0.96	91	未发生
比较实例 2				480	488	0.98	90	发生
比较实例 3	1.0	1	1.0	520	590	0.88	114	未发生
发明实例 4				530	590	0.90	94	未发生
发明实例 5				550	590	0.93	92	未发生
发明实例 6				565	590	0.96	91	未发生
比较实例 4				580	590	0.98	90	发生
比较实例 5	2.0	1	2.0	740	845	0.88	115	未发生
发明实例 7				760	845	0.90	96	未发生

[0145]

发明实例 8				790	845	0.93	93	未发生
发明实例 9				810	845	0.96	92	未发生
比较实例 6				830	845	0.98	91	发生
比较实例 7	2.2	1	2.2	790	896	0.88	117	发生
比较实例 8				810	896	0.90	96	发生
比较实例 9				830	896	0.93	94	发生
比较实例 10				860	896	0.96	93	发生
比较实例 11				880	896	0.98	92	发生

[0146] 参考表2,具有0.5的 $T_e/T_d$ 值和0.88的 $T_a/T_m$ 值的比较实例1呈现出113pH的ESL值并且没有脱层。这可能是陶瓷本体的沿宽度方向的侧部的厚度由于强压缩而被显著地减小,导致被增加的电流路径和被增加的ESL值,但是由于强压缩而没有发生脱层。

[0147] 具有全部是0.5的 $T_e/T_d$ 值和分别为0.90、0.93和0.96的 $T_a/T_m$ 值的发明实例1至3分别呈现出了95pH、93pH和91pH的ESL值,并且全部没有发生脱层。

[0148] 具有0.5的 $T_e/T_d$ 值和0.98的 $T_a/T_m$ 值的比较实例2呈现出90pH的ESL值并且发生脱层。这可能是弱压缩导致电流路径的较小增加和ESL的较小增加,但是由不同类型的材料形成的内部电极和陶瓷层之间的结合强度减小,导致脱层。

[0149] 具有全部为1.0的 $T_e/T_d$ 值的比较实例3、发明实例4至6和比较实例4呈现出与在 $T_e/T_d$ 值是0.5的情况相同的结果。

[0150] 而且,具有全部为2.0的 $T_e/T_d$ 值的比较实例5、发明实例7至9和比较实例6呈现出与在 $T_e/T_d$ 值是0.5的情况相同的结果。

[0151] 具有全部为2.2的 $T_e/T_d$ 值的比较实例7至11全部呈现出脱层。可能是因为内部电极相对较厚且因此由于内部电极的重复的热膨胀和热收缩而产生的应力相对较强,并且因此,由于这个应力而发生脱层。

[0152] 总之,当所层压的内部电极的数量是270个并且 $T_e/T_d$ 值和 $T_a/T_m$ 值分别是0.6-2.0和0.9-0.97时,ESL值相对较小并且不发生脱层。

[0153] 如上文中阐述的一样,根据本发明的实施例,可以获得具有相对较低的等效串联电感(ESL)的多层陶瓷电子部件。

[0154] 虽然已经连同实施例示出和描述本发明,但是对于本领域技术人员而言显然的是,在不偏离由所附权利要求定义的本发明的精神和范围的情况下,可以做出修改和变更。



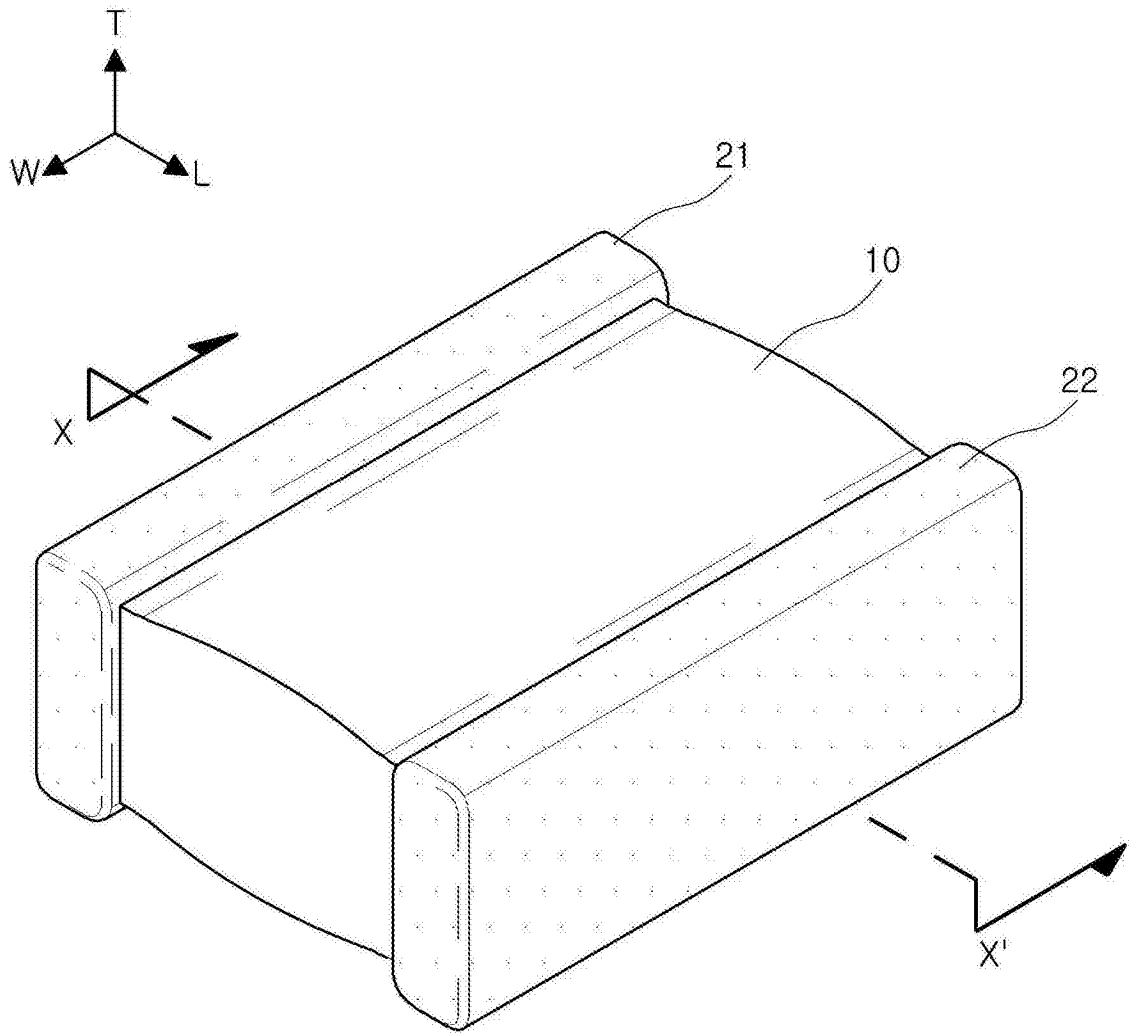


图1

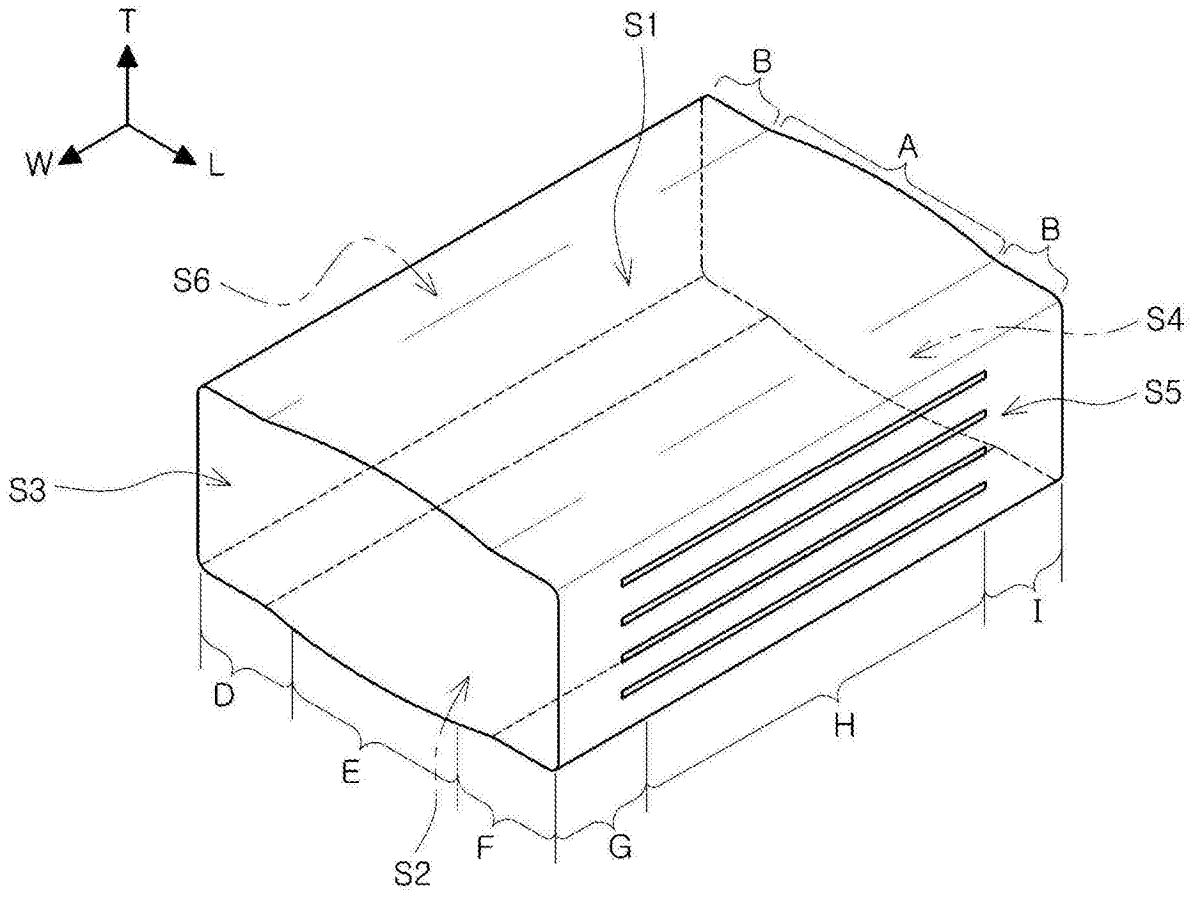


图2

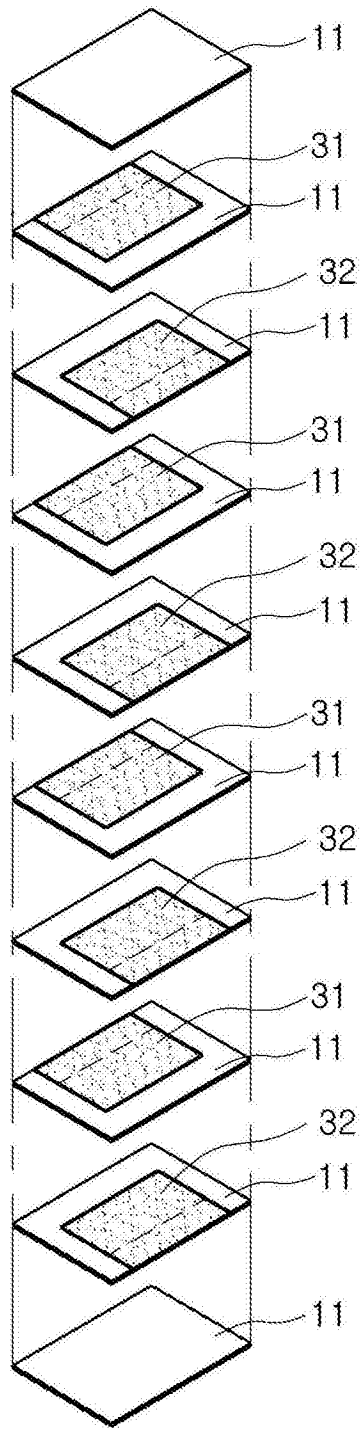


图3

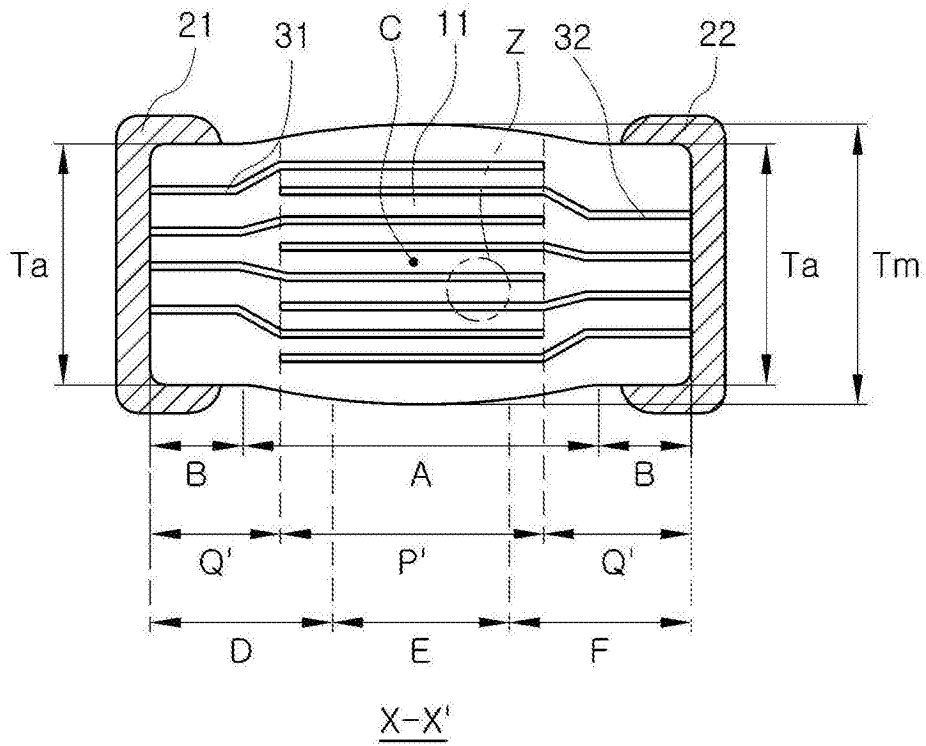


图4

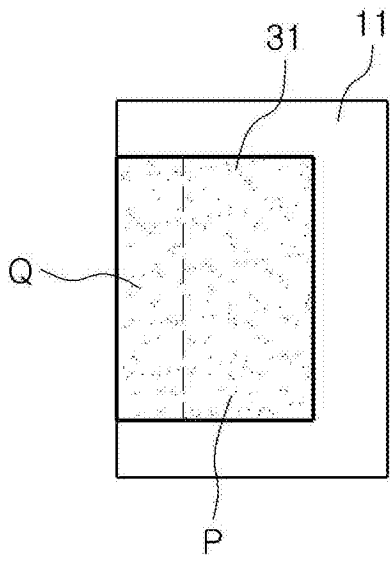


图5A

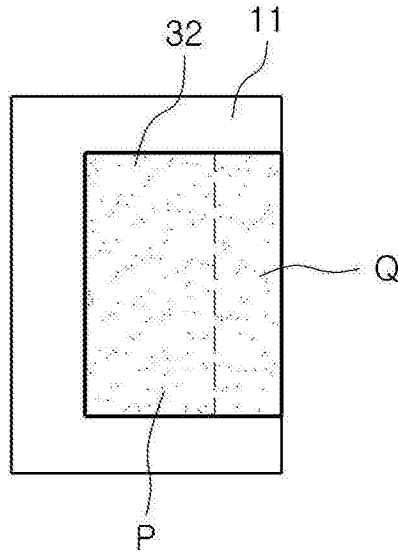


图5B

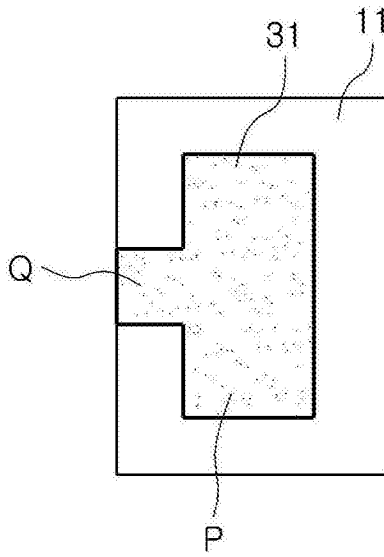


图6A

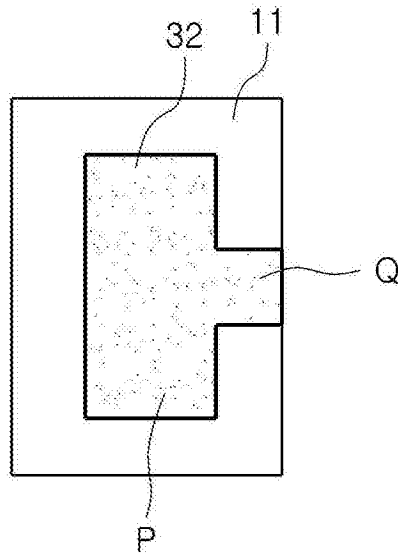


图6B

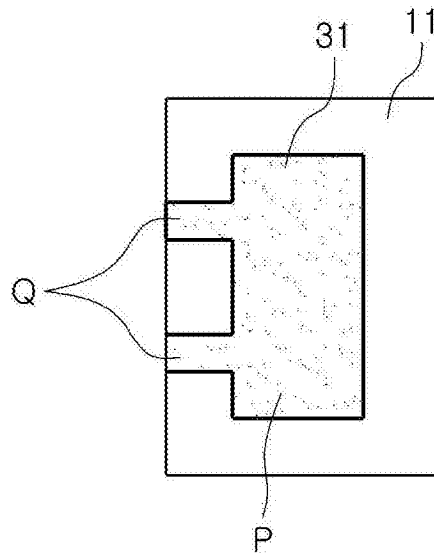


图7A

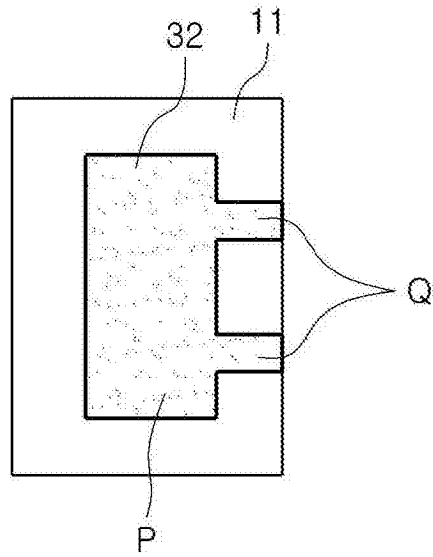


图7B

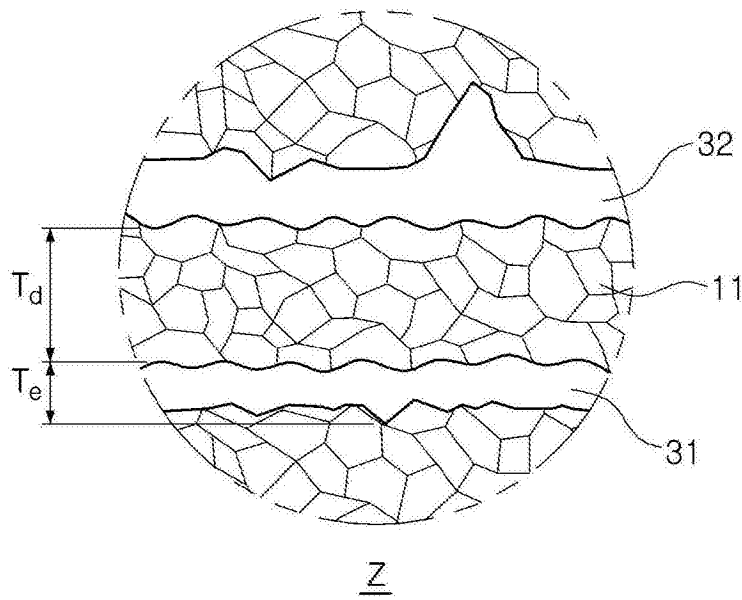


图8