



(12) 发明专利申请

(10) 申请公布号 CN 105280696 A

(43) 申请公布日 2016. 01. 27

(21) 申请号 201510846159. X

(22) 申请日 2015. 11. 27

(71) 申请人 西安电子科技大学
地址 710071 陕西省西安市太白南路 2 号

(72) 发明人 王冲 魏晓晓 郝跃 何云龙
郑雪峰 马晓华 张进成

(74) 专利代理机构 陕西电子工业专利中心
61205

代理人 王品华 朱红星

(51) Int. Cl.

H01L 29/778(2006. 01)

H01L 21/335(2006. 01)

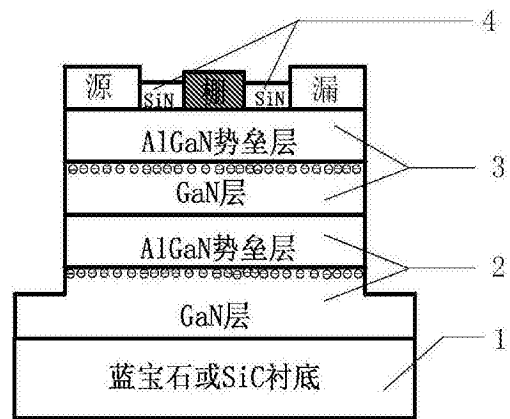
权利要求书2页 说明书7页 附图2页

(54) 发明名称

多沟道鳍式结构的 AlGa_N/Ga_N 高电子迁移率晶体管

(57) 摘要

本发明公开了一种多沟道鳍式结构的 AlGa_N/Ga_N 高电子迁移率晶体管结构和制作方法。主要解决现有多沟道器件栅控能力差及 FinFET 器件电流低的问题。其自下而上依次包括衬底 (1)、第一层 AlGa_N/Ga_N 异质结 (2)、Si₃N₄ 钝化层 (4) 和源漏栅电极, 源电极和漏电极分别位于 Si₃N₄ 钝化层两侧顶层 AlGa_N 势垒层上, 其特征在于: 第一层 AlGa_N/Ga_N 异质结与 Si₃N₄ 钝化层之间设有 Ga_N 层和 AlGa_N 势垒层, 形成第二层 AlGa_N/Ga_N 异质结 (3); 栅电极覆盖在第二层异质结顶部和第一层及第二层异质结的两侧壁。本发明器件栅控能力强, 饱和电流大, 亚阈特性好, 可用于短栅长的低功耗低噪声微波功率器件。



1. 一种多沟道鳍式结构的 AlGaIn/GaN 高电子迁移率晶体管, 自下而上依次包括衬底 (1)、第一层 AlGaIn/GaN 异质结 (2)、SiN 钝化层 (4) 和源漏栅电极, 源电极和漏电极分别位于 SiN 钝化层两侧的顶层 AlGaIn 势垒层上, 其特征在于:

第一层 AlGaIn/GaN 异质结 (2) 与 SiN 钝化层 (4) 之间设有 GaN 层和 AlGaIn 势垒层, 形成第二层 AlGaIn/GaN 异质结 (3);

栅电极覆盖在第二层异质结 (3) 的顶部和第一层异质结 (2) 及第二层异质结 (3) 的两个侧壁。

2. 根据权利要求 1 所述的多沟道鳍式结构的 AlGaIn/GaN 高电子迁移率晶体管, 其特征在于: 衬底 (1) 为蓝宝石或 SiC 衬底。

3. 根据权利要求 1 所述的多沟道鳍式结构的 AlGaIn/GaN 高电子迁移率晶体管, 其特征在于: 第一层 AlGaIn/GaN 异质结 (2) 中的 GaN 层厚度为 $1 \sim 2 \mu\text{m}$, 第二层 AlGaIn/GaN 异质结 (3) 中的 GaN 层厚度为 $20 \sim 30\text{nm}$ 。

4. 根据权利要求 1 所述的多沟道鳍式结构的 AlGaIn/GaN 高电子迁移率晶体管, 其特征在于: 第一层 AlGaIn/GaN 异质结 (2) 中 AlGaIn 势垒层厚度与第二层 AlGaIn/GaN 异质结中的 AlGaIn 势垒层厚度均为 $15 \sim 25\text{nm}$, 其 Al 组份为 $25 \sim 35\%$ 。

5. 根据权利要求 1 所述的多沟道鳍式结构的 AlGaIn/GaN 高电子迁移率晶体管, 其特征在于: SiN 钝化层 (4) 的厚度为 $50 \sim 100\text{nm}$ 。

6. 根据权利要求 1 所述的多沟道鳍式结构的 AlGaIn/GaN 高电子迁移率晶体管, 其特征在于: 栅鳍宽度为 $30 \sim 100\text{nm}$ 。

7. 一种多沟道鳍式结构的 AlGaIn/GaN 高电子迁移率晶体管的制作方法, 包括如下步骤:

1) 在蓝宝石或 SiC 基片上, 利用 MOCVD 工艺, 依次生长 GaN 层和 AlGaIn 势垒层形成第一层 AlGaIn/GaN 异质结, 其中 GaN 厚度为 $1 \sim 2 \mu\text{m}$, AlGaIn 势垒层厚度为 $15 \sim 25\text{nm}$, 其 Al 组份为 $25 \sim 35\%$;

2) 在第一层 AlGaIn/GaN 异质结上重复生长一次或两次相同结构的 GaN 和 AlGaIn, 获得双异质结或三异质结, 形成多沟道结构, 其中 GaN 厚度均为 $20 \sim 30\text{nm}$, AlGaIn 势垒层厚度为 $15 \sim 25\text{nm}$, 其 Al 组份为 $25 \sim 35\%$;

3) 在所有异质结上进行有源区干法刻蚀和台面隔离, 形成宽度为 $30 \sim 100\text{nm}$ 的栅鳍;

4) 在最上表面的 AlGaIn 势垒层两侧制作源、漏欧姆接触电极;

5) 采用 PECVD 工艺, 在源漏电极之间进行 $50 \sim 100\text{nm}$ 厚的 SiN 层淀积覆盖其表面形成钝化层;

6) 在 SiN 钝化层中间采用 ICP 干法刻蚀设备, 在 CF_4 等离子体 0.5nm/s 的刻蚀速率下, 干法刻蚀出栅槽, 并淀积金属形成栅电极, 使其覆盖在第二层异质结的顶部和第一层异质结及第二层异质结的两个侧壁或第三层异质结的顶部和第一层异质结、第二层异质结及第三层异质结的两个侧壁;

7) 制作互连引线。

8. 根据权利要求 7 所述的多沟道鳍式结构的 AlGaIn/GaN 高电子迁移率晶体管制作方法, 其中所述步骤 1) 中的 MOCVD 工艺, 是以 NH_3 为 N 源, MO 源为 Ga 源, 在 1000°C 下进行 AlGaIn/GaN 异质结生长。

9. 根据权利要求 7 所述的多沟道鳍式结构的 AlGaIn/GaN 高电子迁移率晶体管制作方法,其中所述步骤 3) 中用有源区干法刻蚀进行台面隔离,形成栅鳍,按如下步骤进行:

9a) 先采用甩胶机在 3500 转 /min 的转速下甩胶,得到光刻胶掩模;再采用 E-beam 光刻机进行曝光,形成台面有源区和栅鳍的掩模图形;

9b) 采用 ICP 干法刻蚀设备,在 Cl_2 等离子体 1nm/s 的刻蚀速率下,干法刻蚀形成有源区和栅鳍,刻蚀深度远大于沟道厚度。

10. 根据权利要求 7 所述的多沟道鳍式结构的 AlGaIn/GaN 高电子迁移率晶体管制作方法,其中所述步骤 5) 中的 PECVD 工艺,是以 NH_3 为 N 源, SiH_4 源为 Si 源,在 250℃ 下进行 SiN 层淀积。

多沟道鳍式结构的 AlGaIn/GaN 高电子迁移率晶体管

技术领域

[0001] 本发明属于微电子技术领域,涉及半导体器件结构与制作,特别是一种多沟道鳍式结构的 AlGaIn/GaN 高电子迁移率晶体管 HEMT,可用于制作大规模集成电路。

背景技术

[0002] 近年来以 SiC 和 GaN 为代表的第三代宽禁带半导体以其大禁带宽度、高击穿电场、高热导率、高饱和电子速度和异质结界面二维电子气 2DEG 浓度高等特性,使其受到广泛关注。在理论上,利用这些材料制作的高电子迁移率晶体管 HEMT、发光二极管 LED、激光二极管 LD 等器件比现有器件具有明显的优越特性,因此近些年来国内外研究者对其进行了广泛而深入的研究,并取得了令人瞩目的研究成果。

[0003] AlGaIn/GaN 异质结高电子迁移率晶体管 HEMT 在高温器件及大功率微波器件方面已显示出了得天独厚的优势,追求器件高频率、高压、高功率吸引了众多的研究。为了进一步推动 GaN 异质结器件在更大电流、更高功率、更低功耗、更高频率、开关模式、多值逻辑门等领域的应用,对于多沟道多异质结材料和器件的研究就显得很有必要。

[0004] 2005 年, Rongming Chu 报道了 AlGaIn/GaN/AlGaIn/GaN 材料结构,同时制作完成了双沟道的 HEMT 器件。参见 Rongming Chu, et al, AlGaIn/GaN Double-Channel HEMTs, IEEE Transactions on electron devices, 2005. 52(4):438。由于该结构有两个 GaN 层作为沟道层,故被称为双沟道 AlGaIn/GaN 异质结。通过实验证明,双沟道中最邻近栅的沟道可以在高温、高压、高频等方面有屏蔽底层沟道少受影响的作用。与单沟道 AlGaIn/GaN 异质结相比,双沟道 AlGaIn/GaN 异质结可以有更高的二维电子气总密度,这使得器件饱和电流大幅度增加,对于功率应用的器件,饱和电流的提高至关重要。但是双沟道 AlGaIn/GaN 异质结材料总势垒层厚度增加,使得器件栅与下面的沟道距离增大,降低了栅控能力,器件跨导峰值有所下降。

[0005] 2013 年,鲁明等人对三沟道 AlGaIn/GaN 异质结材料的结构仿真、材料生长、器件制备等进行了进一步的研究。参见鲁明硕士毕业论文,三沟道 AlGaIn/GaN 异质结材料与器件研究。随着沟道数量的增加,由 AlGaIn/GaN 组成的异质结的层数也增多,使得器件有三层的二维电子气层并联在源漏之间,这样更进一步降低了沟道电阻,提高了器件源漏电流。但是,随着沟道数量的增加,离栅极越远的沟道受到的控制越弱,栅极电压的控制能力下降引起跨导峰值下降,器件增益下降。而且由于栅控能力的下降,阈值电压的负向移动很大。栅极对多个沟道的控制能力的提高是个挑战。

[0006] 采用 FinFET 结构制作的 AlGaIn/GaN HEMT 器件相对于普通 GaN 基 HEMT 器件,具有较多的优势。FinFET 结构最大的优点就是采用了三维立体结构,由栅极将沟道从三个方向包裹起来,沟道在三个方向都能受到栅极较好的控制,使得器件在沟道长度很短时,提高栅控能力,改善短沟道效应,降低关态泄漏电流。在高速高频应用方面,FinFET 结构器件具有低的泄漏电流和良好的亚阈值特性。

[0007] 蔡勇等人报道了纳米沟道阵列 AlGaIn/GaN HEMT。参见 Shenghou Liu, Yong

Cai, Guodong Gu, et al. Enhancement-Mode Operation of Nanochannel Array (NCA) AlGa_N/Ga_N HEMTs, IEEE ELECTRON DEVICE LETTERS, 2012, VOL. 33, NO. 3. 三面环栅的FinFET结构大大增强了栅极的控制能力。但沟道中发生的应力弛豫减小了异质结处的压电极化,使存在于异质结附近的电子气浓度下降,使得阈值电压会正向偏移。随着纳米沟道宽度的减小,器件的峰值跨导逐渐增大,并且具有纳米沟道阵列器件的跨导比常规器件都大,峰值跨导增大55%。但是由于FinFET结构器件具有纳米量级的栅宽,而栅宽的缩小使得源漏电流明显下降,器件的电流驱动能力下降,不利于器件在大功率方面的应用。

[0008] Ki-Sik 等人采用FinFET结构在常规势垒厚度AlGa_N/Ga_N异质结上研究了增强型器件的制作,参见Ki-Sik Im, Dong-Hyeok Son, Ho-Kyun Ahn, et al. Performance improvement of normally off AlGa_N/Ga_N FinFETs with fully gate-covered nanochannel, Solid-State Electronics 2013, 89:124 - 127. 该研究结果报导的器件使得电流开关比更大,亚阈特性更优良,功耗更低,为实现高稳定性Ga_N基数字电路打下良好的基础。为了更进一步提高Ga_N基数字电路特性,必须采用纳米级栅长和栅宽,但FinFET的纳米级栅宽会使得电路器件单元的电流驱动能力减弱,饱和电流降低,不能满足Ga_N基电子器件在高压开关、数字电路领域的应用要求。

发明内容

[0009] 本发明的目的在于针对以上多沟道异质结器件栅控能力差以及FinFET结构器件电流驱动能力较低的不足,提供一种多沟道鳍式结构的AlGa_N/Ga_N高电子迁移率晶体管,以满足Ga_N基电子器件在高压开关、数字电路领域的应用要求。

[0010] 本发明的技术思路是:对AlGa_N/Ga_N双异质结或AlGa_N/Ga_N三异质结材料,设计100nm内的单个栅宽,形成三维的FinFET结构。AlGa_N/Ga_N双异质结或AlGa_N/Ga_N三异质结材料结构的采用使得源漏之间形成多个并联的二维电子气通路,减小源漏之间的导通电阻,增大器件电流。三维的FinFET结构形成的关键是,在形成有源区台面刻蚀时,设计器件单元栅宽小于100nm。小于100nm的栅宽使得器件侧面栅发挥控制能力,提高栅控能力而增大器件跨导。

[0011] AlGa_N/Ga_N双异质结或AlGa_N/Ga_N三异质结材料结构的生长中,实现每层导电二维电子气都具有较高的迁移率和电子浓度,保证多沟道并联的结构使得器件源漏之间的导通电阻明显降低。在FinFET结构形成中,采用干法刻蚀工艺保证栅鳍侧面的陡峭,并保证栅鳍的高度明显大于异质结势垒层的厚度,实现器件的隔离。

[0012] 依据上述技术思路,本发明的多沟道鳍式结构的AlGa_N/Ga_N高电子迁移率晶体管,自下而上包括衬底、第一层AlGa_N/Ga_N异质结、Si₃N₄钝化层和源漏栅电极,源电极和漏电极分别位于Si₃N₄钝化层两侧的顶层AlGa_N势垒层上,其特征在于:

[0013] AlGa_N/Ga_N异质结与Si₃N₄钝化层之间设有Ga_N层和AlGa_N势垒层,形成第二层AlGa_N/Ga_N异质结;

[0014] 栅电极覆盖在第二层异质结的顶部和第一层异质结及第二层异质结的两个侧壁。

[0015] 依据上述技术思路,本发明制作多沟道鳍式结构的AlGa_N/Ga_N高电子迁移率晶体管的制作方法,包括如下步骤:

[0016] (1) 在蓝宝石或SiC基片上,利用MOCVD工艺,依次生长Ga_N层和AlGa_N势垒层形

成第一层 AlGaN/GaN 异质结,其中 GaN 厚度为 $1 \sim 2 \mu\text{m}$, AlGaN 势垒层厚度为 $15 \sim 25\text{nm}$, 其 Al 组份为 $25 \sim 35\%$;

[0017] (2) 在第一层 AlGaN/GaN 异质结上重复生长一次或两次相同结构的 GaN 和 AlGaN, 获得双异质结或三异质结,形成多沟道结构,其中 GaN 厚度均为 $20 \sim 30\text{nm}$, AlGaN 势垒层厚度为 $15 \sim 25\text{nm}$, 其 Al 组份为 $25 \sim 35\%$;

[0018] (3) 在所有异质结上进行有源区干法刻蚀和台面隔离,形成宽度为 $30 \sim 100\text{nm}$ 的栅鳍;

[0019] (4) 在最上表面的 AlGaN 势垒层两侧制作源、漏欧姆接触电极;

[0020] (5) 采用 PECVD 工艺,在源漏电极之间进行 $50 \sim 100\text{nm}$ 厚的 SiN 层淀积覆盖其表面形成钝化层;

[0021] (6) 在 SiN 钝化层中间采用 ICP 干法刻蚀设备,在 CF_4 等离子体 0.5nm/s 的刻蚀速率下,干法刻蚀出栅槽,并淀积金属形成栅电极,使其覆盖在第二层异质结的顶部和第一层异质结及第二层异质结的两个侧壁或第三层异质结的顶部和第一层异质结、第二层异质结及第三层异质结的两个侧壁;

[0022] (7) 制作互连引线。

[0023] 作为优选,上述多沟道鳍式结构的 AlGaN/GaN 高电子迁移率晶体管,其特征在于: AlGaN 势垒层厚度为 $15 \sim 25\text{nm}$, 其 Al 组份为 $25 \sim 35\%$ 。

[0024] 作为优选,上述多沟道鳍式结构的 AlGaN/GaN 高电子迁移率晶体管,其特征在于: 器件栅鳍宽度小于 100nm 。

[0025] 本发明器件由于采用多沟道的 AlGaN/GaN 异质结结构和 FinFET 的三维栅结构,因而与现有同类器件相比具有如下优点:

[0026] 1) 使得源漏之间能形成多个并联的二维电子气通路,该多个沟道并联通路的形成大大降低源漏之间的电阻,使得器件具有较小的开态电阻,同时具有较大的电流驱动能力。

[0027] 2) 使得栅不仅从上端对沟道进行控制,而且 100nm 以内的栅宽使得栅电极能从侧面对沟道电子进行控制,明显加强栅控能力,提高器件跨导和器件增益能力。

[0028] 3) 增强了栅控能力,能有效降低器件的关态泄漏电流,降低器件的静态功耗。

[0029] 4) 减小了器件的亚阈值摆幅,并使器件具有良好的开关特性。

附图说明

[0030] 图 1 是整体结构示意图;

[0031] 图 2 是图 1 的侧视图;

[0032] 图 3 是本发明器件的制作工艺流程示意图。

具体实施方式

[0033] 参照图 1,本发明器件包括蓝宝石或 SiC 衬底 1、第一层 AlGaN/GaN 异质结 2、第二层 AlGaN/GaN 异质结 3、SiN 钝化层 4 及源电极、漏电极、栅电极。其中最下层为蓝宝石或 SiC 衬底 1,衬底上为厚度为 $1 \sim 2 \mu\text{m}$ 的本征 GaN 层,本征 GaN 层上为 $15 \sim 25\text{nm}$ 厚、Al 组份为 $25 \sim 35\%$ 的 AlGaN 势垒层,形成第一层 AlGaN/GaN 异质结 2,该第一层 AlGaN/GaN 异质结 2 上设有 GaN 层厚度为 $20 \sim 30\text{nm}$, AlGaN 势垒层厚度为 $15 \sim 25\text{nm}$, Al 组份为 $25 \sim$

35%的第二层 AlGaIn/GaN 异质结 3, 第二层 AlGaIn/GaN 异质结 3 的上面即顶层是 AlGaIn 势垒层, 源电极和漏电极分别位于顶层 AlGaIn 势垒层两侧, 厚度为 50 ~ 100nm 的 SiN 钝化层 4 淀积在源电极和漏电极之间, 栅电极覆盖在第二层异质结 3 的顶部和第一层异质结 2 及第二层异质结 3 的两个侧壁, 形成一个半开口的矩形框, 如图 2 所示。

[0034] 参照图 3, 本发明器件的制作给出以下三种实施例。

[0035] 实施例 1: 制作栅鳍宽度为 100nm 的双沟道鳍式 AlGaIn/GaN 高电子迁移率晶体管。

[0036] 步骤 1. 利用 MOCVD 工艺, 外延生长双异质结。

[0037] 1. 1) 在 SiC 衬底基片上, 生长厚度为 1 μm 的本征 GaN 层;

[0038] 1. 2) 在本征 GaN 层上生长 15nm 厚的 AlGaIn 势垒层, 其中 Al 组份为 35%, 在本征 GaN 层与 AlGaIn 势垒层的接触位置形成二维电子气, 得到第一层 AlGaIn/GaN 异质结;

[0039] 1. 3) 在 15nm 厚的 AlGaIn 势垒层上再生长第二层厚度为 20nm 的本征 GaN 层;

[0040] 1. 4) 在第二层本征 GaN 层上生长第二层 15nm 厚的 AlGaIn 势垒层, 其中 Al 组份为 35%, 得到第二层 AlGaIn/GaN 异质结。

[0041] 本步骤的工艺条件是: 以 NH_3 为 N 源, MO 源为 Ga 源, 生长温度为 1000 $^\circ\text{C}$ 。

[0042] 步骤 2. 制作栅鳍和有源区。

[0043] 2. 1) 先采用甩胶机在 3500 转 /min 的转速下甩胶, 得到光刻胶掩模; 再采用电子束 E-beam 光刻机进行曝光, 形成台面有源区和 100nm 宽栅鳍的掩模图形;

[0044] 2. 2) 将做好掩模的基片采用 ICP98c 型感应耦合等离子体刻蚀机在 Cl_2 等离子体中以 1nm/s 的刻蚀速率进行台面隔离和栅鳍刻蚀, 刻蚀深度为 150nm。

[0045] 步骤 3. 电极制作和器件钝化。

[0046] 3. 1) 源漏电极制作:

[0047] 首先, 采用甩胶机在 5000 转 /min 的转速下甩胶, 得到光刻胶掩模厚度 0.8 μm ;

[0048] 接着, 在温度为 80 $^\circ\text{C}$ 的高温烘箱中烘 10min, 采用 NSR1755I7A 光刻机进行曝光, 形成源、漏区域掩模图形;

[0049] 然后, 采用 Ohmiker-50 电子束蒸发台以 0.1nm/s 的蒸发速率进行源漏电极制作, 源漏金属依次选用 Ti/Al/Ni/Au, 其中 Ti 厚度为 20nm, Al 厚度为 120nm, Ni 厚度为 45nm, Au 厚度为 55nm; 源漏欧姆接触金属蒸发完成后进行金属剥离;

[0050] 最后, 再用 RTP500 快速热退火炉, 在 870 $^\circ\text{C}$ 的 N_2 气氛中进行 30s 的快速热退火, 对欧姆接触金属进行合金, 完成源、漏电极的制作;

[0051] 3. 2) 采用 PECVD790 淀积设备以 NH_3 为 N 源, SiH_4 源为 Si 源, 在最上层 AlGaIn 势垒层上淀积厚度为 100nm 的 SiN 钝化层, 淀积温度为 250 $^\circ\text{C}$;

[0052] 3. 3) 制作栅槽:

[0053] 首先, 以 5000 转 /min 的转速在外延材料表面甩正胶, 得到厚度为 0.8 μm 的光刻胶掩模, 再在温度为 80 $^\circ\text{C}$ 的高温烘箱中烘 10min, 然后采用 NSR1755I7A 光刻机光刻获得栅电极图形;

[0054] 接着, 采用 ICP98c 型感应耦合等离子体刻蚀机在 CF_4 等离子体中以 0.5nm/s 的刻蚀速率刻蚀去除栅区域 100nm 厚的 SiN 层, 形成槽栅结构;

[0055] 3. 4) 制作栅电极:

[0056] 首先, 采用甩胶机在 5000 转 /min 的转速下甩胶, 得到光刻胶掩模厚度为 0.8 μm ;

[0057] 接着,在温度为 80℃ 的高温烘箱中烘 10min,采用 NSR1755I7A 光刻机进行曝光,光刻对准形成覆盖整个栅槽的栅区域掩模图形;

[0058] 最后,采用 Ohmiker-50 电子束蒸发台以 0.1nm/s 的蒸发速率进行栅金属的蒸发,使其覆盖在第二层异质结的顶部和第一层异质结及第二层异质结的两个侧壁,栅金属依次选用 Ni/Au,其中 Ni 厚度为 20nm, Au 厚度为 200nm;蒸发完成后进行金属剥离,得到完整的栅电极。

[0059] 步骤 4. 制作互联引线。

[0060] 先采用甩胶机在 5000 转 /min 的转速下甩正胶;

[0061] 再采用 NSR1755I7A 光刻机进行曝光,形成电极引线掩模图形;

[0062] 接着采用 Ohmiker-50 电子束蒸发台以 0.3nm/s 的蒸发速率对制作好掩模的基片进行引线电极金属蒸发,金属选用 Ti 厚度为 20nm, Au 厚度为 200nm;最后在引线电极金属蒸发完成后进行剥离,得到完整的引线电极。

[0063] 实施例 2: 制作栅鳍宽度为 50nm 的三沟道鳍式 AlGaIn/GaN 高电子迁移率晶体管。

[0064] 步骤一. 利用 MOCVD 工艺,外延生长三异质结。

[0065] 1a) 在蓝宝石衬底基片上,以 NH_3 为 N 源, MO 源为 Ga 源,生长温度为 1000℃,生长厚度为 1.5 μm 的本征 GaN 层;

[0066] 1b) 在本征 GaN 层上,生长 20nm 厚的 AlGaIn 势垒层,其中 Al 组份为 30%,在本征 GaN 层与 AlGaIn 势垒层的接触位置形成二维电子气,得到第一层 AlGaIn/GaN 异质结;

[0067] 1c) 在第一层 20nm 厚的 AlGaIn 势垒层上生长第二层厚度为 25nm 的本征 GaN 层;

[0068] 1d) 在第二层本征 GaN 层上生长第二层 20nm 厚的 AlGaIn 势垒层,其中 Al 组份为 30%,得到第二层 AlGaIn/GaN 异质结;

[0069] 1e) 在第二层 20nm 厚的 AlGaIn 势垒层上生长第三层厚度为 25nm 的本征 GaN 层;

[0070] 1f) 在第三层本征 GaN 层上生长第三层 20nm 厚的 AlGaIn 势垒层,其中 Al 组份为 30%,得到第三层 AlGaIn/GaN 异质结。

[0071] 上述步骤 1b) ~ 1f) 的工艺条件与 1a) 相同。

[0072] 步骤二. 制作栅鳍和有源区。

[0073] 2a) 先采用甩胶机在 3500 转 /min 的转速下甩胶,得到光刻胶掩模;再采用电子束 E-beam 光刻机进行曝光,形成台面有源区和 50nm 宽栅鳍的掩模图形;

[0074] 2b) 将做好掩模的基片采用 ICP98c 型感应耦合等离子体刻蚀机在 Cl_2 等离子体中以 1nm/s 的刻蚀速率进行台面隔离和栅鳍刻蚀,刻蚀深度为 175nm。

[0075] 步骤三. 电极制作和器件钝化。

[0076] 3a) 源漏电极制作:

[0077] 3a1) 采用甩胶机在 5000 转 /min 的转速下甩胶,得到光刻胶掩模厚度 0.8 μm ;

[0078] 3a2) 在温度为 80℃ 的高温烘箱中烘 10min,采用 NSR1755I7A 光刻机进行曝光,形成源、漏区域掩模图形;

[0079] 3a3) 采用 Ohmiker-50 电子束蒸发台以 0.1nm/s 的蒸发速率进行源漏电极制作,源漏金属依次选用 Ti/Al/Ni/Au,其中 Ti 厚度为 20nm, Al 厚度为 120nm, Ni 厚度为 45nm, Au 厚度为 55nm;源漏欧姆接触金属蒸发完成后进行金属剥离;

[0080] 3a4) 用 RTP500 快速热退火炉,在 870℃ 的 N_2 气氛中进行 30s 的快速热退火,对欧

姆接触金属进行合金,完成源、漏电极的制作;

[0081] 3b) 采用 PECVD790 淀积设备以 NH_3 为 N 源, SiH_4 源为 Si 源,在最上层 AlGaIn 势垒层上淀积厚度为 75nm 的 SiN 钝化层,淀积温度为 250℃;

[0082] 3c) 制作栅槽:

[0083] 3c1) 以 5000 转/min 的转速在外延材料表面甩正胶,得到厚度为 0.8 μm 的光刻胶掩模,再在温度为 80℃ 的高温烘箱中烘 10min,然后采用 NSR1755I7A 光刻机光刻获得栅电极图形;

[0084] 3c2) 采用 ICP98c 型感应耦合等离子体刻蚀机在 CF_4 等离子体中以 0.5nm/s 的刻蚀速率刻蚀去除栅区域 75nm 厚的 SiN 层,形成槽栅结构;

[0085] 3d) 制作栅电极:

[0086] 3d1) 采用甩胶机在 5000 转/min 的转速下甩胶,得到光刻胶掩模厚度为 0.8 μm ;

[0087] 3d2) 在温度为 80℃ 的高温烘箱中烘 10min,采用 NSR1755I7A 光刻机进行曝光,光刻对准形成覆盖整个栅槽的栅区域掩模图形;

[0088] 3d3) 采用 Ohmiker-50 电子束蒸发台以 0.1nm/s 的蒸发速率进行栅金属的蒸发,使其覆盖在第三层异质结的顶部和第一层、第二层及第三层异质结的两个侧壁,栅金属依次选用 Ni/Au,其中 Ni 厚度为 20nm, Au 厚度为 200nm;蒸发完成后进行金属剥离,得到完整的栅电极。

[0089] 步骤四. 制作互联引线。

[0090] 先采用甩胶机在 5000 转/min 的转速下甩正胶;再采用 NSR1755I7A 光刻机进行曝光,形成电极引线掩模图形;接着采用 Ohmiker-50 电子束蒸发台以 0.3nm/s 的蒸发速率对制作好掩模的基片进行引线电极金属蒸发,金属选用 Ti 厚度为 20nm, Au 厚度为 200nm;最后在引线电极金属蒸发完成后进行剥离,得到完整的引线电极。

[0091] 实施例 3: 制作栅鳍宽度为 30nm 的双沟道鳍式 AlGaIn/GaN 高电子迁移率晶体管。

[0092] 步骤 A. 利用 MOCVD 工艺,外延生长双异质结。

[0093] 在以 NH_3 为 N 源, MO 源为 Ga 源,生长温度为 1000℃ 的工艺条件下,先在 SiC 衬底基片上,生长厚度为 2 μm 的本征 GaN 层;再在本征 GaN 层上,生长 25nm 厚的 AlGaIn 势垒层,其中 Al 组份为 25%,在本征 GaN 层与 AlGaIn 势垒层的接触位置形成二维电子气,得到第一层 AlGaIn/GaN 异质结;然后在 25nm 厚的 AlGaIn 势垒层上生长第二层厚度为 30nm 的本征 GaN 层;最后在第二层本征 GaN 层上生长第二层 25nm 厚的 AlGaIn 势垒层,其中 Al 组份为 25%,得到第二层 AlGaIn/GaN 异质结。

[0094] 步骤 B. 制作栅鳍和有源区。

[0095] 先采用甩胶机在 3500 转/min 的转速下甩胶,得到光刻胶掩模;再采用电子束 E-beam 光刻机进行曝光,形成台面有源区和 30nm 宽栅鳍的掩模图形;然后将做好掩模的基片采用 ICP98c 型感应耦合等离子体刻蚀机在 Cl_2 等离子体中以 1nm/s 的刻蚀速率进行台面隔离和栅鳍刻蚀,刻蚀深度为 200nm。

[0096] 步骤 C. 电极制作和器件钝化。

[0097] C1) 源漏电极制作:

[0098] 先采用甩胶机在 5000 转/min 的转速下甩胶,得到光刻胶掩模厚度 0.8 μm ;再在温度为 80℃ 的高温烘箱中烘 10min,采用 NSR1755I7A 光刻机进行曝光,形成源、漏区域掩模

图形；然后源漏金属依次选用 Ti/Al/Ni/Au，采用 Ohmiker-50 电子束蒸发台以 0.1nm/s 的蒸发速率进行源漏电极制作，其中 Ti 厚度为 20nm，Al 厚度为 120nm，Ni 厚度为 45nm，Au 厚度为 55nm；最后，在源漏欧姆接触金属蒸发完成后进行金属剥离，并用 RTP500 快速热退火炉，在 870℃ 的 N₂ 气氛中进行 30s 的快速热退火，对欧姆接触金属进行合金，完成源、漏电极的制作；

[0099] C2) 采用 PECVD790 淀积设备以 NH₃ 为 N 源，SiH₄ 源为 Si 源，在 250℃ 下在最上层 AlGaIn 势垒层上淀积厚度为 50nm 的 SiN 钝化层；

[0100] C3) 制作栅槽：

[0101] 以 5000 转 /min 的转速在外延材料表面甩正胶，得到厚度为 0.8 μm 的光刻胶掩模，再在温度为 80℃ 的高温烘箱中烘 10min，然后采用 NSR1755I7A 光刻机光刻获得栅电极图形；再采用 ICP98c 型感应耦合等离子体刻蚀机在 CF₄ 等离子体中以 0.5nm/s 的刻蚀速率刻蚀去除栅区域 50nm 厚的 SiN 层，形成槽栅结构；

[0102] C4) 栅电极制作：

[0103] 首先采用甩胶机在 5000 转 /min 的转速下甩胶，得到光刻胶掩模厚度为 0.8 μm；再在温度为 80℃ 的高温烘箱中烘 10min，并用 NSR1755I7A 光刻机进行曝光，光刻对准形成覆盖整个栅槽的栅区域掩模图形；然后，采用 Ohmiker-50 电子束蒸发台以 0.1nm/s 的蒸发速率进行栅金属的蒸发，使其覆盖在第二层异质结的顶部和第一层异质结及第二层异质结的两个侧壁，栅金属依次选用 Ni/Au，其中 Ni 厚度为 20nm，Au 厚度为 200nm；蒸发完成后进行金属剥离，得到完整的栅电极。

[0104] 步骤 D. 制作互联引线。

[0105] 先采用甩胶机在 5000 转 /min 的转速下甩正胶；再采用 NSR1755I7A 光刻机进行曝光，形成电极引线掩模图形；接着采用 Ohmiker-50 电子束蒸发台以 0.3nm/s 的蒸发速率对制作好掩模的基片进行引线电极金属蒸发，金属选用 Ti 厚度为 20nm，Au 厚度为 200nm；最后在引线电极金属蒸发完成后进行剥离，得到完整的引线电极。

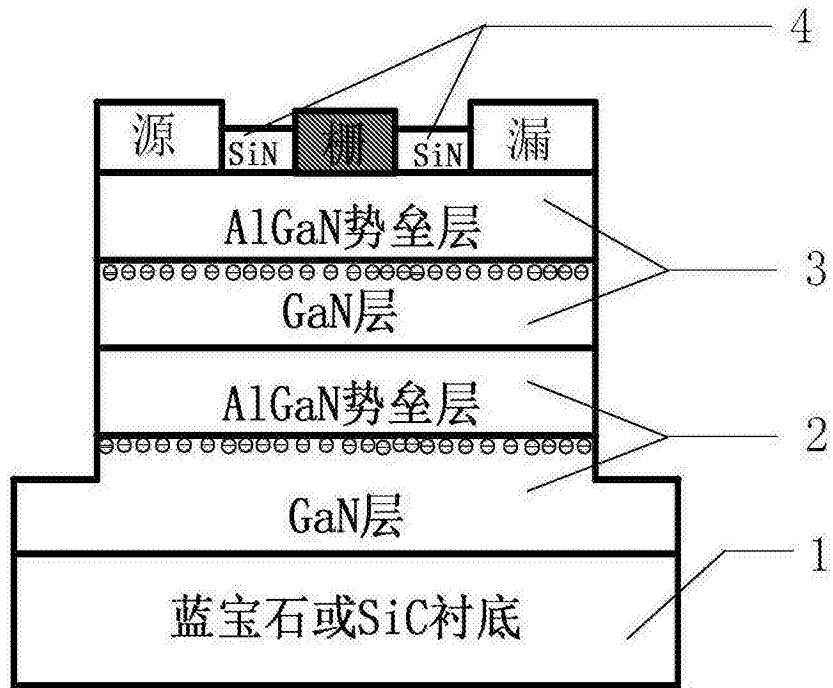


图 1

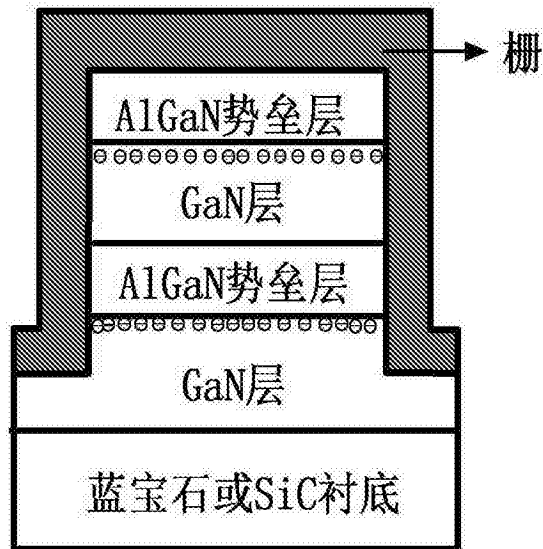


图 2

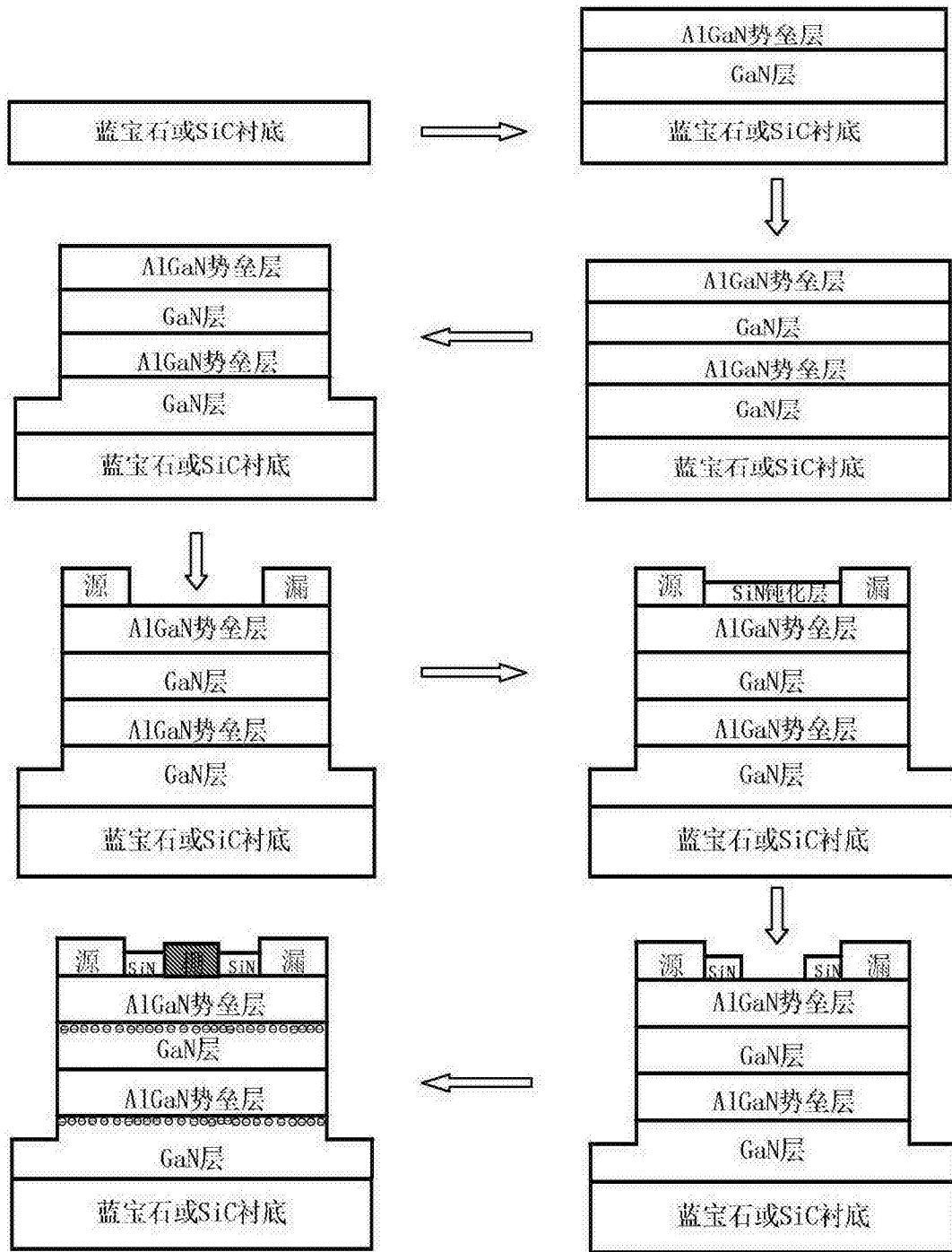


图 3