



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2011년11월24일  
 (11) 등록번호 10-1086260  
 (24) 등록일자 2011년11월17일

(51) Int. Cl.

*H01L 31/04* (2006.01) *H01L 31/042* (2006.01)

(21) 출원번호 10-2010-0027280

(22) 출원일자 2010년03월26일

심사청구일자 2010년03월26일

(65) 공개번호 10-2011-0108021

(43) 공개일자 2011년10월05일

(56) 선행기술조사문헌

JP10294481 A

JP2004153028 A

KR1020020031489 A

JP05102509 A

전체 청구항 수 : 총 16 항

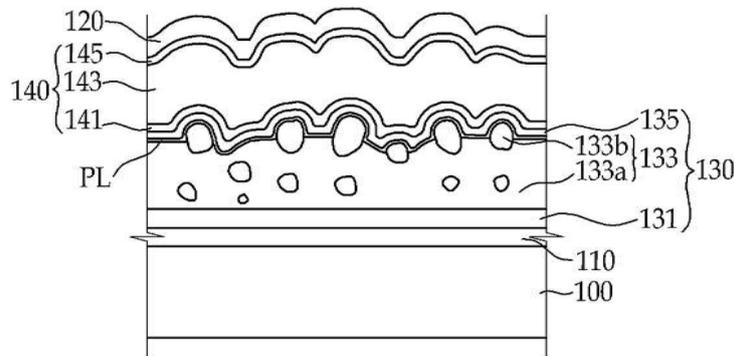
심사관 : 여덕호

**(54) 플렉서블 기판 또는 인플렉서블 기판을 포함하는 광기전력 장치 및 광기전력 장치의 제조 방법**

**(57) 요약**

본 발명의 광기전력 장치는 기판; 상기 기판상에 위치하는 제1 전극; 상기 제1 전극의 맞은 편에 위치하며, 빛이 입사되는 제2 전극; 상기 제1 전극 및 상기 제2 전극 사이에 위치하며, 수소화된 비정질 실리콘계 물질에 의해 둘러싸인 결정질 실리콘 입자를 포함하는 진성 반도체층을 포함하는 제1 단위전지; 및 상기 제1 단위전지와 상기 제2 전극 사이에 위치하는 제2 단위전지를 포함하며, 상기 진성 반도체층의 표면에서 상기 결정질 실리콘 입자는 상기 제2 단위전지 방향으로 돌출되어 있고, 상기 제1 단위전지의 진성 반도체층의 평균결정체적분율은 25% 이상 및 75% 이하이다.

**대표도** - 도1a



**특허청구의 범위**

**청구항 1**

기관;

상기 기관 상에 위치하는 제1 전극;

상기 제1 전극의 맞은 편에 위치하며, 빛이 입사되는 제2 전극;

상기 제1 전극 및 상기 제2 전극 사이에 위치하며, 수소화된 비정질 실리콘계 물질에 의해 둘러싸인 결정질 실리콘 입자를 포함하는 진성 반도체층을 포함하는 제1 단위전지; 및

상기 제1 단위전지와 상기 제2 전극 사이에 위치하는 제2 단위전지를 포함하며,

상기 진성 반도체층의 표면에서 상기 결정질 실리콘 입자는 상기 제2 단위전지 방향으로 돌출되어 있고,

상기 제1 단위전지의 진성 반도체층의 평균결정체적분율은 25% 이상 및 75% 이하인 광기전력 장치.

**청구항 2**

제1항에 있어서,

상기 기관은 플렉서블 기관인 것을 특징으로 하는 광기전력 장치.

**청구항 3**

제1항에 있어서,

상기 제1 단위전지 및 상기 제2 단위전지 각각은 순차적으로 적층된 n 타입 반도체층, 진성 반도체층 및 p타입 반도체층을 포함하는 것을 특징으로 하는 광기전력 장치.

**청구항 4**

제1항에 있어서,

상기 제1 단위전지의 진성 반도체층은 수소화된 마이크로 결정질 실리콘계 물질층을 포함하는 것을 특징으로 하는 광기전력 장치.

**청구항 5**

삭제

**청구항 6**

제1항에 있어서,

상기 제2 단위전지의 p 타입 반도체층의 표면에 요철이 형성되는 것을 특징으로 하는 광기전력 장치.

**청구항 7**

삭제

**청구항 8**

제1항에 있어서,

상기 제2 전극의 표면 요철의 평균 피치는 50 nm 이상 500nm 이하인 것을 특징으로 하는 광기전력 장치.

**청구항 9**

제1항에 있어서,

상기 제1 단위전지와 상기 제2 단위전지 사이에 중간반사막을 더 포함하며,  
상기 중간반사막의 두께는 20 nm 이상 200 nm 이하인 것을 특징으로 하는 광기전력 장치.

**청구항 10**

제1 단위전지, 및 빛이 입사되는 제2 단위전지를 포함하는 n-i-p 타입 광기전력 장치의 제조 방법에 있어서,  
기관상에 제1 전극을 형성하는 단계;  
상기 제1 전극 상에 상기 제1 단위전지의 n 타입 반도체층을 형성하는 단계;  
결정질 실리콘 입자를 둘러싸는 비정질 실리콘계 물질을 포함하는, 상기 제1 단위전지의 진성 반도체층을 상기 n 타입 반도체층 상에 형성하는 단계;  
상기 결정질 실리콘 입자가 돌출되도록 상기 진성 반도체층 표면을 에칭하는 단계; 및  
상기 진성 반도체층 상에 상기 제1 단위 전지의 p 타입 반도체층을 형성하는 단계를 포함하며,  
상기 제1 단위전지의 진성 반도체층의 평균결정체적분율은 25% 이상 및 75% 이하인 n-i-p 타입 광기전력 장치의 제조 방법.

**청구항 11**

제10항에 있어서,  
상기 기관은 플렉서블 기관인 것을 특징으로 하는 광기전력 장치의 제조 방법.

**청구항 12**

제10항에 있어서,  
상기 제1 단위전지의 진성 반도체층은 수소화된 마이크로 결정질 실리콘계 물질층을 포함하는 것을 특징으로 하는 광기전력 장치의 제조 방법.

**청구항 13**

삭제

**청구항 14**

제10항에 있어서,  
상기 진성 반도체층 표면에 대한 드라이 에칭이 이루어지는 것을 특징으로 하는 광기전력 장치의 제조 방법.

**청구항 15**

제14항에 있어서,  
상기 드라이 에칭은 수소 플라즈마 에칭이나 알곤 플라즈마 에칭인 것을 특징으로 하는 광기전력 장치의 제조 방법.

**청구항 16**

제10항에 있어서,  
상기 비정질 실리콘계 물질은 상기 결정질 실리콘 입자에 비하여 빨리 에칭되는 것을 특징으로 하는 광기전력 장치의 제조 방법.

**청구항 17**

제10항에 있어서,  
상기 에칭이 이루어진 진성 반도체층 상에 패시베이션 막이 형성되는 것을 특징으로 하는 광기전력 장치의 제조 방법.

**청구항 18**

제17항에 있어서,

상기 패시베이션 막은 수소화된 마이크로 결정질 실리콘계 물질로 이루어지는 것을 특징으로 하는 광기전력 장치의 제조 방법.

**청구항 19**

제10항에 있어서,

상기 제1 단위전지 상에 상기 제2 단위전지 및 제2 전극을 형성하는 단계를 더 포함하며,

상기 제2 전극의 표면 요철의 평균 피치는 50 nm 이상 500nm 이하인 것을 특징으로 하는 광기전력 장치의 제조 방법.

**명세서**

**기술분야**

[0001] 본 발명은 플렉서블 기관 또는 인플렉서블 기관을 포함하는 광기전력 장치 및 광기전력 장치의 제조 방법에 관한 것이다.

**배경기술**

[0002] 최근에 과도한 CO2 배출량으로 기후온난화와 고 유가로 인하여 에너지가 앞으로 인류의 삶을 좌우할 가장 큰 문제로 대두되고 있다. 풍력, 바이오 연료, 수소/연료전지 등 많은 신재생 에너지 기술들이 있으나, 모든 에너지의 근원인 태양에너지는 거의 무한한 청정에너지이기 때문에 태양광을 이용하는 광기전력 장치가 각광받고 있다.

[0003] 지구 표면에 입사되는 태양광은 120,000TW에 해당하기 때문에, 이론적으로 10% 광전 변환효율(conversion efficiency)의 광기전력 장치로 지구 육지면적의 0.16%만 덮는다면 한해 글로벌 에너지 소모량의 2배인 20 TW의 전력을 생산할 수 있다.

[0004] 실제로 지난 10년간 전세계 태양광 시장은 매년 성장률 40%에 육박하는 폭발적인 성장을 보여왔다. 현재, 광기전력 장치 시장의 90%는 단결정(single-crystalline)이나 다결정(multi-crystalline or poly-crystalline) 실리콘과 같은 벌크(bulk)형 실리콘 광기전력 장치가 점유하고 있다. 하지만, 주 원료인 태양전지급 실리콘 웨이퍼(solar-grade silicon wafer) 생산이 폭발적인 수요를 따라가지 못하여 전 세계적으로 품귀현상이 발생하게 되므로, 생산단가를 낮추는데 있어서 커다란 불안요소가 되고 있다.

[0005] 이에 반해, 수소화된 비정질 실리콘(a-Si:H)을 바탕으로 한 수광층을 사용하는 박막(thin-film) 실리콘 광기전력 장치는 벌크형 실리콘 광기전력 장치에 비해서 실리콘의 두께를 100분의 1이하로 줄일 수 있을 뿐 아니라, 대면적 저가 생산이 가능하다.

[0006] 한편, 단일접합(single-junction) 박막 실리콘 광기전력 장치는 달성할 수 있는 성능의 한계가 있기 때문에, 복수의 단위전지를 적층한 이중접합 박막 실리콘 광기전력 장치나, 삼중접합 박막 실리콘 광기전력 장치가 개발되어 고 안정화 효율(stabilized efficiency)의 달성을 추구하고 있다.

[0007] 이중접합 또는 삼중접합 박막 실리콘 광기전력 장치의 경우, 빛의 산란을 통한 효율의 향상을 위하여 전극 표면의 요철에 대한 연구가 진행되고 있다.

**발명의 내용**

**해결하려는 과제**

[0008] 본 발명의 광기전력 장치 및 광기전력 장치의 제조 방법은 광기전력 장치의 전극 표면에 요철을 형성하기 위한 것이다.

[0009] 본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

[0010] 본 발명의 광기전력 장치는 기관, 상기 기관 상에 위치하는 제1 전극, 상기 제1 전극의 맞은 편에 위치하며, 빛이 입사되는 제2 전극, 상기 제1 전극 및 상기 제2 전극 사이에 위치하며, 수소화된 비정질 실리콘계 물질에 의해 둘러싸인 결정질 실리콘 입자를 포함하는 진성 반도체층을 포함하는 제1 단위전지 및 상기 제1 단위전지와 상기 제2 전극 사이에 위치하는 제2 단위전지를 포함하며, 상기 진성 반도체층의 표면에서 상기 결정질 실리콘 입자는 상기 제2 단위전지 방향으로 돌출되어 있고, 상기 제1 단위전지의 진성 반도체층의 평균결정체적분율은 25% 이상 및 75% 이하이다.

[0011] 본 발명의 광기전력 장치의 제조 방법은 제1 단위전지, 및 빛이 입사되는 제2 단위전지를 포함하는 n-i-p 타입 광기전력 장치의 제조 방법에 있어서, 기관상에 제1 전극을 형성하는 단계; 상기 제1 전극 상에 상기 제1 단위전지의 n 타입 반도체층을 형성하는 단계; 결정질 실리콘 입자를 둘러싸는 비정질 실리콘계 물질을 포함하는, 상기 제1 단위전지의 진성 반도체층을 상기 n 타입 반도체층 상에 형성하는 단계; 상기 결정질 실리콘 입자가 돌출되도록 상기 진성 반도체층 표면을 에칭하는 단계; 및 상기 진성 반도체층 상에 상기 제1 단위전지의 p 타입 반도체층을 형성하는 단계를 포함하며, 상기 제1 단위전지의 진성 반도체층의 평균결정체적분율은 25% 이상 및 75% 이하이다.

**발명의 효과**

[0012] 본 발명의 광기전력 장치 및 광기전력 장치의 제조 방법은 단위전지의 결정질 실리콘 입자에 의하여 전극 표면에 충분한 요철을 형성할 수 있다.

**도면의 간단한 설명**

[0013] 도 1a 및 도 1b는 본 발명의 실시예에 따른 광기전력 장치를 나타낸다.  
 도 2a 내지 도 2h는 본 발명의 실시예에 따른 광기전력 장치의 제조 방법을 나타낸다.

**발명을 실시하기 위한 구체적인 내용**

[0014] 다음으로 도면을 참조하여 본 발명의 실시예에 따른 광기전력 장치에 대하여 상세히 설명된다.

[0015] 도 1은 본 발명의 실시예에 따른 광기전력 장치를 나타낸다. 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 광기전력 장치는 기관(100), 제1 전극(110), 제2 전극(120), 제1 단위전지(130), 및 제2 단위전지(140)를 포함한다.

[0016] 기관(100)은 플렉서블 기관 또는 인플렉서블 기관일 수 있다. 플렉서블 기관은 스테인레스 스틸(stainless steel), 알루미늄 포일과 같은 금속 기관이나, PEN (Polyethylene Naphthalate) 또는 PET (Poly Ethylene Terephthalate)와 같은 플라스틱 기관일 수 있다. 금속 기관의 경우 금속 기관 상에 형성되는 전극과의 절연을 위하여 금속 기관의 표면에 절연막이 형성될 수 있다. 인플렉서블 기관은 유리 기관일 수 있다.

[0017] 제1 전극(110)은 기관(100) 상에 위치한다. n-i-p 타입 광기전력 장치의 경우 빛은 제2 단위전지(140)를 통하여 입사되므로 기관(100)에 인접한 제1 전극(110)은 투광성을 지닐 수도 있고 투광성을 지니지 않을 수도 있다. 이에 따라 제1 전극(110)은 금속으로 이루어질 수 있고 TCO (Transparent Conductive Oxide)와 같은 투광성 도전 물질로 이루어질 수도 있다.

[0018] 제2 전극(120)은 제1 전극(110)의 맞은 편에 위치하며 빛이 입사된다. 앞서 설명된 바와 같이 n-i-p 타입 광기전력 장치의 경우 빛은 제2 단위전지(140)를 통하여 입사되므로 빛은 제1 전극(110)에 비하여 먼저 제2 전극(120)으로 입사된다. 이에 따라 제2 전극(120)은 투광성 도전 물질로 이루어질 수 있다.

[0019] 제1 단위전지(130)는 제1 전극(110) 및 제2 전극(120) 사이에 위치하며, 제2 전극(120) 방면의 표면에 요철을 형성하는 결정질 실리콘 입자를 포함하는 진성 반도체층(131)을 포함한다. 제1 단위전지(130)는 순차적으로 적층된 n 타입 반도체층(131), 진성 반도체층(133) 및 p 타입 반도체층(135)을 포함한다. 이에 따라 n 타입 반도체층(131), 진성 반도체층(133) 및 p 타입 반도체층(135) 중 n 타입 반도체층(131)이 제1 전극(110)에 가장 가

값다.

- [0020] 본 발명의 실시예에서 제1 단위전지(130)는 제2 단위전지(140)에 비하여 빛이 늦게 입사되므로 단과장 영역의 빛에 비하여 장과장 영역의 빛을 많이 흡수한다. 이에 따라 장과장 영역의 빛을 원활하게 흡수하기 위하여 제1 단위전지(130)의 진성 반도체층(133)은 수소화된 마이크로 결정질 실리콘계 물질층을 포함할 수 있다. 수소화된 마이크로 결정질 실리콘계 물질층은 수소화된 마이크로 결정질 실리콘 ( $i-\mu c-Si:H$ )이나 수소화된 마이크로 결정질 실리콘 게르마늄( $i-\mu c-SiGe:H$ )으로 이루어질 수 있다.
- [0021] 수소화된 마이크로 결정질 실리콘계 물질층은 수소화된 비정질 실리콘계 물질(133a)과, 수소화된 비정질 실리콘계 물질(133a)로 둘러싸인 결정질 실리콘 입자(133b)를 포함한다. 결정질 실리콘 입자(133b)는 제2 전극(120)을 향하여 돌출되어 있으므로 진성 반도체층(133)의 표면들 중 제2 전극(120) 방향의 표면에 요철을 형성한다. 이와 같이 결정질 실리콘 입자(133b)가 제2 전극(120)을 향하여 돌출되도록 하는 방법에 대해서는 이후에 상세히 설명된다.
- [0022] 이와 같이 결정질 실리콘 입자(133b)에 의하여 형성된 표면 요철에 의하여 제2 단위 전지(140)의 n 타입 반도체층(141), 진성 반도체층(143) 및 p 타입 반도체층(145)의 표면들에도 요철이 형성된다. 이에 따라 제2 단위전지(140)로 입사되는 빛이 산란될 수 있다.
- [0023] n-i-p 타입 광기전력 장치의 경우, 기판(100) 표면이나 제1 전극(110)의 표면에 요철이 형성되더라도 제1 단위 전지(130) 및 제2 단위전지(140)의 두께들이 크기 때문에 빛이 입사되는 제2 단위전지(140)의 표면에서 충분한 요철이 형성되지 않을 수 있다. 즉, 제1 단위전지(130) 및 제2 단위전지(140)의 두께가 크므로 증착에 의하여 제1 단위전지(130) 및 제2 단위전지(140)가 형성되면서 제1 단위전지(130) 및 제2 단위전지(140)의 표면은 평탄화될 수 있다.
- [0024] 반면에 본 발명의 실시예에 따른 광기전력 장치의 경우 제1 단위전지(130)의 결정질 실리콘 입자가 제2 단위전지(140)를 향하여 돌출되므로 제1 단위전지(130) 상에 제2 단위전지(140)가 형성될 경우 제2 단위전지(140)에 요철이 형성된다.
- [0025] 이상에서 설명된 바와 같이 수소화된 마이크로 결정질 실리콘계 물질층을 포함하는 진성 반도체층(133)의 평균 결정체적분율은 25 % 이상 75 % 이하일 수 있다.
- [0026] 진성 반도체층(133)의 평균결정체적분율이 25 % 이상인 경우 진성 반도체층(133)과 p 타입 반도체층(135) 사이의 계면이나 진성 반도체층(133)과 n 타입 반도체층(131) 사이의 계면에 수소화된 비정질 실리콘의 인큐베이션 층 (incubation layer)의 생성이 방지될 수 있다. 이에 따라 정공 전이 (hole transition) 또는 전자 전이 (electron transition)가 원활히 이루어져 재결합이 감소하고 광전변환효율이 향상된다.
- [0027] 진성 반도체층(133)의 평균결정체적분율이 75 % 이하인 경우 결정질 실리콘 입자의 크기가 과도하게 커지는 것이 방지되고 이에 따라 결정입자경계 (grain boundary)의 체적이 커지는 것이 방지될 수 있다.
- [0028] 제2 단위전지(140)는 제1 단위전지(130)와 제2 전극(120) 사이에 위치한다. 제2 단위전지(140)는 순차적으로 적층된 n 타입 반도체층(141), 진성 반도체층(143) 및 p 타입 반도체층(145)을 포함한다. 이에 따라 n 타입 반도체층(141), 진성 반도체층(143) 및 p 타입 반도체층(145) 중 p 타입 반도체층(145)가 제2 전극(120)에 가장 가깝다.
- [0029] 이 때 제1 단위전지(130) 및 제2 단위전지(140)의 p 타입 반도체층(135, 145)은 3족 불순물이 도핑되고, 제1 단위전지(130) 및 제2 단위전지(140)의 n 타입 반도체층(131, 141)은 5족 불순물이 도핑된다.
- [0030] 한편 도 1b에 도시된 바와 같이, 본 발명의 실시예에 따른 광기전력 장치는 제1 단위전지(130)와 제2 단위전지(140) 사이에 위치하는 중간반사막(150)을 더 포함할 수 있다. 중간반사막(150)의 평균 굴절률은 600 nm 파장에서 1.7 이상 내지 2.5 이하일 수 있다. 중간반사막(150)의 평균 굴절률이 1.7 이상 내지 2.5 이하인 경우 굴절률 정합 (refractive index matching)이 형성된다. 이에 따라 단과장 영역의 빛이 제2 단위전지(140)로 반사됨으로써 광기전력 장치의 광전변환효율이 향상될 수 있다.
- [0031] 다음으로 도면을 참조하여 본 발명의 실시예에 따른 광기전력 장치의 제조 방법에 대해 상세히 설명된다.
- [0032] 도 2a에 도시된 바와 같이, 스퍼터링 방법에 의하여 제1 전극(110)이 형성된 기판(100)이 준비된다. 제1 전극(110)이 형성되기 전에 기판(100)에 대한 세정 공정이 이루어질 수 있다. 제1 전극(110)이 금속으로 이루어진 경우 제1 전극(110)과 기판(100) 사이의 접착력을 증가시키기 위하여 ZnO 층이 제1 전극(110)과 기판(100) 사이

에 형성될 수 있다. 기판에 대해서는 앞서 상세히 설명되었으므로 생략된다.

- [0033] 도 2b에 도시된 바와 같이, 제1 단위전지(130)의 n 타입 반도체층(131)이 제1 전극(110) 상에 형성된다.
- [0034] 도 2c에 도시된 바와 같이, 제1 단위전지(130)의 진성 반도체층(133)이 n 타입 반도체층(131) 상에 형성된다. 이 때 제1 단위전지(130)의 진성 반도체층(133)은 결정질 실리콘 입자(133b)를 둘러싸는 비정질 실리콘계 물질(133a)을 포함한다. 즉, 제1 단위전지(130)의 진성 반도체층(133)은 혼합상 (mixed phase)을 지닌 수소화된 마이크로 결정질 실리콘계 물질층을 포함할 수 있다. 앞서 설명된 바와 같이, 진성 반도체층(133)의 평균결정체적분율은 25 % 이상 75 % 이하일 수 있다.
- [0035] 도 2d에 도시된 바와 같이, 진성 반도체층(133) 표면이 에칭된다. 이 때 수소 플라즈마 에칭이나 알곤 플라즈마 에칭과 같은 드라이 에칭 공정에 의하여 진성 반도체층(133) 표면이 에칭된다. 본 발명의 실시예에 따른 광기전력 장치가 플렉서블 기판을 포함하는 경우, 화학적 에칭의 경우 금속이나 폴리머로 이루어진 플렉서블 기판의 외형을 변화시키거나 손상시킬 수 있지만 드라이 에칭 공정은 화학적 에칭 (chemical etching) 공정에 비하여 플렉서블 기판에 대한 영향이 작다.
- [0036] 이에 따라 진성 반도체층(133)에 대한 선택적 에칭이 이루어진다. 즉, 진성 반도체층(133)은 앞서 설명된 바와 같이 식각물이 서로 다른 결정질 실리콘 입자와 비정질 실리콘계 물질을 포함한다. 비정질 실리콘계 물질은 결정질 실리콘 입자에 비하여 동일 조건에서 빨리 에칭된다. 따라서 드라이 에칭이 이루어지면 비정질 실리콘계 물질로 둘러싸인 결정질 실리콘 입자가 돌출된다. 이와 같이 돌출된 결정질 실리콘 입자에 의하여 진성 반도체층(133)의 표면에 요철이 형성된다.
- [0037] 아울러 비정질 실리콘계 물질이 제거됨으로써 진성 반도체층(133) 내에서 정공 수송(hole transport)이 향상되어 광기전력 장치의 개방 전압 및 광전변환효율이 향상될 수 있다.
- [0038] 도 2e에 도시된 바와 같이, 에칭이 이루어진 진성 반도체층(133) 상에 5 nm 내외의 패시베이션 막(PL)이 형성될 수 있다. 진성 반도체층(133)의 표면이 에칭되면 진성 반도체층(133)의 표면에서 재결합이 증가할 수 있다. 따라서 패시베이션 막(PL)이 에칭이 이루어진 진성 반도체층(133)의 표면 상에 형성될 수 있다. 이 때 패시베이션 막(PL)은 수소화된 마이크로 결정질 실리콘계 물질로 이루어질 수 있다. 진성 반도체층(133) 역시 수소화된 마이크로 결정질 실리콘계 물질층을 포함하므로 제조 공정이 간단해질 수 있다.
- [0039] 도 2f에 도시된 바와 같이, 진성 반도체층(133) 상에 제1 단위전지(130)의 p 타입 반도체층(131)이 형성된다. 이 때 p 타입 반도체층(131)은 수소화된 마이크로 결정질 실리콘 (p- $\mu$ c-Si:H)으로 이루어질 수 있다.
- [0040] 도 2g에 도시된 바와 같이, n 타입 반도체층(141), 진성 반도체층(143) 및 p 타입 반도체층(145)이 제1 단위전지(130) 상에 순차적으로 적층된다. 표면 요철이 형성된 제1 단위전지(130) 상에 제2 단위전지(140)가 형성되므로 제2 단위전지(140)의 표면에도 요철이 형성된다. 제2 단위전지(140)의 진성 반도체층(143)은 수소화된 비정질 실리콘(i-a-Si:H), 수소화된 비정질 실리콘 카바이드 (i-a-SiC:H), 수소화된 비정질 실리콘 옥사이드 (i-a-SiO:H), 수소화된 프로토타 결정질 실리콘(i-pc-Si:H), 또는 다층 구조를 지닌 수소화된 프로토타 결정질 실리콘 등으로 이루어질 수 있다.
- [0041] 도 2h에 도시된 바와 같이, 스퍼터링 법이나 LPCVD 법으로 제2 전극(150)이 제2 단위전지(140) 상에 형성된다. 이 때 제2 전극(150)은 ITO (Indium Tin Oxide), SnO<sub>2</sub>:F, 또는 ZnO로 이루어질 수 있다.
- [0042] 이와 같이 결정질 실리콘 입자(133b)에 의하여 제2 전극(120)의 표면에 요철이 형성된다. 제2 전극(120) 표면의 요철은 입사되는 빛을 산란시키기 위하여 50 nm 이상 500 nm 이하의 평균 피치를 지닐 수 있다. 평균 피치는 도 2h에 도시된 바와 같이 요철의 인접한 2개의 볼록부 사이의 거리들(P)의 평균일 수 있다. 이와 같이 빛이 입사되는 제2 전극(120)의 평균 피치가 50 nm 이상 500 nm 이하인 경우 제2 전극(120)의 표면 요철이 가시광 영역의 빛을 충분히 산란시킬 수 있다.
- [0043] 한편, 결정질 실리콘 입자(133b)는 제2 전극(120)의 표면에 요철을 형성하므로 중간반사막(150)의 두께가 필요 이상으로 두꺼워질 필요가 없다. 예를 들어, ZnO로 이루어진 중간반사막(150)의 증착에 의하여 제2 전극(120)의 표면에 요철이 형성되기 위해서는 중간반사막(150)의 표면 요철이 충분히 형성되어야 한다. 이와 같이 중간반사막(150)의 표면에 요철이 형성되기 위해서는 중간반사막(150)의 두께가 1.6  $\mu$ m 이상이 되어야 하며, 이에 따라 공정 시간이 증가한다.
- [0044] 특히 롤투롤 방식의 제조 장치에서 중간반사막(150)이 형성될 경우 기판(100)은 계속하여 이송되므로 공정 챔버

에 머무는 시간은 일정하다. 따라서 중간반사막(150)의 두께 및 공정 시간 증가할 경우 중간반사막(150)의 형성을 위한 공정 챔버의 수가 증가할 수 있다.

[0045] 반면에 본 발명의 실시예에 따른 광기전력 장치의 경우 결정질 실리콘 입자(1330b)에 의하여 제2 전극(120)의 표면에 피치가 충분히 형성되므로 중간반사막(150)의 두께 증가를 막을 수 있으며, 본 발명의 실시예에 따른 중간반사막(150)의 두께는 20 nm 이상 200 nm 이하일 수 있다. 중간반사막(150)의 두께가 20 nm 보다 작으면 굴절을 매칭이 이루어지기 힘들 수 있다. 또한 중간반사막(150)의 두께가 200 nm 보다 큰 경우 중간반사막(150)의 두께 증가에 따라 중간반사막(150)에서 흡수되는 빛의 양이 증가할 수 있다. 이에 따라 본 발명의 실시예에 따른 광기전력 장치는 플렉서블 기관(100)을 포함하더라도 공정 시간의 증가를 막을 수 있다.

[0046] 본 발명의 실시예에서는 이중접합 탠덤 광기전력 장치에 대하여 설명하였으나, 삼중접합 탠덤 광기전력 장치의 중층전지 또는 하층전지에도 적용가능하다.

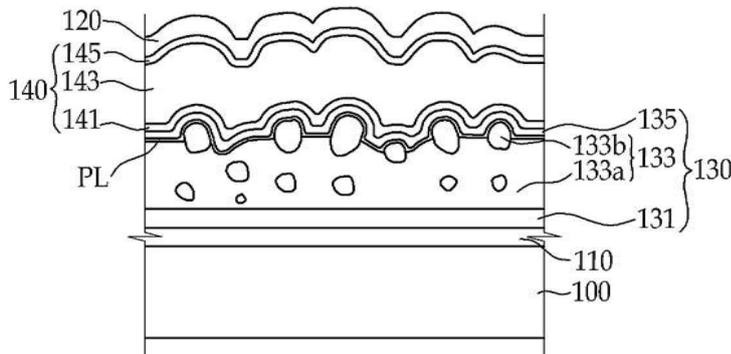
[0047] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 하고, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

**부호의 설명**

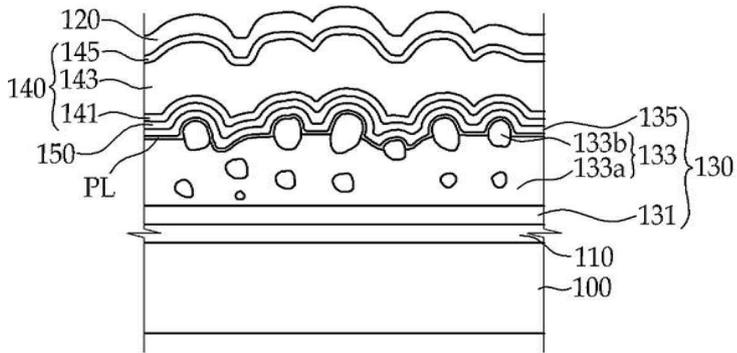
- |        |                        |                  |
|--------|------------------------|------------------|
| [0048] | 기관(100)                | 제1 전극(110)       |
|        | 제2 전극(120)             | 제1 단위전지(130)     |
|        | n 타입 반도체층(131)         | 진성 반도체층(133)     |
|        | 수소화된 비정질 실리콘계 물질(133a) | 결정질 실리콘 입자(133b) |
|        | p 타입 반도체층(135)         | 제2 단위전지(140)     |
|        | n 타입 반도체층(141)         | 진성 반도체층(143)     |
|        | p 타입 반도체층(145)         | 중간반사막(150)       |

**도면**

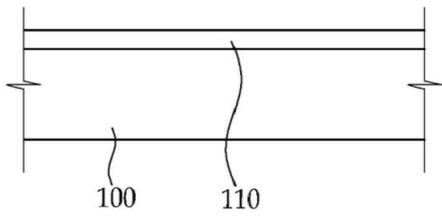
**도면1a**



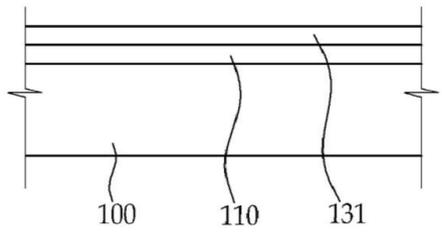
도면1b



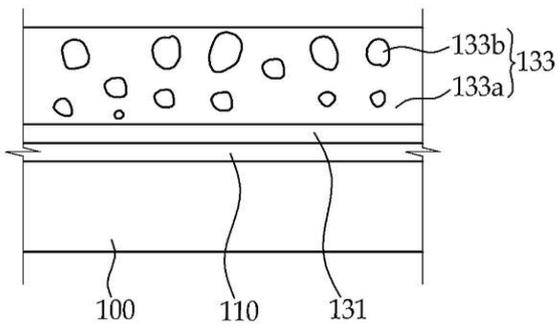
도면2a



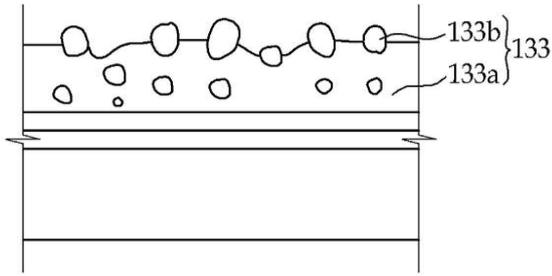
도면2b



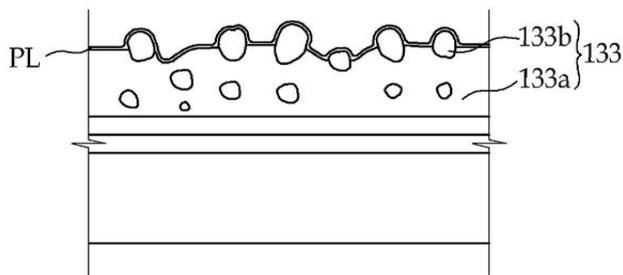
도면2c



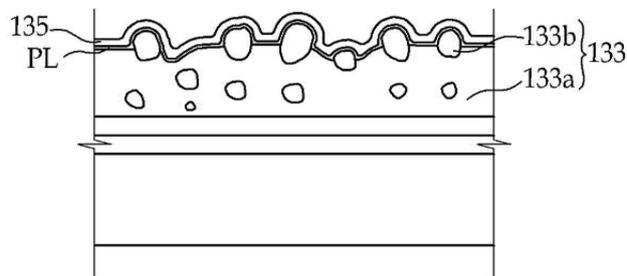
도면2d



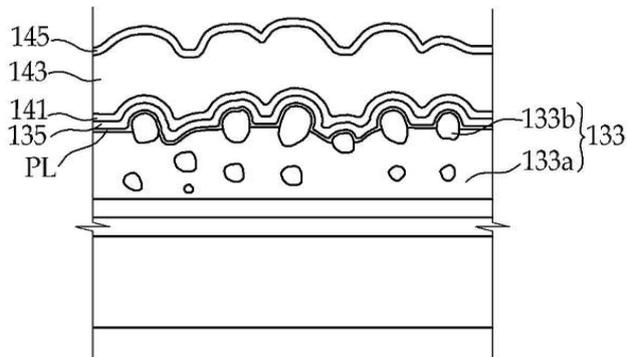
도면2e



도면2f



도면2g



도면2h

