

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6399969号  
(P6399969)

(45) 発行日 平成30年10月3日(2018.10.3)

(24) 登録日 平成30年9月14日(2018.9.14)

(51) Int. Cl.		F I			
<b>H05K</b>	<b>1/02</b>	<b>(2006.01)</b>	H05K	1/02	N
<b>H05K</b>	<b>3/46</b>	<b>(2006.01)</b>	H05K	1/02	J
			H05K	3/46	Z

請求項の数 5 (全 8 頁)

(21) 出願番号	特願2015-104214 (P2015-104214)	(73) 特許権者	000006013
(22) 出願日	平成27年5月22日 (2015.5.22)		三菱電機株式会社
(65) 公開番号	特開2016-219639 (P2016-219639A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成28年12月22日 (2016.12.22)	(74) 代理人	100073759
審査請求日	平成29年10月20日 (2017.10.20)		弁理士 大岩 増雄
		(74) 代理人	100088199
			弁理士 竹中 岑生
		(74) 代理人	100094916
			弁理士 村上 啓吾
		(74) 代理人	100127672
			弁理士 吉澤 憲治
		(72) 発明者	明石 憲彦
			東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 プリント基板

(57) 【特許請求の範囲】

【請求項1】

外部インターフェースが搭載される第一領域と、信号配線によって前記外部インターフェースと接続された回路部品が搭載される第二領域を有するプリント基板であって、前記第一領域には、絶縁体を介して配置された第一のフレームグラウンド配線と第二のフレームグラウンド配線が、基板面と直交する方向から見て互いに対称に蛇行し所定間隔で重なるように設けられ、前記第一のフレームグラウンド配線は、一方の端部が前記外部インターフェースと直接接続されると共に他方の端部がアースと直接接続され、前記第二のフレームグラウンド配線は、少なくとも1個の容量結合を含み、一方の端部が前記外部インターフェースと接続されると共に他方の端部がアースと接続されることを特徴とするプリント基板。

【請求項2】

前記第二のフレームグラウンド配線は、一方の端部が前記容量結合を介して前記外部インターフェースと接続され、他方の端部が別の前記容量結合を介してアースと接続されることを特徴とする請求項1記載のプリント基板。

【請求項3】

前記第一のフレームグラウンド配線と前記第二のフレームグラウンド配線が重なる前記所定間隔は、一定でないことを特徴とする請求項1または請求項2に記載のプリント基板。

10

20

## 【請求項 4】

前記容量結合は、チップコンデンサであることを特徴とする請求項 1 から請求項 3 のいずれか一項に記載のプリント基板。

## 【請求項 5】

前記第一領域と前記第二領域の間にスリット部が設けられ、第一のフレームグラウンド配線及び第二のフレームグラウンド配線と、前記第二領域に設けられた信号グラウンド配線とは、前記スリット部により分離されていることを特徴とする請求項 1 から請求項 4 のいずれか一項に記載のプリント基板。

## 【発明の詳細な説明】

## 【技術分野】

10

## 【0001】

本発明は、電子機器に搭載されるプリント基板に関し、特にプリント基板に伝搬する外来電磁ノイズを低減するための構造に関する。

## 【背景技術】

## 【0002】

近年の電子機器の小型化、高密度実装化に伴い、電子機器に搭載されるプリント基板上の配線及び IC 部品等の回路部品の間隔が狭くなっている。このため、コネクタ、スイッチ等の外部インターフェースが実装されたプリント基板では、外部インターフェースから侵入した静電気等の外来電磁ノイズがプリント基板へ伝搬し易くなっている。電磁ノイズは、プリント基板上の回路部品の誤動作を誘発するため、電磁ノイズの伝搬を抑制するプリント基板の構造が求められる。

20

## 【0003】

プリント基板への電磁ノイズの伝搬を抑制する先行技術として、例えば特許文献 1 には、外部インターフェースを搭載する領域に設けられたフレームグラウンド配線と、回路部品を搭載する領域に設けられた信号グラウンド配線とを分離するスリットを設け、このスリット部に沿って延在する導電体を配置することが記載されている。

## 【0004】

また、特許文献 2 には、絶縁層を介して配置された一对のフラット導体を備えたフラット回路体において、一对のフラット導体は共にフラット回路体の面に沿ってウェーブ状に蛇行しており、且つ、互いが交差する 2 点間に、一方のフラット導体と他方のフラット導体で囲まれる領域を形成することが記載されている。

30

## 【先行技術文献】

## 【特許文献】

## 【0005】

【特許文献 1】特開 2010 - 50298 号公報

【特許文献 2】特許 3047572 号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0006】

特許文献 1 に提示されたプリント基板では、フレームグラウンド配線に搭載された外部インターフェースに、数 kHz 以上の高周波成分を含む外来電磁ノイズ、例えば静電気ノイズが印加された場合、電磁ノイズの大部分はフレームグラウンド配線を伝搬し、アースや機器の筐体等の安定した電位に伝搬する。しかしながら、電磁ノイズの一部は、信号配線や IC 部品等の回路部品が実装された領域に空間結合し、プリント基板上の回路部品の誤動作を誘発するという問題点があった。

40

## 【0007】

また、特許文献 2 に提示されたフラット回路体では、二つのフラット導体に逆方向の電流が流れた場合、隣接する二つの領域でそれぞれのフラット導体の面と交差する方向において逆向きの磁束が発生し、それらが互いに打ち消し合うため、外部に磁束を形成しない。しかしながら、二つのフラット導体に同方向に電流が流れた場合には、外部に磁束が形

50

成され、磁束の一部は信号配線やＩＣ部品等の回路部品が実装された領域に空間結合し、プリント基板上の回路部品の誤動作を誘発するという問題点があった。

【０００８】

本発明は、上記のような課題を解決するためになされたものであり、プリント基板に伝搬する外来電磁ノイズを低減し、プリント基板上の回路部品の誤動作を抑制することを目的とする。

【課題を解決するための手段】

【０００９】

本発明に係るプリント基板は、外部インターフェースが搭載される第一領域と、信号配線によって外部インターフェースと接続された回路部品が搭載される第二領域を有するプリント基板であって、第一領域には、絶縁体を介して配置された第一のフレームグラウンド配線と第二のフレームグラウンド配線が、基板面と直交する方向から見て互いに対称に蛇行し所定間隔で重なるように設けられ、第一のフレームグラウンド配線は、一方の端部が外部インターフェースと直接接続されると共に他方の端部がアースと直接接続され、第二のフレームグラウンド配線は、少なくとも１個の容量結合を含み、一方の端部が外部インターフェースと接続されると共に他方の端部がアースと接続されるものである。

10

【発明の効果】

【００１０】

本発明に係るプリント基板によれば、第一領域の外部インターフェースに外来電磁ノイズが印加されると、第一のフレームグラウンド配線を伝搬する電磁ノイズと第二のフレームグラウンド配線を伝搬する電磁ノイズに位相差が生じ、さらに第一のフレームグラウンド配線と第二のフレームグラウンド配線が互いに重なり合うように蛇行していることにより、第一のフレームグラウンド配線を伝搬する電磁ノイズと第二のフレームグラウンド配線を伝搬する電磁ノイズにおいて生じた位相差分が打ち消されるため、第二領域への電磁ノイズの空間結合が低減され、回路部品の誤動作を抑制することが可能である。

20

【図面の簡単な説明】

【００１１】

【図１】本発明の実施の形態１に係るプリント基板を示す斜視図である。

【図２】本発明の実施の形態１に係るプリント基板を示す上面図である。

【図３】本発明の実施の形態１に係るプリント基板を示す部分断面図である。

30

【図４】本発明の実施の形態１に係るプリント基板と従来のプリント基板のノイズ伝搬量を比較する図である。

【図５】従来のプリント基板を示す斜視図である。

【図６】本発明の実施の形態２に係るプリント基板を示す上面図である。

【図７】本発明の実施の形態２に係る別のプリント基板を示す上面図である。

【図８】本発明の実施の形態３に係るさらに別のプリント基板を示す上面図である。

【発明を実施するための形態】

【００１２】

実施の形態１．

以下に、本発明の実施の形態１に係るプリント基板について、図面に基づいて説明する。図１及び図２は、本実施の形態１に係るプリント基板の構成を概略的に示す斜視図及び上面図である。なお、各図において、同一または相当部分には、同一符号を付している。

40

【００１３】

本実施の形態１に係るプリント基板１は、図１に示すように、第一の導体層７と第二の導体層８を積層した多層プリント基板である。なお、本実施の形態１では、積層は二層であるが、これ以上であっても良い。第一の導体層７と第二の導体層８の間には、誘電体層等を有しているが、図１では省略している。

【００１４】

プリント基板１は、図２に示すように、第一領域１０、スリット部１１、及び第二領域１２を含んで構成される。第一領域１０には、例えばコネクタ、スイッチ等の外部インタ

50

ーフェース 2 が搭載され、第一のフレームグラウンド配線 3 と第二のフレームグラウンド配線 4 が絶縁体（図示省略）を介して設けられている。

【 0 0 1 5 】

第一のフレームグラウンド配線 3 と第二のフレームグラウンド配線 4 は、プリント基板 1 の基板面と直交する方向から見て互いに対称に蛇行しており、所定間隔で重なるように設けられている。本実施の形態 1 では、図 2 に示すように、第一のフレームグラウンド配線 3 と第二のフレームグラウンド配線 4 が重なる所定間隔は一定である。

【 0 0 1 6 】

図 1 及び図 2 に示す例では、第一のフレームグラウンド配線 3 と第二のフレームグラウンド配線 4 は、いずれも直角に方向転換しながら逆方向に蛇行している。これにより、蛇行の幅と同じ長さ分だけ両者が重なり合っている。ただし、第一のフレームグラウンド配線 3 と第二のフレームグラウンド配線 4 のパターン形状はこれに限定されるものではなく、各々の一部が重なり合っていれば良い。

【 0 0 1 7 】

第一のフレームグラウンド配線 3 は、一方の端部が外部インターフェース 2 と電氣的に直接接続されると共に、他方の端部がアース 9 と電氣的に直接接続される。また、第二のフレームグラウンド配線 4 は、少なくとも 1 個の容量結合、例えばチップコンデンサを含み、一方の端部が外部インターフェース 2 と電氣的に接続されると共に他方の端部がアース 9 と電氣的に接続される。すなわち、第二のフレームグラウンド配線 4 は、外部インターフェース 2 及びアース 9 と交流的に接続されている。

【 0 0 1 8 】

本実施の形態 1 では、第二のフレームグラウンド配線 4 は 2 個の容量結合 5、6 を含み、一方の端部が容量結合 5 を介して外部インターフェース 2 と電氣的に接続され、他方の端部が容量結合 6 を介してアース 9 と電氣的に接続されている。なお、第一のフレームグラウンド配線 3 及び第二のフレームグラウンド配線 4 は、いずれもアース 9 に接続されているが、電位が安定した機器筐体等に接続しても良い。

【 0 0 1 9 】

第二領域 1 2 の第一の導体層 7 と第二の導体層 8 には、信号配線、電源配線、及び信号グラウンド配線等が形成され、IC 部品等の回路部品が実装される（いずれも図示省略）。第一領域 1 0 と第二領域 1 2 の間には、スリット部 1 1 が設けられている。第一領域 1 0 に設けられた第一のフレームグラウンド配線 3 及び第二のフレームグラウンド配線 4 と、第二領域 1 2 に設けられた信号グラウンド配線とは、スリット部 1 1 により分離されている。

【 0 0 2 0 】

図 3 は、本実施の形態 1 に係るプリント基板 1 の一部を示す断面図である。第一領域 1 0 において、第一のフレームグラウンド配線 3 と第二のフレームグラウンド配線 4 は、絶縁体を介して上下方向に配列されている。

【 0 0 2 1 】

本実施の形態 1 に係るプリント基板 1 において、外部インターフェース 2 から侵入する外来電磁ノイズの伝搬を抑制する作用について説明する。外部インターフェース 2 に数 kHz 以上の高周波成分を含む電磁ノイズ、例えば静電気ノイズが印加されると、電磁ノイズの一部は、第一のフレームグラウンド配線 3 を介してアース 9 へ伝搬する。また、電磁ノイズの一部は、容量結合 5 を介して第二のフレームグラウンド配線 4 へ伝搬し、さらに容量結合 6 を介してアース 9 へ伝搬する。

【 0 0 2 2 】

この時、2 つの容量結合 5、6 により、第一のフレームグラウンド配線 3 に流れる電磁ノイズと第二のフレームグラウンド配線 4 に流れる電磁ノイズに位相差が生じる。さらに、第一のフレームグラウンド配線 3 と第二のフレームグラウンド配線 4 は互いの一部が重なり合うように蛇行していることにより、第一のフレームグラウンド配線 3 を伝搬する電磁ノイズと第二のフレームグラウンド配線 4 を伝搬する電磁ノイズにおいて生じた位相差

10

20

30

40

50

分が打ち消され、第二領域 1 2 の信号グラウンド配線あるいは電源配線への電磁ノイズの空間結合を低減することができる。

【 0 0 2 3 】

実施の形態 1 に係るプリント基板 1 と従来のプリント基板のノイズ伝搬量を比較した解析結果を図 4 に示す。図 4 において、縦軸は第二領域 1 2 へのノイズ伝搬量、横軸は電磁ノイズの周波数（対数）を示し、比較例として従来のプリント基板のノイズ伝搬量（図中、白丸で示す）を基準としている。なお、図 4 の解析に比較例として用いた従来のプリント基板を図 5 に示す。従来のプリント基板 1 0 0 は、第一領域にフレームグラウンド配線 1 3 のみを設けた構成とする。

【 0 0 2 4 】

図 4 のグラフから、本実施の形態 1 に係るプリント基板 1 は、従来のプリント基板 1 0 0 と比較して、第二領域 1 2 へのノイズ伝搬量が一部周波数を除いて低いことが明らかである。静電気等の外来電磁ノイズは周波数が低いほどノイズ量が大きく、第二領域 1 2 に実装された回路部品の誤動作を引き起こし易い。これに対し、本実施の形態 1 に係るプリント基板 1 は、特にノイズ量が大きい低周波数の電磁ノイズに対して伝搬量を抑制する効果が得られている。

【 0 0 2 5 】

以上のように、本実施の形態 1 に係るプリント基板 1 によれば、第一領域 1 0 の外部インターフェース 2 に外来電磁ノイズが印加されると、第一のフレームグラウンド配線 3 を流れる電磁ノイズと第二のフレームグラウンド配線 4 を流れる電磁ノイズに位相差が生じ、さらに、第一のフレームグラウンド配線 3 と第二のフレームグラウンド配線 4 が互いに重なり合うように蛇行していることにより生じた位相差分が打ち消されるため、第二領域 1 2 への電磁ノイズの空間結合が低減され、回路部品の誤動作を抑制することが可能である。

【 0 0 2 6 】

実施の形態 2 .

図 6 ~ 図 9 は、本発明の実施の形態 2 に係るプリント基板を示す上面図である。本実施の形態 2 に係るプリント基板 1 A、1 B、1 C は、上記実施の形態 1 に係るプリント基板 1 を一部変更したものであり、基本的な構成は上記実施の形態 1 と同様であるので説明を省略し、変更点のみ説明する。

【 0 0 2 7 】

図 6 に示すプリント基板 1 A は、第二のフレームグラウンド配線 4 に 3 つ目の容量結合 1 4 が配置され、合計 3 個の容量結合 5、6、1 4 を有している。一方、図 7 に示すプリント基板 1 B は、第二のフレームグラウンド配線 4 に 1 個の容量結合 5 のみを配置している。このように容量結合の数を増減することにより、第二領域 1 2 へ伝搬する外来電磁ノイズの周波数や伝搬量を細かく調整することができる。

【 0 0 2 8 】

また、図 8 に示すプリント基板 1 C は、第一のフレームグラウンド配線 3 a 及び第二のフレームグラウンド配線 4 a の蛇行の間隔が一定ではない。このため、第一のフレームグラウンド配線 3 a と第二のフレームグラウンド配線 4 a が重なる所定間隔が一定でない。このように蛇行の間隔を変化させることにより、第二領域 1 2 へのノイズ伝搬量が増える周波数領域のノイズ伝搬量を抑制することができる。

【 0 0 2 9 】

本実施の形態 2 によれば、上記実施の形態 1 と同様の効果に加え、第二領域 1 2 へ伝搬する外来電磁ノイズの周波数や伝搬量を調整することが可能である。従って、第二領域 1 2 に実装されている回路部品に応じて、該回路部品が誤動作を起こし易い周波数の電磁ノイズを特に抑制することができる。なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略したりすることが可能である。

【 産業上の利用可能性 】

【 0 0 3 0 】

本発明は、電子機器に搭載されるプリント基板として利用することができる。

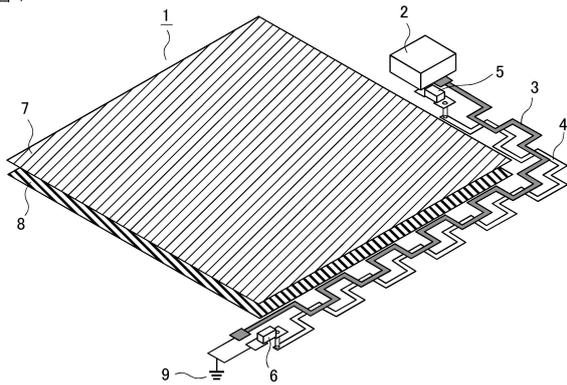
【符号の説明】

【 0 0 3 1 】

- 1、1 A、1 B、1 C、1 0 0 プリント基板、2 外部インターフェース、
- 3、3 a 第一のフレームグラウンド配線、4、4 a 第二のフレームグラウンド配線、
- 5、6、1 4 容量結合、7 第一の導体層、8 第二の導体層、9 アース、
- 1 0 第一領域、1 1 スリット部、1 2 第二領域、1 3 フレームグラウンド配線

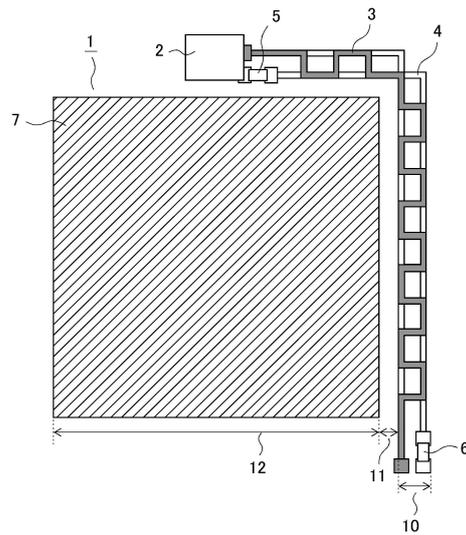
【 図 1 】

図 1



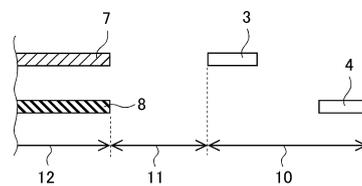
【 図 2 】

図 2



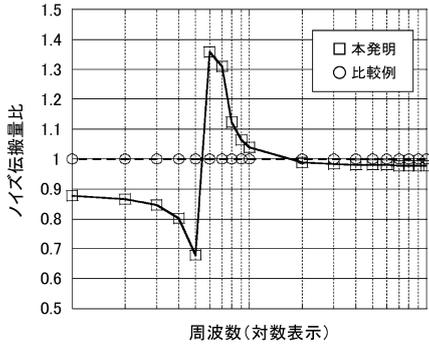
【 図 3 】

図 3



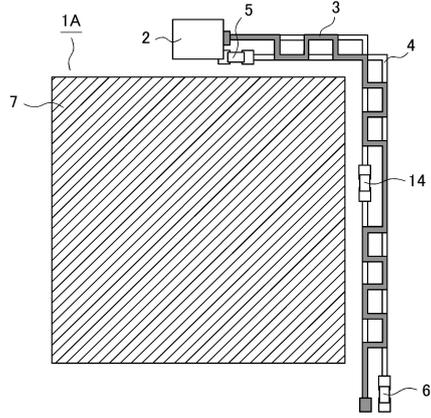
【図4】

図4



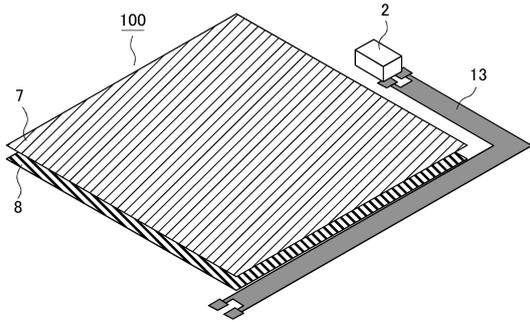
【図6】

図6



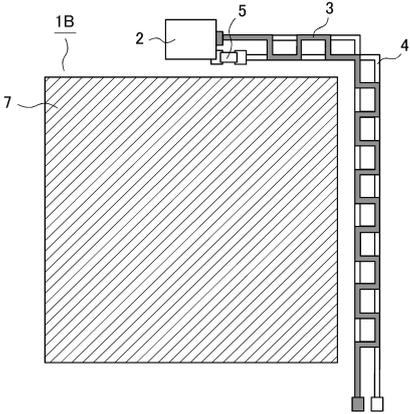
【図5】

図5



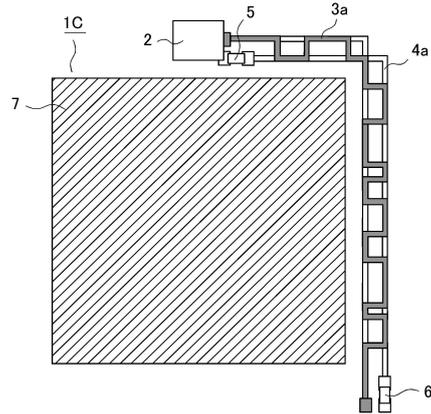
【図7】

図7



【図8】

図8



---

フロントページの続き

- (72)発明者 大野 宏幸  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 三原 弘  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 入船 義章  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 米岡 雄大  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 小山 大輔  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 ゆずりは 広行

- (56)参考文献 特開2010-199553(JP,A)  
特開2014-036138(JP,A)  
特開2013-012528(JP,A)  
特開平10-145013(JP,A)  
特開平05-120928(JP,A)  
特開2006-156911(JP,A)  
特開平10-188685(JP,A)  
特開2005-109261(JP,A)

(58)調査した分野(Int.Cl., DB名)

H05K 1/02  
H05K 3/46