



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년03월29일  
(11) 등록번호 10-2232539  
(24) 등록일자 2021년03월22일

(51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01) G02F 1/1368 (2006.01)  
H01L 21/336 (2006.01)  
(21) 출원번호 10-2013-0137548  
(22) 출원일자 2013년11월13일  
심사청구일자 2018년11월13일  
(65) 공개번호 10-2015-0055334  
(43) 공개일자 2015년05월21일  
(56) 선행기술조사문헌  
JP2010183027 A\*  
KR1020120049887 A\*  
US20110084280 A1  
US20070072439 A1  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(72) 발명자  
김봉균  
경기도 화성시 영통로27번길 35, 304동 1504호 (반월동, 신영통현대3차아파트)  
문영민  
경기도 성남시 수정구 수정남로164번길 13-6 (신흥동)  
(74) 대리인  
박영우

전체 청구항 수 : 총 8 항

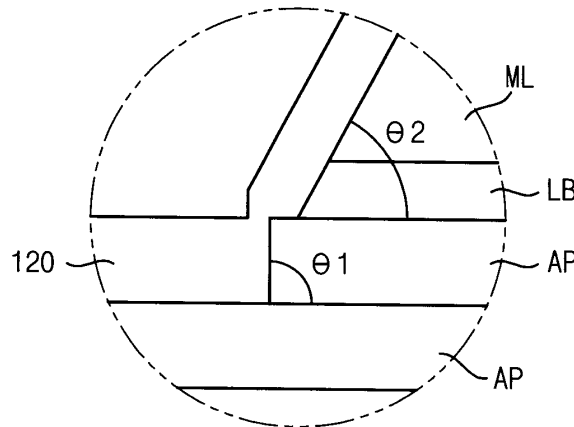
심사관 : 임창연

(54) 발명의 명칭 박막 트랜지스터, 이를 포함하는 표시 기관 및 박막 트랜지스터의 제조 방법

(57) 요약

개시된 박막 트랜지스터는, 게이트 전극, 상기 게이트 전극과 중첩하며, 산화물 반도체를 포함하는 액티브 패턴, 및 상기 액티브 패턴 상부에 배치되며, 소스 전극 및 상기 소스 전극과 이격되는 드레인 전극을 포함하는 소스 금속 패턴을 포함한다. 상기 액티브 패턴은 상기 소스 금속 패턴의 하면 전체를 커버하며, 상기 소스 금속 패턴 보다 큰 테이퍼 각을 갖는다.

대표도 - 도3



**명세서**

**청구범위**

**청구항 1**

삭제

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

삭제

**청구항 9**

삭제

**청구항 10**

삭제

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

기판 위에 산화물 반도체층을 형성하는 단계;

상기 산화물 반도체층 위에 소스 금속층을 형성하는 단계;

상기 소스 금속층 위에 두께 구배를 갖는 제1 포토레지스트 패턴을 형성하는 단계;

상기 제1 포토레지스트 패턴을 마스크로 이용하여, 상기 소스 금속층을 습식 식각하여 소스 금속 패턴을 형성하는 단계;

상기 제1 포토레지스트 패턴을 부분적으로 제거하여 제2 포토레지스트 패턴을 형성하는 단계;

상기 산화물 반도체층을 건식 식각하여 액티브 패턴을 형성하는 단계; 및

상기 제2 포토레지스트 패턴을 마스크로 이용하여 상기 소스 금속 패턴을 습식 식각하여, 서로 이격되는 소스 전극 및 드레인 전극을 형성하는 단계를 포함하는 박막 트랜지스터의 제조방법.

**청구항 14**

제13항에 있어서, 상기 소스 금속층과 상기 소스 금속 패턴은 동일한 식각액으로 식각되는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 15**

제14항에 있어서, 상기 식각액은 과황산염, 무기산, 인산염, 고리형 아민 화합물 및 물을 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 16**

제15항에 있어서, 상기 식각액은 불소 함유 화합물을 포함하지 않는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 17**

제13항에 있어서, 상기 산화물 반도체층은 산화 아연(ZnO), 아연 주석 산화물(ZTO), 아연 인듐 산화물(ZIO), 인듐 산화물(InO), 티타늄 산화물(TiO), 인듐 갈륨 아연 산화물(IGZO) 및 인듐 아연 주석 산화물(IZTO)로 이루어진 그룹에서 선택된 적어도 하나를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 18**

제17항에 있어서, 상기 소스 금속층은,  
금속층; 및

상기 금속층 하부에 배치되어, 상기 액티브 패턴과 접촉하는 하부 배리어층을 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 19**

제18항에 있어서, 상기 금속층은 구리를 포함하며, 상기 하부 배리어층은 인듐 아연 산화물(IZO), 인듐 주석 산화물(ITO), 갈륨 아연 산화물(GZO) 및 아연 알루미늄 산화물(ZAO)로 이루어진 그룹에서 선택된 적어도 하나를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 20**

제13항에 있어서, 상기 액티브 패턴은, 상기 소스 금속 패턴보다 큰 테이퍼 각을 갖는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 박막 트랜지스터에 관한 것으로, 더욱 상세하게는 산화물 반도체를 포함하는 박막 트랜지스터, 이를 포함하는 표시 기판 및 박막 트랜지스터의 제조 방법에 관한 것이다.

**배경 기술**

[0002] 일반적으로, 표시 장치에서 화소를 구동하기 위한 박막 트랜지스터는 게이트 전극, 소스 전극, 드레인 전극 및 상기 소스 전극과 드레인 전극 사이의 액티브 패턴을 형성하는 액티브 패턴을 포함한다. 상기 액티브 패턴은 비정질 실리콘(amorphous silicon), 다결정 실리콘(poly silicon) 또는 산화물 반도체를 포함하는 반도체층을 포함한다.

[0003] 비정질 실리콘층은 대형 기판 상에 균일하게 형성할 수 있는 장점이 있는 반면, 전자 이동도가 약 1~10cm<sup>2</sup>/V정도로 낮은 수준이어서 박막 트랜지스터의 구동 특성이 낮은 편이다. 반면, 전자 이동도가 수십 내지 수백 cm<sup>2</sup>/V인 다결정 실리콘층은 전자 이동도는 상기 비정질 실리콘층에 비해 상대적으로 좋지만 상기 다결정 실리콘층을 형성하기 위해서는 실리콘의 결정화 공정이 필수적으로 수반됨으로써 대형 기판 상에 균일하게 형성하기 어렵고 제조비용이 높은 단점이 있다. 반면, 산화물 반도체층은 저온 공정을 이용하여 제조할 수 있고 대면적화가 용이하며 높은 전자 이동도를 가지고 있으므로 산화물 반도체가 여러 기술 분야에서 주목받고 있다.

[0004] 상기 산화물 반도체를 포함하는 표시 기판을 제조할 때, 마스크 수를 줄이기 위하여 하프톤(half-tone) 노광을 이용하여 두께 구배를 갖는 포토레지스트 패턴을 이용하는 방법이 알려져 있다.

[0005] 그러나, 상기 방법에 따라, 산화물 반도체 패턴을 형성하는 경우, 산화물 반도체 패턴 위에 형성되는 소스 금속 패턴보다 측면으로 돌출부가 형성되며, 이는 기생 커패시터를 형성하여, 워터폴(Waterfall) 현상 등과 같은 화질 저하의 원인이 될 수 있다.

**발명의 내용**

**해결하려는 과제**

[0006] 이에, 본 발명의 기술적 과제는 이러한 점에서 착안된 것으로 본 발명의 목적은 신뢰도가 향상된 박막 트랜지스터를 제공하는 것이다.

[0007] 또한, 본 발명은 다른 목적은 상기 박막 트랜지스터를 포함하는 표시 기판을 제공하는 것이다.

[0008] 본 발명의 또 다른 목적은 상기 박막 트랜지스터의 제조방법을 제공하는 것이다.

**과제의 해결 수단**

[0009] 상기한 본 발명의 목적을 실현하기 위한 실시예에 따른 박막 트랜지스터는, 게이트 전극, 상기 게이트 전극과 중첩하며, 산화물 반도체를 포함하는 액티브 패턴, 및 상기 액티브 패턴 상부에 배치되며, 소스 전극 및 상기 소스 전극과 이격되는 드레인 전극을 포함하는 소스 금속 패턴을 포함한다. 상기 액티브 패턴은 상기 소스 금속 패턴의 하면 전체를 커버하며, 상기 소스 금속 패턴보다 큰 테이퍼 각을 갖는다.

[0010] 일 실시예에 따르면, 상기 소스 금속 패턴의 테이퍼 각은 50도 내지 80도이다.

[0011] 일 실시예에 따르면, 상기 액티브 패턴의 테이퍼 각은 70도 내지 90도이다.

[0012] 일 실시예에 따르면, 상기 액티브 패턴은, 산화 아연(ZnO), 아연 주석 산화물(ZTO), 아연 인듐 산화물(ZIO), 인듐 산화물(InO), 티타늄 산화물(TiO), 인듐 갈륨 아연 산화물(IGZO) 및 인듐 아연 주석 산화물(IZTO)로 이루어진 그룹에서 선택된 적어도 하나를 포함한다.

[0013] 일 실시예에 따르면, 상기 소스 금속 패턴은, 금속층 및 상기 금속층 하부에 배치되어, 상기 액티브 패턴과 접촉하는 하부 배리어층을 포함한다.

[0014] 일 실시예에 따르면, 상기 소스 금속 패턴은, 상기 금속층 상부에 배치되는 상부 배리어층을 더 포함한다.

[0015] 일 실시예에 따르면, 상기 금속층은 구리를 포함한다.

[0016] 일 실시예에 따르면, 상기 하부 배리어층은, 인듐 아연 산화물(IZO), 인듐 주석 산화물(ITO), 갈륨 아연 산화물(GZO) 및 아연 알루미늄 산화물(ZAO)로 이루어진 그룹에서 선택된 적어도 하나를 포함한다.

[0017] 본 발명의 목적을 실현하기 위한 일 실시예에 따른 표시 기판은, 베이스 기판 위에 배치된 게이트 전극, 상기 게이트 전극과 중첩하며, 산화물 반도체를 포함하는 액티브 패턴, 상기 액티브 패턴 상부에 배치되며, 소스 전극 및 상기 소스 전극과 이격되는 드레인 전극을 포함하는 소스 금속 패턴 및 상기 드레인 전극과 전기적으로 연결되는 화소 전극을 포함한다. 상기 액티브 패턴은 상기 소스 금속 패턴의 하면 전체를 커버하며, 상기 소스 금속 패턴보다 큰 테이퍼 각을 갖는다.

[0018] 본 발명의 목적을 실현하기 위한 일 실시예에 따른 박막 트랜지스터의 제조 방법에 따르면, 기판 위에 산화물 반도체층을 형성한다. 상기 산화물 반도체층 위에 소스 금속층을 형성한다. 상기 소스 금속층 위에 두께 구배를 갖는 제1 포토레지스트 패턴을 형성한다. 상기 제1 포토레지스트 패턴을 마스크로 이용하여, 상기 소스 금속층을 습식 식각하여 소스 금속 패턴을 형성한다. 상기 제1 포토레지스트 패턴을 부분적으로 제거하여 제2 포토레

지스트 패턴을 형성한다. 상기 산화물 반도체층을 건식 식각하여 액티브 패턴을 형성한다. 상기 제2 포토레지스트 패턴을 마스크로 이용하여 상기 소스 금속 패턴을 습식 식각하여, 서로 이격되는 소스 전극 및 드레인 전극을 형성한다.

[0019] 일 실시예에 따르면, 상기 소스 금속층과 상기 소스 금속 패턴은 동일한 식각액으로 식각된다.

[0020] 일 실시예에 따르면, 상기 식각액은 과황산염, 무기산, 인산염, 고리형 아민 화합물 및 물을 포함한다.

[0021] 일 실시예에 따르면, 상기 식각액은 불소 함유 화합물을 포함하지 않는다.

### 발명의 효과

[0022] 이와 같은 실시예들에 따르면, 박막 트랜지스터의 제조에 필요한 마스크의 수를 줄이면서, 산화물 반도체를 포함하는 액티브 패턴의 돌출부의 크기를 최소화 할 수 있다.

[0023] 또한, 동일한 식각액으로, 소스 금속층과 소스 금속 패턴을 식각할 수 있으므로, 공정 관리에 이점이 있다.

[0024] 또한, 불소 함유 화합물을 포함하지 않는 식각액을 사용할 수 있으므로, 무기 절연막의 손상을 방지할 수 있다.

### 도면의 간단한 설명

[0025] 도 1은 본 발명의 일 실시예에 따른 표시 기관의 평면도이다.

도 2는 도 1의 I-I' 선을 따라 절단한 표시 기관의 단면도이다.

도 3은 도 2의 부분적으로 확대하여 도시한 단면도이다.

도 4 내지 도 12는, 도 1 및 도 2에 도시된 표시 기관을 제조하기 위한 방법을 도시한 단면도들이다.

### 발명을 실시하기 위한 구체적인 내용

[0026] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예들을 보다 상세하게 설명하고자 한다.

[0027] 도 1은 본 발명의 일 실시예에 따른 표시 기관의 평면도이다. 도 2는 도 1의 I-I' 선을 따라 절단한 표시 기관의 단면도이다. 도 3은 도 2의 부분적으로 확대하여 도시한 단면도이다.

[0028] 도 1 및 도 2를 참조하면, 본 실시예에 따른 표시 기관은 베이스 기관(100), 게이트 라인(GL), 데이터 라인(DL), 게이트 절연층(110), 박막 트랜지스터, 패시베이션층(120), 유기 절연층(130) 및 화소 전극(PE)을 포함한다. 상기 박막 트랜지스터는 게이트 전극(GE), 액티브 패턴(AP), 소스 전극(SE) 및 드레인 전극(DE)을 포함한다.

[0029] 상기 게이트 라인(GL)은 평면도 상에서, 제1 방향(D1)으로 연장되고, 상기 데이터 라인(DL)은 제2 방향(D2)으로 연장된다. 상기 제1 방향(D1)과 상기 제2 방향(D2)은 서로 교차한다. 예를 들어, 상기 제1 방향(D1)과 상기 제2 방향(D2)는 실질적으로 서로 수직할 수 있다.

[0030] 상기 게이트 라인(GL)은 상기 게이트 전극(GE)과 전기적으로 연결된다. 예를 들어, 상기 게이트 전극(GE)은 상기 게이트 라인(GL)으로부터 상기 제2 방향(D2)으로 돌출될 수 있다.

[0031] 상기 액티브 패턴(AP)은 상기 게이트 전극(GE)과 중첩한다. 상기 소스 전극(SE) 및 상기 드레인 전극(DE)은 서로 이격되며, 각각 상기 액티브 패턴(AP)과 접촉한다.

[0032] 본 실시예에서, 상기 소스 전극(SE) 및 상기 드레인 전극(DE)은 각각 다층 구조를 갖는다. 예를 들어, 상기 소스 전극(SE) 및 상기 드레인 전극(DE)은, 하부 배리어층(LB), 상기 하부 배리어층(LB) 위에 배치된 금속층(ML), 및 상기 금속층(ML) 위에 배치된 상부 배리어층(UB)을 포함한다. 상기 금속층(ML)은 구리 등의 금속을 포함할 수 있으며, 상기 상부 배리어층(LB) 및 상기 하부 배리어층(UB)는 전도성 산화물을 포함할 수 있다. 상기 배리어층들은 상기 금속층(ML) 및 산화물 반도체를 포함하는 상기 액티브 패턴(AP)을 보호한다. 다른 실시예에서, 상기 상부 배리어층(UB)는 생략될 수 있다.

[0033] 상기 데이터 라인(DL)은 상기 소스 전극(SE)과 전기적으로 연결된다. 예를 들어, 상기 소스 전극(SE)은 상기 데이터 라인(DL)으로부터 상기 제1 방향(D1)으로 돌출될 수 있다. 상기 데이터 라인(DL)은 상기 소스 전극(SE) 및 상기 드레인 전극(DE)과 동일한 층으로부터 형성될 수 있다. 즉, 소스 금속 패턴은 상기 소스 전극(SE), 상기 드레인 전극(DE) 및 상기 데이터 라인(DL)을 포함할 수 있다.

- [0034] 상기 게이트 절연층(110)은 상기 게이트 전극(GE)을 커버하며, 상기 액티브 패턴(AP)은 상기 게이트 절연층(AP) 위에 배치된다.
- [0035] 상기 패시베이션층(120)은 상기 박막 트랜지스터를 커버하며, 상기 유기 절연층(130)은 상기 패시베이션층(120) 위에 배치된다. 상기 화소 전극(PE)은 상기 유기 절연층(130) 위에 배치되며, 상기 패시베이션층(120)과 상기 유기 절연층(130)에 형성된 콘택홀(CH)을 통하여, 상기 드레인 전극(DE)에 연결된다.
- [0036] 상기 액티브 패턴(AP)은 산화물 반도체를 포함한다. 예를 들어, 상기 산화물 반도체는, 산화 아연(ZnO), 아연 주석 산화물(ZTO), 아연 인듐 산화물(ZIO), 인듐 산화물(InO), 티타늄 산화물(TiO), 인듐 갈륨 아연 산화물(IGZO) 또는 인듐 아연 주석 산화물(IZTO)을 포함할 수 있다. 이들은 각각 단독으로 또는 혼합되어 사용될 수 있다. 바람직하게, 상기 산화물 반도체는 인듐 갈륨 아연 산화물을 포함할 수 있다.
- [0037] 상기 액티브 패턴(AP)은, 상기 소스 금속 패턴의 하면을 커버한다. 구체적으로, 상기 액티브 패턴(AP)은 상기 소스 전극(SE) 및 상기 드레인 전극(DE)의 하면을 커버한다. 또한, 상기 액티브 패턴(AP)은 상기 데이터 라인(DL)의 하면도 커버할 수 있다. 도 1 내지 도 3에 도시된 것과 같이, 상기 액티브 패턴(AP)은 상기 소스 전극(SE), 상기 드레인 전극(DE) 및 상기 데이터 라인(DL)을 포함하는 소스 금속 패턴으로부터 수평 방향으로 돌출될 수 있다.
- [0038] 도 3을 참조하면, 상기 액티브 패턴(AP)의 테이퍼 각( $\theta_1$ )과 상기 소스 금속 패턴의 테이퍼 각( $\theta_2$ )은 서로 다르다. 구체적으로, 상기 액티브 패턴(AP)의 테이퍼 각( $\theta_1$ )이 상기 소스 금속 패턴의 테이퍼 각( $\theta_2$ )보다 크다. 예를 들어, 상기 액티브 패턴(AP)의 테이퍼 각( $\theta_1$ )은 70도 내지 90도, 바람직하게는 80도 내지 90도 일 수 있으며, 상기 소스 금속 패턴의 테이퍼 각( $\theta_2$ )은 50도 내지 80도일 수 있다.
- [0039] 상기 액티브 패턴(AP)의 테이퍼 각( $\theta_1$ )은 상기 액티브 패턴(AP)의 하면과 측면이 형성하는 각으로 정의될 수 있으며, 상기 소스 금속 패턴의 테이퍼 각( $\theta_2$ )은 상기 소스 금속 패턴의 하면과 측면이 형성하는 각으로 정의될 수 있다.
- [0040] 이러한 테이퍼 각의 차이는 각 층의 식각 방법의 차이에서 기인한다. 이에 관하여는 아래에서 구체적으로 후술하기로 한다.
- [0041] 도 4 내지 도 12는 도 1 및 도 2에 도시된 표시 기관을 제조하기 위한 방법을 도시한 단면도들이다. 본 발명의 일 실시예에 따른 박막 트랜지스터 제조 방법은 상기 표시 기관 내의 박막 트랜지스터를 형성하는 과정에 대응될 수 있다.
- [0042] 도 4를 참조하면, 베이스 기관(100) 위에 게이트 라인(GL) 및 게이트 전극(GE)을 형성한다. 구체적으로, 상기 베이스 기관(100) 위에 게이트 금속층을 형성한 후, 이를 패터닝하여, 상기 게이트 라인 및 상기 게이트 전극(GE)을 형성한다. 상기 베이스 기관(100)으로는 유리 기관, 쿼츠 기관, 실리콘 기관, 플라스틱 기관 등이 사용될 수 있다.
- [0043] 상기 게이트 금속층은 구리, 은, 크롬, 몰리브덴, 알루미늄, 티타늄, 망간, 알루미늄 또는 이들의 합금을 포함할 수 있으며, 단일층 구조 또는 서로 다른 물질을 포함하는 복수의 금속층을 포함하는 다층구조를 가질 수 있다. 예를 들어, 상기 게이트 금속층은, 구리층 및 상기 구리층의 상부 및/또는 하부에 형성된 티타늄층을 포함할 수 있다.
- [0044] 다른 실시예에서, 상기 게이트 금속층은 금속층 및 상기 금속층의 상부 및/또는 하부에 형성된 도전성 산화물층을 포함할 수 있다. 구체적으로, 상기 게이트 금속층은 구리층 및 상기 구리층의 상부 및/또는 하부에 형성된 도전성 산화물층을 포함할 수 있다. 예컨대, 상기 도전성 산화물층은 인듐 아연 산화물(IZO), 인듐 주석 산화물(ITO), 갈륨 아연 산화물(GZO), 아연 알루미늄 산화물(ZAO) 중 하나 이상을 포함할 수 있다.
- [0045] 다음으로, 상기 게이트 라인 및 상기 게이트 전극(GE)을 커버하는 게이트 절연층(110)을 형성한다. 상기 게이트 절연층(110)은 실리콘 질화물, 실리콘 산화물 등을 포함할 수 있다. 상기 게이트 절연층(110)은 단일층 구조 또는 다층 구조를 가질 수 있다. 예를 들어, 상기 게이트 절연층(110)은 실리콘 질화물을 포함하는 하부 절연층과 실리콘 산화물을 포함하는 상부 절연층을 포함할 수 있다.
- [0046] 도 5를 참조하면, 상기 게이트 절연층(110) 위에 산화물 반도체층(140) 및 소스 금속층(150)을 형성한다. 상기 소스 금속층(150)은 차례로 적층된 하부 도전성 산화물층(152), 금속층(154) 및 상부 도전성 산화물층(156)을 포함한다.

- [0047] 상기 산화물 반도체층(140)은, 산화 아연(ZnO), 아연 주석 산화물(ZTO), 아연 인듐 산화물(ZIO), 인듐 산화물(InO), 티타늄 산화물(TiO), 인듐 갈륨 아연 산화물(IGZO) 또는 인듐 아연 주석 산화물(IZTO)을 포함할 수 있다. 본 실시예에서, 상기 산화물 반도체층(140)은 인듐 갈륨 아연 산화물을 포함한다.
- [0048] 산화물 반도체층을 형성하기 위하여 알려진 종래의 방법에 따라 형성될 수 있으며, 바람직하게는 진공 증착 또는 스퍼터링 등과 같은 물리 증착(physical vapor deposition)에 의해 형성된다.
- [0049] 구체적으로, 상기 산화물 반도체층(140)의 형성을 위하여, 상기 산화물 반도체층(140)과 유사한 조성을 갖는 소스가 사용될 수 있으며, 상기 소스는 스퍼터링 공정의 타겟으로 이용될 수 있다.
- [0050] 바람직하게, 상기 산화물 반도체층(140)을 형성한 후, 상기 산화물 반도체층(140)에 열을 가하는 어닐링 공정을 수행할 수 있다. 예를 들어, 상기 어닐링 공정은 약 100℃ 내지 약 700℃에서 이루어질 수 있으며, 바람직하게는 약 300℃ 내지 약 400℃에서 이루어질 수 있다. 상기 어닐링 공정을 통하여, 상기 산화물 반도체층(140)의 전기적 특성이 개선될 수 있다.
- [0051] 상기 하부 도전성 산화물층(152) 및 상기 상부 도전성 산화물층(156)은 도전성 산화물을 포함한다. 예를 들어, 상기 도전성 산화물은 인듐 아연 산화물(IZO), 인듐 주석 산화물(ITO), 갈륨 아연 산화물(GZO), 아연 알루미늄 산화물(ZAO) 중 하나 이상을 포함할 수 있다.
- [0052] 본 실시예에서, 상기 금속층(154)은 구리를 포함할 수 있다.
- [0053] 도 6을 참조하면, 상기 소스 금속층(150) 위에 제1 포토레지스트 패턴(PR1)을 형성한다. 상기 제1 포토레지스트 패턴(PR1)은 두께 구배를 갖는다. 구체적으로, 상기 제1 포토레지스트 패턴(PR1)은, 제1 두께부(TH1)와 상기 제1 두께부(TH1)보다 작은 두께를 갖는 제2 두께부(TH2)를 갖는다. 상기 제2 두께부(TH2)는 이후에 설명될 소스 전극과 드레인 전극 사이로 노출되는 액티브 패턴과 중첩한다.
- [0054] 상기 제1 포토레지스트 패턴(PR1)은, 포토레지스트 조성물을 코팅한 후, 이를 노광하고, 현상함으로써 형성될 수 있으며, 상기 제1 포토레지스트 패턴(PR1)이 두께 구배를 갖도록, 슬릿, 반투과부 등을 이용한 하프톤 노광이 이용될 수 있다.
- [0055] 도 7을 참조하면, 상기 제1 포토레지스트 패턴(PR1)을 마스크로 이용하여, 상기 소스 금속층(150)을 식각하여, 소스 금속 패턴을 형성한다. 상기 소스 금속 패턴은 하부 도전성 산화물 패턴(252), 금속 패턴(254) 및 상부 도전성 산화물 패턴(256)을 포함한다. 상기 소스 금속 패턴의 일부는 상기 게이트 전극(GE)과 중첩하며, 일부는 데이터 라인을 형성한다. 상기 소스 금속층(150)이 식각됨에 따라, 상기 산화물 반도체층(140)이 부분적으로 노출된다.
- [0056] 상기 소스 금속층(150)의 식각은 식각액을 이용한 습식 식각을 통해 이루어진다. 상기 식각액은 상기 산화물 반도체층(140)을 실질적으로 식각하지 않는다.
- [0057] 상기 식각액은 과황산염, 무기산, 인산염, 고리형 아민 화합물 및 물을 포함할 수 있다. 구체적으로, 상기 식각액은 과황산염 5 내지 20중량%, 무기산 1 내지 15중량%, 인산염 0.1 내지 5중량%, 고리형 아민 화합물 0.3 내지 5중량% 및 잔량의 물을 포함할 수 있다.
- [0058] 상기 과황산염은 과황산암모늄, 과황산나트륨, 과황산칼륨 등을 포함할 수 있으며, 상기 무기산은 질산, 황산, 인산, 과염소산 등을 포함할 수 있고, 상기 인산염은 인산암모늄, 인산칼륨, 인산나트륨, 등을 포함할 수 있고, 상기 고리형 아민 화합물은 아미노트리아졸을 포함할 수 있다. 또한, 상기 식각액은 파라톨루엔술폰산(PTSA)와 같은 술폰화합물을 더 포함할 수 있다.
- [0059] 바람직하게, 상기 식각액은, 불산, 불화물 등과 같은 불소 함유 화합물을 포함하지 않는다. 상기 불소 함유 화합물은 산화물 반도체층(140)을 식각하거나 손상시킬 수 있다.
- [0060] 도 8을 참조하면, 애싱(ashing) 공정 등을 통하여, 상기 제1 포토레지스트 패턴(PR1)을 부분적으로 제거한다. 결과적으로, 상기 제1 포토레지스트 패턴(PR1)의 제2 두께부(TH2)가 제거되고, 제1 두께부(TH1)가 부분적으로 잔류하여 제2 포토레지스트 패턴(PR2)을 형성한다.
- [0061] 상기 제2 포토레지스트 패턴(PR2)은 상기 소스 금속 패턴의 상면을 부분적으로 커버함으로써, 상기 소스 금속 패턴의 상면은 부분적으로 노출된다.
- [0062] 도 9를 참조하면, 상기 산화물 반도체층(140)을 식각하여, 액티브 패턴(AP)을 형성한다. 상기 산화물 반도체층

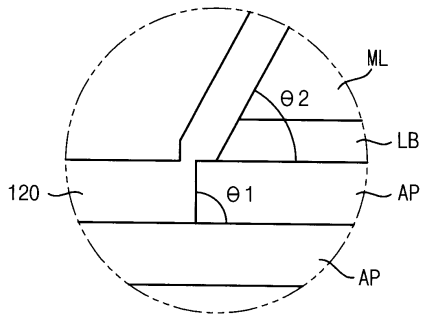
(140)은 건식 식각을 통해 식각된다.

- [0063] 상기 건식 식각을 통하여, 상기 액티브 패턴(AP)을 형성함으로써, 습식 식각을 이용하는 종래의 기술에 비하여 상기 액티브 패턴(AP)의 돌출부를 감소시킬 수 있다.
- [0064] 도 10을 참조하면, 상기 제2 포토레지스트 패턴(PR2)을 마스크로 이용하여, 노출된 상기 소스 금속 패턴을 식각하여, 소스 전극(SE) 및 드레인 전극(DE)을 형성하고, 상기 액티브 패턴(AP)의 상면을 부분적으로 노출시킨다. 이에 따라, 박막 트랜지스터가 형성된다.
- [0065] 상기 소스 금속 패턴의 식각은, 식각액을 이용한 습식 식각을 통해 이루어지며, 상기 소스 금속층(150)의 식각에 사용된 식각액과 동일한 식각액이 사용될 수 있다.
- [0066] 상기 소스 금속 패턴을 식각하는 과정에서, 상기 소스 금속 패턴의 측면이 부분적으로 식각될 수 있으며, 이에 따라, 상기 액티브 패턴(AP)이 상기 소스 금속 패턴의 측면으로부터 돌출될 수 있다. 그러나, 상기 액티브 패턴(AP)이, 상기 소스 금속층(150)이 습식 식각된 후, 건식 식각을 통하여 형성되므로, 필요한 마스크의 수를 줄이면서도, 상기 액티브 패턴(AP)의 돌출부의 크기를 최소화할 수 있다.
- [0067] 상기 건식 식각된 액티브 패턴(AP)은 상기 소스 전극(SE) 및 상기 드레인 전극(DE)을 포함하는 소스 금속 패턴보다 큰 테이퍼 각을 갖는다. 예를 들어, 상기 액티브 패턴(AP)의 테이퍼 각( $\theta 1$ )은 70도 내지 90도, 바람직하게는 80도 내지 90도 일 수 있으며, 상기 소스 금속 패턴의 테이퍼 각( $\theta 2$ )은 50도 내지 80도일 수 있다.
- [0068] 다음으로, 도 11에 도시된 바와 같이, 상기 제2 포토레지스트 패턴(PR2)을 제거한다.
- [0069] 도 12를 참조하면, 상기 박막 트랜지스터를 커버하는 패시베이션층(120)을 형성하고, 상기 패시베이션층(120) 위에 유기 절연막(130)을 형성한다.
- [0070] 상기 패시베이션층(120)은 무기 절연 물질을 포함한다. 예를 들어, 상기 패시베이션층(120)은 실리콘 질화물, 실리콘 산화물 등을 포함할 수 있다.
- [0071] 상기 유기 절연층(130)은 유기 물질을 포함한다. 상기 유기 절연층(130)은 상기 표시 기관의 표면을 평탄화하며, 포토레지스트 조성물을 상기 패시베이션층(120) 위에 스핀 코팅하여 형성될 수 있다. 상기 표시 기관이 컬러 필터를 포함하는 경우, 상기 유기 절연층(130) 대신에 컬러 필터가 형성될 수 있다.
- [0072] 다음으로, 상기 유기 절연층(130) 및 상기 패시베이션층(120)을 관통하며, 상기 드레인 전극(DE)을 노출하는 관통홀을 형성하고, 상기 유기 절연층(130) 위에 투명 도전층을 형성한다. 상기 투명 도전층은, 인듐-주석 산화물, 인듐-아연 산화물 등과 같은 투명 도전성 물질을 포함하며, 상기 투명 도전층의 일부는 상기 관통홀을 통하여, 상기 드레인 전극(DE)과 접촉한다.
- [0073] 다음으로, 상기 투명 도전층을 패터닝하여 도 2에 도시된 화소 전극(PE)를 형성한다. 도시되지는 않았으나, 상기 화소 전극(PE) 위에는 액정을 배향하기 위한 배향막이 형성될 수 있다. 다른 실시예에서, 표시 기관은 상기 화소 전극(PE)과 전계를 형성하는 공통 전극을 더 포함할 수 있다.
- [0074] 본 실시예에서 설명된 표시 기관의 박막 트랜지스터는 게이트 전극이 액티브 패턴 아래에 배치되는 바텀 게이트 구조를 가지나, 다른 실시예에서는 게이트 전극이 액티브 패턴 위에 배치되는 탑 게이트 구조를 가질 수도 있다.
- [0075] 본 실시예에 따르면, 박막 트랜지스터의 제조에 필요한 마스크의 수를 줄이면서, 산화물 반도체를 포함하는 액티브 패턴(AP)의 돌출부의 크기를 최소화 할 수 있다.
- [0076] 또한, 종래의 기술에 따라, 소스 금속층과 산화물 반도체층을 동일한 식각액으로 식각할 경우, 상기 식각액은 소스 금속 패턴의 식각에 사용되는 식각액과 다를 필요가 있으나, 본 실시예에 따르면, 동일한 식각액을 사용할 수 있으므로, 공정 관리에 이점이 있다.
- [0077] 또한, 소스 금속층과 산화물 반도체층을 함께 식각할 수 있는 식각액은 불소 함유 화합물을 포함하며, 이는 게이트 절연막과 같은 무기 절연막을 손상시킬 수 있으나, 본 실시예는 불소 함유 화합물을 포함하지 않는 식각액을 사용할 수 있으므로, 무기 절연막의 손상을 방지할 수 있다.
- [0078] 이상 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

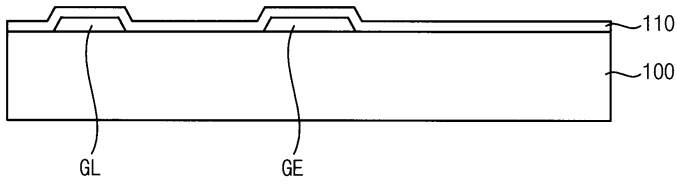




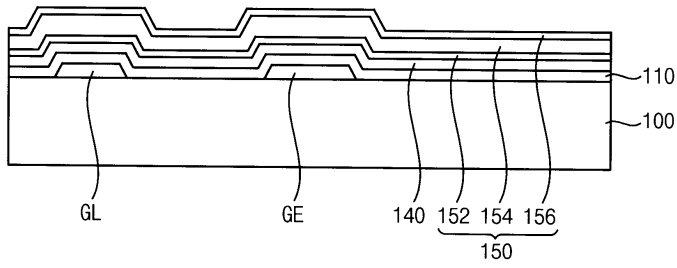
도면3



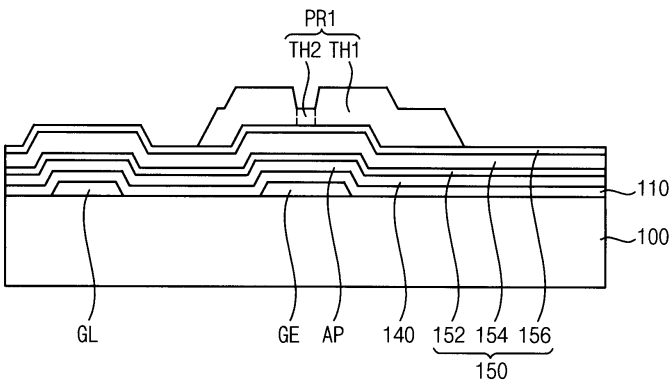
도면4



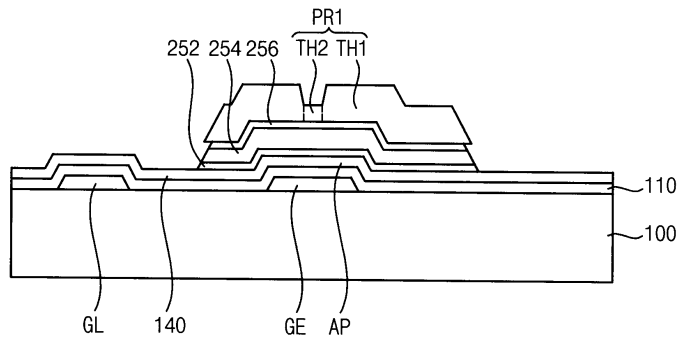
도면5



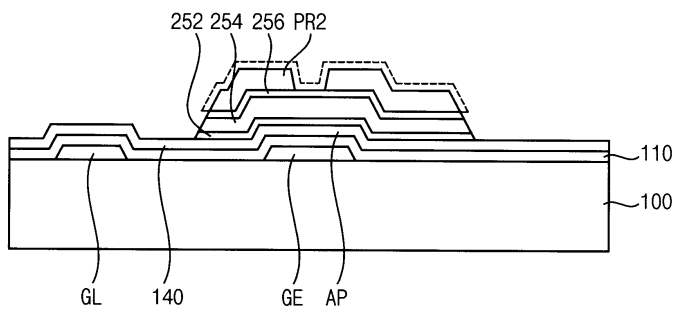
도면6



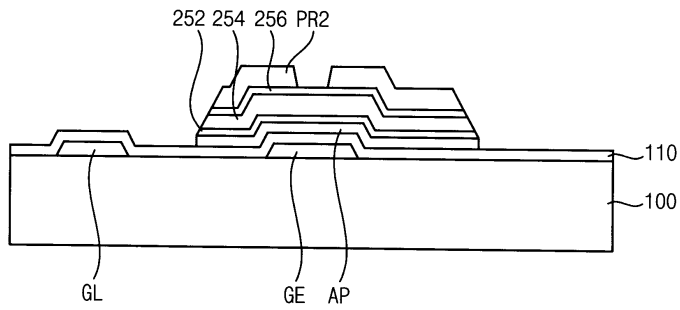
도면7



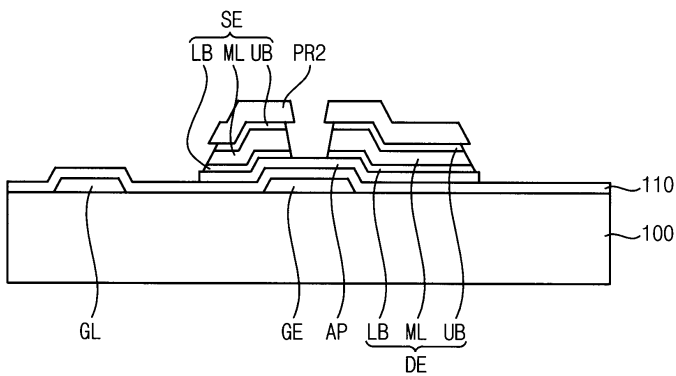
도면8



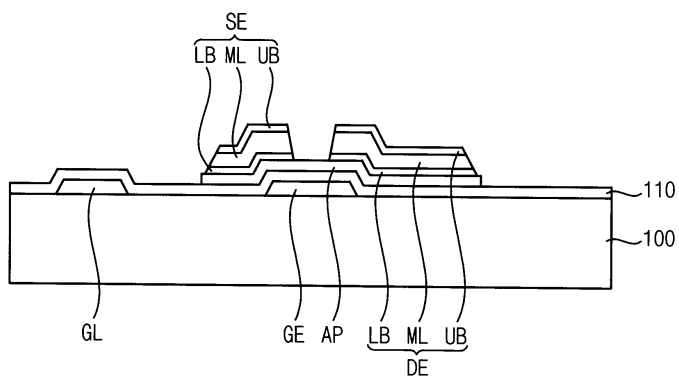
도면9



도면10



도면11



도면12

