

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
22. September 2011 (22.09.2011)

(10) Internationale Veröffentlichungsnummer
WO 2011/113414 A2

(51) Internationale Patentklassifikation:
H01L 21/48 (2006.01)

(21) Internationales Aktenzeichen: PCT/DE2011/000231

(22) Internationales Anmeldedatum:
2. März 2011 (02.03.2011)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2010 012 231.9 19. März 2010 (19.03.2010) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): DANFOSS SILICON POWER GMBH [DE/DE]; Heinrich-Herz-Str. 2, 24837 Schleswig (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): KOCK, Mathias [DE/DE]; Bundesstrasse 46, 25557 Gokels (DE).

(74) Anwalt: TÖNNIES, Jan, G.; c/o Boehmert & Boehmert, Niemannsweg 133, 24105 Kiel (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL,

AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts (Regel 48 Absatz 2 Buchstabe g)

(54) Title: METHOD FOR SINTERING A SEMICONDUCTOR DEVICE USING A LOW-TEMPERATURE JOINING TECHNIQUE

(54) Bezeichnung : VERFAHREN ZUM NTV-SINTERN EINES HALBLEITERBAUSTEINS

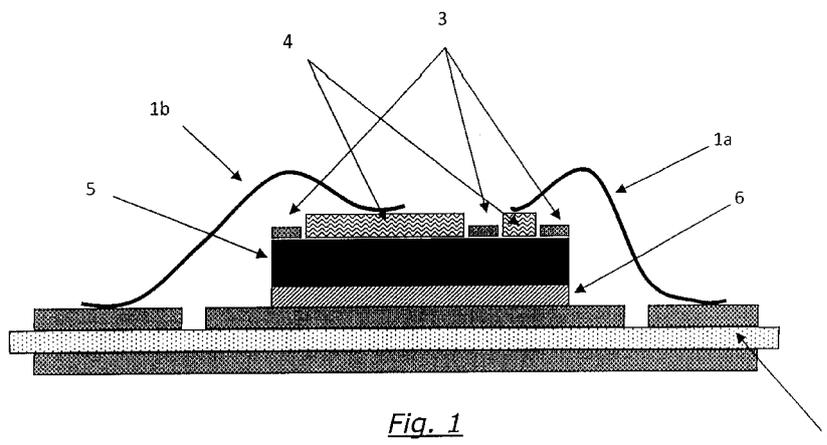


Fig. 1

(57) Abstract: The invention relates to a method for sintering a semiconductor component (5), which is suitable for power electronics and provided with contact areas, using a low-temperature joining technique. A sintering layer (6) that dissipates heat is arranged under the semiconductor component. The semiconductor component is provided with a further electrically and thermally conductive flat layer (4), to which bonding wires or bonding strips (1a, 1b) are bonded. In the method, the at least one further layer (4) is applied to the contact areas beyond insulating projecting edges (3), and sintering dies act on the applied at least one further layer (4) during sintering.

(57) Zusammenfassung: Verfahren zum NTV-Sintern eines für eine Leistungselektronik geeigneten, mit Kontaktbereichen versehenen Halbleiterbauelementes (5), unter dem eine für eine Wärmeabfuhr sorgende Sinterschicht (6)

[Fortsetzung auf der nächsten Seite]



WO 2011/113414 A2

angeordnet ist und die mit einer weiteren elektrisch und thermisch leitenden ebene Schicht (4) versehen ist, auf die Bonddrähten oder -bändchen (1a, 1b) aufgebondet sind, bei dem die wenigstens eine weitere Schicht (4) auf die Kontaktbereiche über isolierende vorstehende Ränder (3) hinaus aufgebracht wird, und während des Sinterns Sinterstempeln auf die aufgebrachte wenigstens eine weitere Schicht (4) einwirken.

5

10

Verfahren zum NTV-Sintern eines Halbleiterbausteins

15

Die Erfindung betrifft ein Verfahren zum NTV-Sintern eines Halbleiterbausteins nach dem Oberbegriff des Hauptanspruches.

20

Ein modernes Verbindungsverfahren von Halbleitern auf Substraten (Keramik-Metall-Substraten oder Metallsubstraten oder Keramiksubstraten) ist das Niedertemperatur-Drucksintern (NTV-NiederTemperaturVerbinden) mit Silber. Hierbei wird der Halbleiter mit einer Verbindungsschicht aus Silber unter Anwendung von Temperatur (180°C bis 350°C) und Druck (3-30 MPa) auf das Substrat gepresst.

25

Dabei erfolgt eine Verdichtung des porösen Silbers und eine temperaturgetriebene Diffusion des Silber in die Kontaktflächen der Chipmetallisierung und der Metallschicht des Substrates und umgekehrt. Die Höhe des Sinterdruckes bestimmt den Grad der Restporosität der verbindenden Silberschicht.

30

Eine derartige vorteilhafte Verbindung weist eine besonders hohe Wärme- und Stromtragfähigkeit auf, wenn die Porosität der Sinterverbindung besonders gering (z.B. geringer als 15%) ist. Dazu ist der Sinterdruck entsprechend hoch einzustellen.

35

Die initiale Silberschicht vor dem Verpressen ist meist eine getrocknete Suspension partikulären Silbers. Sind die Silberpartikel nanoskalig (d.h. haben sie 1-100nm Durchmesser), so ist ein geringerer Druck erforderlich (3-10 MPa). Für makroskalige Suspensionen (1µ - 20µm) ist ein Druck von 10- 30 MPa erforderlich.

Die besten Ergebnisse werden erzielt wenn der Druck durch eine Presse mit heizbarem Unterstempel und einem Oberstempel mit flexibler oder verformbarer Anpressplatte auf das Halbleiterbauelement und das umgebende Substrat übertragen wird.

5 Teilweise werden die zu sinternden Halbleiter auch mit harten (z.B. keramischen Stempelflächen) in die Silbersuspension gedrückt und die Sinterung eingeleitet. Anschließend werden die gesinterten Halbleiter z.B. durch Ultraschall-Drahtbonden oder Bändchenbonden elektrisch kontaktiert.

10 Dabei ergeben sich folgende Nachteile : Der relativ relative hohe Druck erzeugt auch mit einer nachgiebigen Oberstempelschicht lokale Spannungsspitzen, die zu Scher- und Zugspannungen insbesondere im Halbleiter und seinen Strukturen führen. Dabei sind die besonders exponierten Erhöhungen auf dem Halbleiter als Punkte höchster Krafteinleitung gefährdet.

15 Diese geometrisch aufragenden Strukturen auf den überwiegend ebenen Halbleitern sind die Isolationsränder rund um Kontaktierungsflächen. Zum Beispiel ist ein IGBT-Transistor auf seiner Oberseite mit Isolationsstrukturen rund um den Gatekontakt zur Isolation zwischen Gate und Emitter versehen.

20 Des Weiteren besteht eine erhöhte Isolationskante rund um den Emitterkontakt zur Erhöhung der Isolation zwischen Emitter und Kollektor entlang der Sägekante. Dies findet sich analog auch bei MOSFET-Halbleitern, die eine gleichartige Isolation zwischen Gate- und Source- Kontakten und zwischen Source- und umseitiger Drainfläche besitzen.

25 Weiter werden Dioden auf gleiche Weise zwischen den Kontaktflächen von Anode und Kathode durch einen gegenüber der restlichen Halbleiterflächen erhabenen Isolationswall isoliert.

30 Derartige Isolationswälle bestehen zum Beispiel aus spröden Schichten, wie z.B. Si_3N_4 , SiO_2 oder Gläsern. Typisch sind für diese Isolationswälle dabei Höhen von 2 - 10 μm .

35 Weiter sind auch Isolationswälle aus Polymeren (speziell Polyimiden) gebräuchlich. Diese weisen eine geringe Sprödigkeit auf, sind aber durch den Sinterdruck ver-

drängbar. Es entstehen Anrisse, Zerstörungen und/oder Delaminationen im Bereich der Isolationswälle durch den Druck des Sinterstempels auch in den Fällen, in denen Sie gar nicht direkt in Kontakt mit dem Sinterstempel kommen.

5 Derartige Beschädigungen werden auch gelegentlich nach dem Abschneidevorgang beim Draht- (Bändchen-) -Bonden beobachtet, wenn das geschnittene Draht- bzw. Bändchenende über die Kanten der Isolationswälle gezogen wird.

10 Eine Beeinträchtigung der Isolationswälle durch Beschädigungen beim Drucksintern und / oder Bonden führt zu Isolationstestausfällen oder erhöhten Leckstromwerten beim End-of-Line-Test der Halbleiter-Packages in der Fertigung.

Aus der US 2009/0244868 A1 ist ein Halbleiterelement mit den Merkmalen des Oberbegriffs des Anspruchs 1 bekannt.

15

Es ist Aufgabe der Erfindung, diese genannten Beschädigungen bei dem Sintern zu vermeiden.

20 Diese Aufgabe wird erfindungsgemäß durch ein Verfahren mit den Merkmalen des Anspruchs 1 überwunden. Die Unteransprüche geben bevorzugte Ausgestaltungen der Erfindung an.

25 Bei dem vorgeschlagenen Verfahren werden die Kontaktfläche bzw. Kontaktflächen des Halbleiters (Kathode oder Anode bei Dioden und Emitter oder Source, sowie die Gate-Kontaktfläche bei IGBT und MOSFET) zunächst mit einer elektrisch leitfähigen Zusatzschicht versehen, die mindestens die Dicke der höchsten Isolationswälle besitzt, vorzugsweise aber deutlich höher ist, um eine Entlastung der Isolationswälle zu gewährleisten.

30 Eine besonders vorteilhafte Wirkung hat sich bei ca. der drei bis fünffachen Schichtdicke im Vergleich zur Höhe der Isolationswälle gezeigt. Mit steigender Härte der flexiblen Schicht des Oberstempels der Sinterpresse ist die Höhe der Metallschicht zu steigern.

35 Die Schicht sollte zudem bondbar sein, damit die typischen Kontaktierungen durch Ultraschallbonden von Kontaktdrähten und -bändern zur Stromführung erhalten

werden kann. Hierzu kommen bevorzugt gut leitfähige Stoffe wie Al, Cu oder Ag oder deren Legierungen zum Einsatz.

5 Die erfindungsgemäße zusätzliche Metallschicht wirkt durch ihre Dicke zusätzlich vorteilhaft als Druckmittler zur Vermeidung von mechanischen Spannungsspitzen über die Halbleiterfläche und löst damit ein weiteres Problem.

10 Eine weitere bevorzugte Verbesserung ergibt sich bei der Verwendung von thermisch gut leitenden Schichtmaterialien durch die thermische Spreiz- und Pufferwirkung der dicken Metallschicht.

15 Die Aufbringung der Schicht ist vorzugsweise im Waferverbund herzustellen und kann durch maskierte chemische, galvanische oder physikalische Aufbringungstechnik selektiv geschehen. Als besonders wirtschaftlich hat sich das selektive Spritzen von Metallpulvern (nanoskalig) durch ein Niedertemperatur-Plasma erwiesen. Hierbei sind Schichtdicken bis zu mehreren 100µm herstellbar. Dieses Verfahren ist auch für bereits gesägte Wafer auf Folie und für bereits gesinterte Chips auf Substraten einsetzbar.

20 Weiter Vorteile und Merkmale ergeben sich aus nachfolgender Beschreibung eines bevorzugten Ausführungsbeispiels. Dabei zeigt :

25 Fig. 1 einen Querschnitt eines Leistungshalbleiters (am Beispiel eines IGBT) gesintert auf ein Keramik-Substrat mit den erfindungsgemäßen Schutzschichten gegen zerstörerische Folgen des Sinterdrucks.

30 Das erfindungsgemäße Verfahren zum NTV-Sintern eines Halbleiterbauelementes 5 für die Leistungselektronik unter dem eine Sinterschicht 6 vorgesehen ist, die für die Wärmeabfuhr sorgt und das mit um die metallischen Kontaktbereiche ausgebildeten, isolierenden, über die ebenen Kontaktbereiche vorstehenden Rändern oder Isolationswällen 3 versehen ist, zeichnet sich durch die folgenden Schritte aus : 1.) über die vorstehenden Isolationswälle 3 hinaus werden die Kontaktbereiche durch das Aufbringen wenigstens einer weiteren, ebenen, elektrisch und thermisch leitenden, vorzugsweise metallischen Schicht 4 angefüllt, 2.) Sinterstempel wirken dann auf diese aufgebraachte(n) weitere(n) Schicht 4 während des Sinterns und 3.) Bonddrähte

35

1a, 1b werden auf diese aufgebrachte(n) weitere(n) elektrisch und thermisch leitende(n), vorzugsweise metallischen Schicht(en) gebondet.

5 Diese Bonddrähte 1a, 1b werden nach dem Sintern zur Kontaktierung z.B. eines IBGT-Transistors mit Gate bzw. Emitterkontakt gefertigt.

10 In einer bevorzugten Variante wird beim vorgeschlagenen Verfahren zum NTV-Sintern wenigstens eine der weiteren Schichten durch Vakuum-Plasma-Abscheidung gebildet.

Weiter wird vorgeschlagen, dass eine der weiteren Schichten aus Kupfer besteht und/oder eine der weiteren Schichten als zweite Wärmesenke mit einer Gesamtdicke der Schichten von 30 μm dick ausgebildet wird.

15 Bevorzugt ist weiter, dass die metallischen Kontaktbereiche aus einer Aluminiumverbindung bestehen und/oder die Kupferschicht(en) aus Nanopartikeln aufgesprüht werden (Nanopowder-Plasma-Deposition).

20 Dabei wird weiter bevorzugt, dass die Nanopowder-Plasma-Deposition ohne vorbereitende Ätz- und Beizschritte auf den Halbleiterbauelementen durchgeführt wird bevor diese durch Zersägen eines Wafers vereinzelt werden.

25 Schließlich werden durch die Erfindung Temperaturen von 60 bis 140°C für die Nanopowder-Plasma-Deposition vorgeschlagen, wobei die Temperaturen von 130°C bis 140°C für dünnere Schichten vorbehalten sind und dickere bevorzugt bei Temperaturen zwischen 95° und 115° C gefertigt werden. Die Nanopowder-Plasma-Deposition wird dabei schon bei Atmosphärendruck erfolgreich sein können.

30 Es wird dabei eine Nanopowder-Plasma-Deposition bevorzugt, bei der reines pulveriges Kupfer mit Korndurchmessern von 0,05 bis 0,5 μm ohne weitere Beimengungen versprüht wird.

Patentansprüche

- 5 1. Verfahren zum NTV-Sintern eines für eine Leistungselektronik geeigneten, mit Kontaktbereichen versehen Halbleiterbauelementes (5), unter dem eine für eine Wärmeabfuhr sorgende Sinterschicht (6) angeordnet ist und die mit einer weiteren elektrisch und thermisch leitenden ebene Schicht (4) versehen ist, auf die Bonddrähten oder -bändchen (1a, 1b) aufgebondet sind,
- 10 dadurch gekennzeichnet, dass
- die wenigstens eine weitere Schicht (4) auf die Kontaktbereiche über isolierende vorstehende Ränder (3) hinaus aufgebracht wird, und
 - 15 - während des Sinterns Sinterstempeln auf die aufgebrachte wenigstens eine weitere Schicht (4) einwirken.
 -
- 20 2. Verfahren zur NTV-Sintern nach Anspruch 1, gekennzeichnet durch Bilden wenigstens einer der weiteren Schichten (4) durch Vakuum-Plasma-Abscheidung.
3. Verfahren zur NTV-Sintern nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass eine der wenigstens einen weiteren Schichten (4) aus Kupfer besteht.
- 25 4. Verfahren zur NTV-Sintern nach einem der vorangehenden Ansprüche, gekennzeichnet durch Ausbilden einer der wenigstens einen weiteren Schichten (4) als zweite Wärmesenke mit einer Gesamtdicke der Schichten von 30 µm.
- 30 5. Verfahren zur NTV-Sintern nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die metallischen Kontaktbereiche aus einer Aluminiumverbindung bestehen und die wenigstens eine Kupferschicht (4) durch Aufsprühen von Nanopartikeln, sog. Nanopowder-Plasma-Deposition, gebildet wird.

6. Verfahren zur NTV-Sintern nach Anspruch 5, gekennzeichnet durch Durchführen der Nanopowder-Plasma-Deposition ohne vorbereitende Ätz und Beizschritte auf den Halbleiterbauelemente vor dem Vereinzeln durch Zersägen eines Wafers.
- 5 7. Verfahren zur NTV-Sintern nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die Nanopowder-Plasma-Deposition bei Temperaturen unterhalb von 115° C erfolgt.
- 10 8. Verfahren zur NTV-Sintern nach einem der Ansprüche 5 - 7, dadurch gekennzeichnet, dass die Nanopowder-Plasma-Deposition bei Atmosphärendruck erfolgt.
- 15 9. Verfahren zur NTV-Sintern nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die Nanopowder-Plasma-Deposition durch Versprühen reinen pulverigen Kupfers mit Korndurchmessern von 0,05 bis 0,5 µm ohne weitere Beimengungen erfolgt.

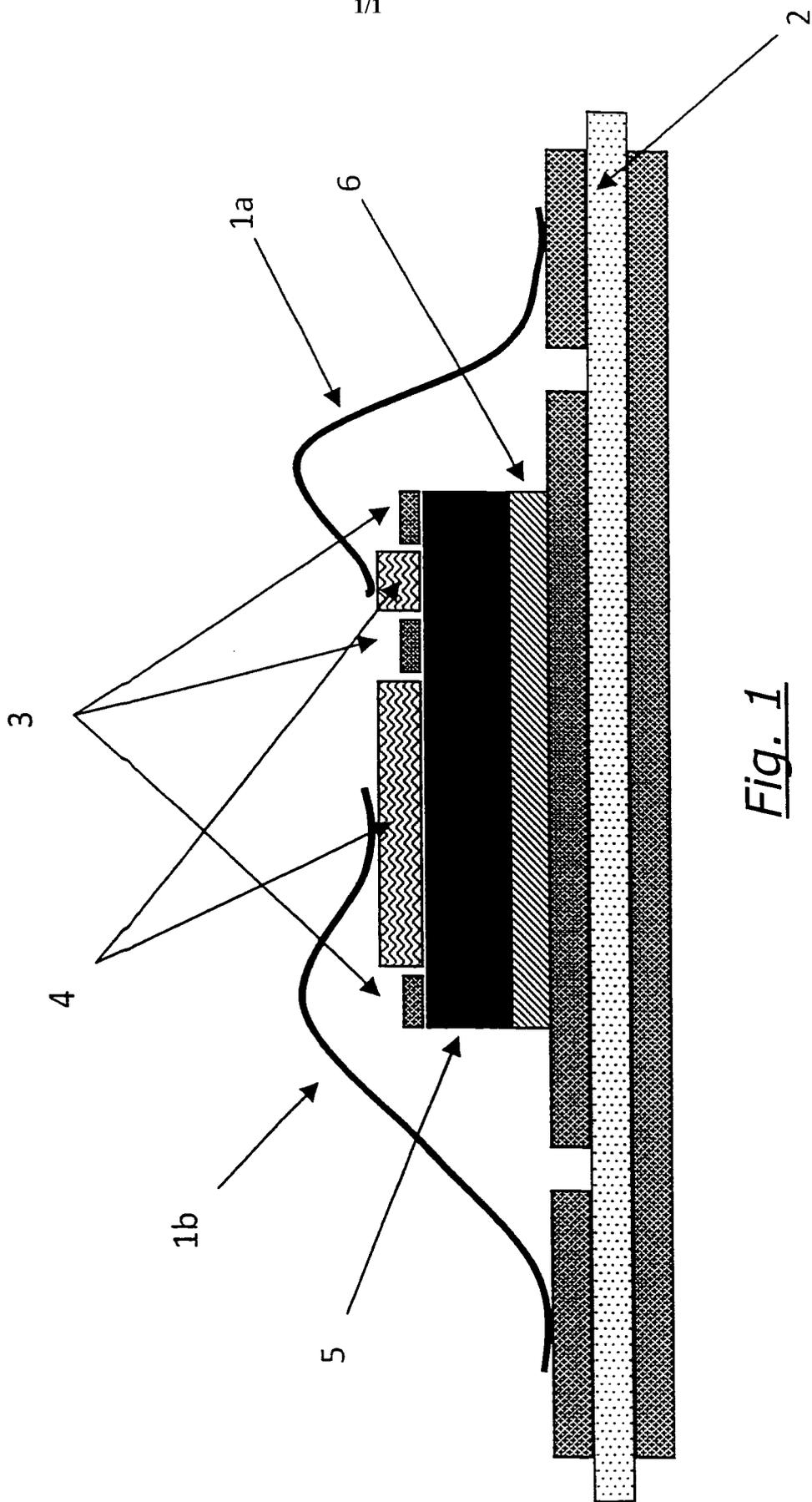


Fig. 1