



(12)发明专利申请

(10)申请公布号 CN 106328194 A

(43)申请公布日 2017.01.11

(21)申请号 201610496712.6

(22)申请日 2016.06.29

(30)优先权数据

14/755,557 2015.06.30 US

(71)申请人 国际商业机器公司

地址 美国纽约

(72)发明人 G·M·布雷斯艾斯

V·布林维加亚拉哈范

K·S·伦加拉贾 R·纳亚克

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 申发振

(51)Int.Cl.

G11C 11/413(2006.01)

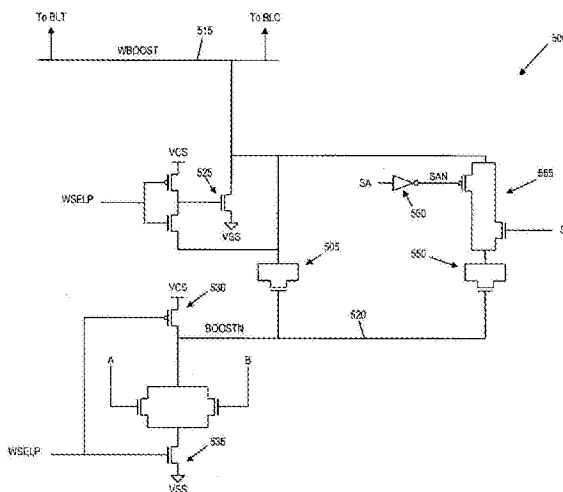
权利要求书2页 说明书7页 附图7页

(54)发明名称

用于改进SRAM写操作的升压控制

(57)摘要

本公开涉及用于改进SRAM写操作的升压控制。本发明提供了用于为静态随机存取存储器(SRAM)阵列提供写辅助升压的方案。一种电路包含静态随机存取存储器(SRAM)阵列的写驱动器。该电路还包含基于应用于阵列的字线的稳定性辅助设置动态地改变写辅助升压电压的升压电路。



1. 一种电路,包含:
静态随机存取存储器(SRAM)阵列的写驱动器;以及
基于应用于所述阵列的字线的稳定性辅助设置动态地改变写辅助升压电压的升压电路。
2. 根据权利要求1所述的电路,其中应用于所述字线的所述稳定性辅助设置是由包含于所述阵列的字线驱动器内的稳定性辅助电路定义的多个稳定性辅助设置中的一个稳定性辅助设置。
3. 根据权利要求2所述的电路,其中不同水平的所述写辅助升压电压与所述多个稳定性辅助设置中的每个相应设置关联。
4. 根据权利要求1所述的电路,其中所述升压电路包含并联连接于第一线路与第二线路之间的第一电容器和第二电容器,其中所述写辅助升压电压在所述第一线路上。
5. 根据权利要求4所述的电路,其中所述升压电路被配置使得:
当第一稳定性辅助设置被应用于所述字线时,只有所述第一电容器驱动所述写辅助升压电压;并且
当第二稳定性辅助设置被应用于所述字线时,所述第一电容器和所述第二电容器两者均驱动所述写辅助升压电压。
6. 根据权利要求4所述的电路,其中所述升压电路包含与在所述第一线路和所述第二线路之间的所述第二电容器串联连接的传输门。
7. 根据权利要求6所述的电路,其中:
当第一稳定性辅助设置被应用于所述字线时,控制信号关闭所述传输门;并且
当第二稳定性辅助设置被应用于所述字线时,所述控制信号开启所述传输门。
8. 根据权利要求1所述的电路,其中所述升压电路包含并联连接于第一线路与第二线路之间的第一电容器、第二电容器、第三电容器和第四电容器,其中所述写辅助升压电压在所述第一线路上。
9. 根据权利要求8所述的电路,其中所述升压电路基于应用于所述字线的所述稳定性辅助设置来选择性地控制与所述第二电容器、第三电容器和第四电容器关联的相应传输门。
10. 根据权利要求1所述的电路,其中所述升压电路包含于所述写驱动器内。
11. 一种电路,包含:
字线驱动器,被配置为在对静态随机存取存储器(SRAM)阵列的选定单元进行的写操作期间将多个稳定性辅助设置中的一个稳定性辅助设置应用于写入线;以及
写驱动器,包含被配置为在所述写操作期间将多个升压电压中的一个升压电压施加于所述选定单元的位线的升压电路,其中所述多个升压电压中的所述一个升压电压基于所述多个稳定性辅助设置中的所述一个稳定性辅助设置。
12. 根据权利要求11所述的电路,其中:
多个稳定性辅助设置至少包括第一稳定性辅助设置和第二稳定性辅助设置;并且
所述多个升压电压至少包括第一升压电压和第二升压电压。
13. 根据权利要求12所述的电路,其中:
当所述第一稳定性辅助设置被应用于所述字线时,所述升压电路生成所述第一升压电

压;并且

当所述第二稳定性辅助设置被应用于所述字线时,所述升压电路生成所述第二升压电压。

14.根据权利要求12所述的电路,其中所述升压电路包含:

第一电容器;

第二电容器;以及

与所述第二电容器连接的传输门。

15.根据权利要求14所述的电路,其中所述升压电路:

当所述第一稳定性辅助设置被应用于所述字线时,关闭所述传输门;并且

当所述第二稳定性辅助设置被应用于所述字线时,开启所述传输门。

16.一种用于为静态随机存取存储器(SRAM)阵列提供写辅助升压的方法,包括:

在对所述阵列的选定单元进行的写操作期间基于应用于与所述选定单元连接的字线的稳定性辅助设置,改变与所述选定单元连接的位线的写辅助升压电压。

17.根据权利要求16所述的方法,其中:

应用于所述字线的所述稳定性辅助设置是由包含于所述阵列的字线驱动器内的稳定性辅助电路定义的多个稳定性辅助设置中的一个稳定性辅助设置;并且

所述改变包括为所述多个稳定性辅助设置中的每个相应设置生成不同水平的所述写辅助升压电压。

18.根据权利要求16所述的方法,其中所述改变包括基于应用于所述字线的所述稳定性辅助设置而选择性地控制与电容器连接的传输门。

19.根据权利要求16所述的方法,其中所述改变包括基于应用于所述字线的所述稳定性辅助设置而选择性地控制分别与多个电容器连接的多个传输门。

20.根据权利要求16所述的方法,其中:

所述稳定性辅助设置提高与所述字线连接的半选定单元的稳定性;并且

所述写辅助升压电压提高所述选定单元的可写性。

用于改进SRAM写操作的升压控制

技术领域

[0001] 本发明涉及半导体器件,并且更特别地涉及静态随机存取存储(SRAM)器件及其制造方法。

背景技术

[0002] 静态随机存取存储器(SRAM)是一种用于许多集成电路应用中的半导体存储器,包括通用处理器和专用集成电路内的嵌入式存储器(例如,高速缓冲存储器和寄存器堆)和外部存储器。SRAM由于其高速、低功耗及简单操作而成为一种理想的存储器。与动态随机存取存储器(DRAM)不同,SRAM不需要定期刷新来保留所存储的数据,并且其设计一般是简单明了的。

[0003] 典型的SRAM单元包含一对用于保存所期望的数据位值(即,1或0)以及该值的补码的交叉耦合的反相器。虽然SRAM是一种理想的存储器,但是已知如果不正确地设计和制造,则SRAM单元在被访问时会变得不稳定,此时所保存的位值被扰乱,即,切换。而且,相对于在单元内的N型器件(晶体管)和P型器件(晶体管)的强度,SRAM单元的稳定性与单元的可写性完全冲突。SRAM单元的可读性是在分配给信号开发的指定时间内将所需的信号幅值驱动到位线之上的能力,并且是单元的读电流的函数。在这样的单元内存在着成为在稳定性与可读性/可写性之间的性能冲突的倾向。用于提高稳定性的技术典型地具有降低可读性/可写性的不良影响。相反地,用于提高可读性/可写性的技术典型地具有降低稳定性的不良影响。

[0004] SRAM稳定性是关于单元在它丢失其数据之前能够容许的“噪声”的程度的度量。稳定性干扰是能够在SRAM单元的读操作和写操作两者期间发生的状况。一种用于提高稳定性的特定技术是在写操作期间降低字线电位;但是,这种字线电位的降低会不利地影响可写性。

发明内容

[0005] 在本发明的第一方面中,提供包含静态随机存取存储器(SRAM)阵列的写驱动器的电路。该电路还包含可基于应用于阵列的字线的稳定性辅助设置动态地改变写辅助升压电压的升压电路。

[0006] 在本发明的另一个方面中,提供包含被配置为在对静态随机存取存储器(SRAM)阵列的选定单元进行的写操作期间将多个稳定性辅助设置之一应用于写入线的字线驱动器的电路。该电路还包含写驱动器,该写驱动器含有被配置为在写操作期间将多个升压电压之一施加于选定单元的位线的升压电路,其中该多个升压电压之一基于多个稳定性辅助设置之一。

[0007] 在本发明的另一个方面中,提供用于为静态随机存取存储器(SRAM)阵列提供写辅助升压的方法。该方法包括:基于在对选定单元的写操作期间应用于与选定单元连接的字线的稳定性辅助设置,改变与阵列的选定单元连接的位线的写辅助升压电压。

附图说明

[0008] 本发明在下面的详细描述中借助于本发明的示例性实施例的非限制性实例参考所附的多个示意图来描述。

[0009] 图1示出了SRAM单元；

[0010] 图2示出了SRAM阵列；

[0011] 图3A和3B示出了稳定性辅助电路和图式；

[0012] 图4A和4B示出了根据本发明的方面的具有稳定性辅助的阵列和动态升压；

[0013] 图5示出了根据本发明的方面的升压电路的第一实施例；以及

[0014] 图6示出了根据本发明的方面的升压电路的第二实施例。

具体实施方式

[0015] 本发明涉及半导体器件，并且更特别地涉及静态随机存取存储器(SRAM)器件及其制造方法。根据本发明的方面，写辅助升压电压基于在选定的SRAM单元的写操作期间在降低字线的电位中所应用的稳定性辅助设置而动态改变。在实施例中，不同水平的升压与每个相应的稳定性辅助设置关联。基于稳定性辅助设置来动态地改变升压会在不影响半选定单元的稳定性(或可写性)的情况下提高选定单元的可写性。以此方式，本发明的实施方式在稳定性辅助被开启时可提高可写性，但是不会对传输门(pass gate)造成可靠性问题。所提高的可读性能被转换成较高的性能或较高的密度。本文所描述的方面同样可以被用来提高多端口存储器的可读性。

[0016] 图1示出了可以包含于阵列内的示例性6T SRAM单元112。单元112包含一对交叉偶合的反相器132、132'，它们各自与电压源线136电连接的一对p型负载(或上拉式)晶体管P1、P2之一以及与电压汇线140(例如，地线)电连接的一对n型驱动(或下拉式)晶体管N1、N2中的相应一个形成。同时，交叉偶合的反相器132、132'一起形成了能够存储单个数据位的锁存电路。单元112具有分别用来指示在内部“存储”节点NC、NT上的“1”位和“0”位的两个稳定状态。两个称为“存取”或“传输门”晶体管的附加的n型晶体管N3、N4将交叉偶合的反相器132、132'电连接至位线BLC、BLT(128)中相应的各个位线，并且通过相应的字线WL(134)来控制。

[0017] 在操作中，位线BLT、BLC典型地被预充电到高电压(至电源电压处或附近)，并且在读周期和写周期两者开始时被均衡调整至相同电压，在此之后位线BLT、BLC则浮置于该预充电的电压。要针对读操作来访问单元112，字线WL然后被通电，从而使传输晶体管N3、N4导通，并且将存储节点NT、NC连接至随后浮置的已预充电的位线BLT、BLC。形成于位线BLT、BLC上的差分电压然后被感测到并且由感测放大器放大。在写操作中，典型的现代SRAM存储器包含用于根据待写入的数据状态而将随后浮置的已预充电的位线BLT或BLC之一拉低(即到地电压或其附近的电压)的写电路。在字线WL随后通电时，低电平的位线BLT(或BLC)将会将其关联的存储节点NT(或NC)下拉，从而导致所寻址到的单元112的交叉偶合的反相器锁定于期望的状态。

[0018] 器件可变性能能够导致读和写失败，特别是在以亚微米级最小特征尺寸的晶体管构造的存储器单元中。当已寻址到的SRAM单元在用相反的数据状态来写入的情况下不改变其

存储状态时,写失败发生。典型地,该失败被观察到是由于写电路无法下拉当前锁定于高电压的存储节点。例如,在将低逻辑电平写入存储节点NC内的尝试中,如果位线BLC无法使存储节点NC充分放电以切断(trip)包含晶体管P2和N2的反相器132',则单元112可以不锁定于期望的数据状态。单元稳定性失效与写失败相反,意味着:写失败在单元应当改变但未能改变其状态时发生,而单元稳定性失效在单元不应改变却改变了其状态时发生。

[0019] 图2示出了SRAM单元的示例性阵列190(每个SRAM单元都可以与单元112类似)以及关联的写驱动器200和字线驱动器205。阵列190的单元按“n”行和“m”列排列,其中“n”和“m”可以是任意期望的整数。在特定行内的每个单元均在操作上与该行的共同字线连接。例如,单元112(0,0),112(0,1),...,112(0,m)与字线WL0连接。在特定列内的每个单元均在操作上与该列的一对共同位线连接。例如,单元112(0,0),...,112(n,0)与位线BLC0和BLT0连接。要对选定单元(例如,单元112(0,0))执行写操作,字线驱动器205将在单元的字线(例如,WL0)上的电压驱动到高电平,并且写驱动器200将在单元的列的一个位线(例如,BLT0或BLC0)上的电压从预充电的高电平驱动到低电平。含有特定单元的行被称为选定行,并且含有特定单元的列被称为访问列。在选定行内的其他单元被称为半选定的,因为它们的字线在它们各自的位线保持为浮置的同时被通电。半选定单元在对选定单元的写操作期间特别易受稳定性干扰条件的影响。稳定性干扰能够扰乱半选定单元的所存储数据状态,例如,导致对一个或多个半选定单元的数据写失败。

[0020] 图3A和3B示出了稳定性辅助电路300和图式。图3A示出了SRAM阵列(例如,图2的阵列190)的字线WL_n的一部分。要对在与字线WL_n连接的行内的选定单元执行写操作,选择电路305开启上拉式器件(例如,晶体管)310,其将字线的电压上拉至高电压供电电平,例如,VCS。为了在对选定单元的写操作期间提高与字线WL_n连接的半选定单元的稳定性,字线WL_n的电压可以相对完全的VCS电平稍微降低。要实现字线WL_n的电压的不同水平的降低,两个下拉式器件312和314连接于字线WL_n与低电压供电电平(例如,VSS)之间。这两个下拉式器件312和314具有彼此不同的强度并且由选择电路305选择性地开启/关闭,以应用不同水平的稳定性辅助(即,不同的稳定性辅助设置)。包含选择电路300的稳定性辅助电路300可以包含于字线驱动器电路(例如,图2的字线驱动器205)内。

[0021] 图3B示出了在写操作期间由下拉式器件312和314的不同关闭/开启状态引起的字线WL_n上的电压。当器件312和314两者都关闭(称为<0,0>稳定性辅助设置)时,字线WL_n上的电压等于VCS,如线321所示。当第一器件312关闭且第二器件314开启(称为<0,1>稳定性辅助设置)时,字线WL_n上的电压等于VCS减去第一量,如线322所示。当第一器件312开启且第二器件314关闭(称为<1,0>稳定性辅助设置)时,字线WL_n上的电压等于VCS减去第二量,如线323所示。当第一器件312开启且第二器件314开启(称为<1,1>稳定性辅助设置)时,字线WL_n上的电压等于VCS减去第三量,如线324所示。

[0022] 图3A和3B所示的稳定性辅助技术,即,在写操作期间将字线电压略微降低到完全VCS电平以下,提高了半选定单元的稳定性,但是降低了选定单元的可写性。可写性的这种降低可以通过将写辅助升压施加于访问列的低电平的(即,下拉的)位线来减轻。写辅助升压(在本文中简称为升压)驱动在存储单元的低电压供电电平VSS以下的低电平的位线的电位。以此方式,对于给定的字线电压,施加升压会增加选定单元的字线电压和低电平的位线电压之差(与不使用升压的情形相比)。选定单元的字线电压和低电平的位线电压之差代表

选定单元的传输门的 V_{gs} ,并且因而直接影响单元的可写性。正因如此,与在相同的字线电压不使用升压的情形相比,施加升压可在特定电平的字线电压为选定单元提供更好的可写性。

[0023] 图3B示出了在对选定单元的写操作期间相对于不同的字线电压321、322、323、324的示例性升压电压330。如图3B所示,升压电压300被驱动为比单元的VSS电平低。如同图3B进一步示出的,升压电压300对于稳定性辅助的每种设置,例如,对于每个不同的字线电压321、322、323、324都是相同的。

[0024] 根据本发明的方面,升压电压基于在对选定的SRAM单元的写操作期间在降低字线的电位中所应用的稳定性辅助设置而动态改变。在实施例中,不同水平的升压与稳定性辅助的每种相应设置关联。在特定的实施例中,不同水平的升压和不同水平的稳定性辅助被配置,使得在选定单元的字线电压和低电平的位线电压之间的差值对于所有水平的稳定性辅助都基本上是相同的。

[0025] 图4A和4B示出了根据本发明的方面的随稳定性辅助动态改变的升压。图4A示出了包含按“n”行和“m”列排列的若干单元112(n,m)的SRAM阵列400的一部分,其中“n”和“m”是任意期望整数。每个单元112(n,m)都可以与图1所示的单元112类似。字线驱动器405与阵列400的每个字线(WL0,WL1,...,WLn)连接,并且包含用于控制每个字线上的电压的电路。字线驱动器405包含被配置为在对选定行内的选定单元的写操作期间将多个稳定性辅助设置(即,分立水平的电压降低)之一应用于字线电压的稳定性辅助电路,例如,类似于图3A所示的元件300。

[0026] 仍然参照图4A,写驱动器电路410与每个列的两个位线(例如,BLT0、BLC0、BLT1、BLC1、BLTm、BLCm)连接,并且包含用于控制每个位线上的电压的电路。在实施例中,写驱动器电路410包含被配置为在对访问列内的选定单元的写操作期间对特定位线施加多个分立水平的升压之一的写辅助升压电路。

[0027] 继续参照图4A,稳定性辅助控制器415与字线驱动器405和写驱动器410连接。在实施例中,稳定性辅助控制器415包含用于控制由写驱动器410基于在对选定行内的选定单元的写操作期间应用于字线电压的稳定性辅助设置(即,电压降低的水平)施加的升压水平的电路。稳定性辅助控制器415可以独立于字线驱动器405和写驱动器410,可以完全包含于字线驱动器405和写驱动器410之一内,或者可以部分包含于字线驱动器405和写驱动器410之一或两者之内。

[0028] 图4B示出了根据本发明的方面在对阵列400的(图4A的)选定单元的写操作期间的选定字线的字线电压以及施加于选定位线的升压电压的曲线。线421代表稳定性辅助的第一设置的字线电压,例如,关于图3A和3B所描述的 $\langle 0,0 \rangle$ 稳定性辅助设置。线422代表稳定性辅助的第二设置的字线电压,例如,关于图3A和3B所描述的 $\langle 0,1 \rangle$ 稳定性辅助设置。线423代表稳定性辅助的第三设置的字线电压,例如,关于图3A和3B所描述的 $\langle 1,0 \rangle$ 稳定性辅助设置。线424代表稳定性辅助的第四设置的字线电压,例如,关于图3A和3B所描述的 $\langle 1,1 \rangle$ 稳定性辅助设置。

[0029] 仍然参照图4B,线431代表在第一稳定性辅助设置(例如,设置 $\langle 0,0 \rangle$)被采用时应用的第一水平的升压的升压电压(在图5和6中称为WB00ST)。线432代表在第二稳定性辅助设置(例如,设置 $\langle 0,1 \rangle$)被采用时应用的第二水平的升压的升压电压(WB00ST)。线433代表

在第三稳定性辅助设置(例如,设置 $\langle 1, 0 \rangle$)被采用时应用的第三水平的升压的升压电压(WB00ST)。线434代表在第四稳定性辅助设置(例如,设置 $\langle 1, 1 \rangle$)被采用时应用的第四水平的升压的升压电压(WB00ST)。如图4B所示,应用于选定位线的升压的水平基于应用于选定字线的稳定性辅助设置而改变。以此方式,通过提供不同水平的升压,在字线电压与位线电压之间的差值能够被配置为对于每个稳定性辅助设置都保持为基本上恒定的。

[0030] 例如,包含稳定性辅助电路的字线驱动器405可以被构造并被排列,使得用于第二稳定性辅助设置(例如,与线422对应的设置 $\langle 0, 1 \rangle$)的字线电压比用于第一稳定性辅助设置(例如,与线421对应的设置 $\langle 0, 0 \rangle$)的字线电压低大约48mV。在实施例中,包含写辅助升压电路的写驱动器410被构造并被排列,使得第二水平的升压(例如,线432)的升压电压比用于第一水平的稳定性辅助(例如,线431)的升压电压低大约48mV。以此方式,在线421和线431之间的增量(差值)(例如, $\Delta 1$)与在线422与线432之间的增量(例如, $\Delta 2$)基本上相同。按照类似的方式, $\Delta 3$ 和 $\Delta 4$ 可以与 $\Delta 1$ 基本上相同。本发明的方面并不限于48mV,并且任何合适的值都可以采用。而且,本发明并不限于四个分立水平的字线电压(例如,线421-424)以及四个分立水平的升压电压(例如,线431-434),而是可以采用任何期望数量的水平。而且,本发明并不限于所有增量都是基本上相同的,而是可以配置不同的增量。

[0031] 基于应用于字线电压的稳定性辅助设置动态地改变升压电压(WB00ST),如同参照图4A和4B所描述的,可在不影响半选定单元的稳定性的情况下提高选定单元的可写性。模拟结果表明,当稳定性辅助被使用时,如同本文所描述的那样动态地改变升压电压可将可写性提高 0.7σ 至 1.0σ ,这意味着产量的巨大提升。

[0032] 图5示出了根据本发明的方面的升压电路500的第一实施例。电路500可以包含于例如如图4A的写驱动器410内。在实施例中,电路500包含用于在写操作期间于第一稳定性辅助设置(例如, $\langle 0, 0 \rangle$ 设置)下对选定单元的位线施加某一水平的升压的第一电容器505。电容器连接于具有WB00ST电压的线路515与具有BO0STN电压的线路520之间。线路515通过开关连接至在阵列的特定列内的单元的位线(例如,按照与图6所示的方式类似的方式),并且WB00ST是用于将位线之一的电位驱动为比VSS低的升压电压。

[0033] 仍然参照图5,在对所访问列内的单元的写操作期间,WSELP信号初始地会促使晶体管525变为导通,这会将WB00ST保持于(预充电至)VSS。在WB00ST被保持于VSS的同时,WSELP信号会导致晶体管530变为导通,这会将BO0STN充电至VCS。要对选定单元的位线施加升压(即,驱动在VSS以下的位线的电压),WSELP信号被切换至用于使晶体管525截止的不同的逻辑状态(例如,从低到高),这会导致WB00ST变为浮置的。切换WSELP信号同样会使晶体管530变为截止的,并且使晶体管535变为导通的,这会将BO0STN从VCS拉至VSS。BO0STN从VCS变为VSS的行为会导致电容器505将WB00ST驱动到VSS以下,这会将第一水平的升压应用于位线之一。

[0034] 继续参照图5,电路500包含用于在写操作期间于第二稳定性辅助设置(例如, $\langle 0, 1 \rangle$ 设置)下对选定单元的位线施加附加水平的升压的第二电容器550。在实施例中,传输门555与第二电容器550串联连接于WB00ST和BO0STN线之间。传输门555使用信号SA来开启/关闭,该信号SA在没有应用稳定性辅助时被设定为第一逻辑状态(例如,低),并且在应用稳定性辅助时被设定为第二逻辑状态(例如,高)。以此方式,传输门555在不应用稳定性辅助时关闭,这会导致第二电容器550对WB00ST没有影响。相反地,当对字线应用稳定性辅助时,传

输门555开启,这会在BOOSTN从VCS变为VSS时导致第二电容器驱使WBOOST变低。正因如此,当对字线应用稳定性辅助时,第一电容器505和第二电容器550两者在BOOSTN从VCS变为VSS时驱使WBOOST变低,这与只有第一电容器505正驱使WBOOST变低的情形相比会驱使WBOOST进一步低于VSS。

[0035] 如同关于图5这样描述的,当零稳定性辅助被应用于字线(例如,第一稳定性辅助设置)时,只有第一电容器505驱使WBOOST变低。这对应于图4B的线421和431。另一方面,当对字线应用稳定性辅助(例如,第二稳定性辅助设置)时,第一电容器505和第二电容器550两者驱使WBOOST变低至更低的水平。这对应于图4B的线422和432。以此方式,升压水平基于与字线关联的稳定性辅助设置而动态改变。

[0036] 仍然参照图5,WSELP是由写驱动器410提供的控制信号。具有WBOOST电压的线路515可以按照例如与图6所示的方式类似的方式连接至通过写驱动器开关与单元位线耦接的各自的写驱动器数据线。SA是由稳定性辅助控制器415提供的控制信号。补码信号SAN使用反相器560根据SA信号来创建。图5的节点A和B可以按照与图6的节点A'和B'的连接方式类似的方式分别连接。

[0037] 图6示出了根据本发明的方面的升压电路600的第二实施例。升压电路600可以包含于例如图4A的写驱动器410内。在实施例中,升压电路600被构造并被排列使得:在第一稳定性辅助设置被应用于字线时,一个电容器提供第一水平的升压;在第二稳定性辅助设置被应用于字线时,两个电容器提供第二水平的升压;在第三稳定性辅助设置被应用于字线时,三个电容器提供第三水平的升压;并且在第四稳定性辅助设置被应用于字线时,四个电容器提供第四水平的升压。

[0038] 升压电路600被配置为按照例如与关于图5所描述的方式类似的方式在BOOSTN电压从VCS变为VSS时将WBOOST电压驱动到VSS以下。在实施例中,升压电路600包含并联连接于具有WBOOST电压的线路515'与具有BOOSTN电压的线路520'之间的四个电容器611、612、613、614。每个电容器612、613、614与各自的传输门622、623、624串联连接。在实施例中,升压电路基于应用于字线的稳定性辅助设置而选择性地控制与第二电容器、第三电容器及第四电容器关联的相应传输门。特别地,升压电路将信号SA1、SA12和SA123应用于各自的传输门622、623、624以选择性地开启/关闭传输门622、623、624中的某些传输门,从而选择性地促使电容器612、613、614中的某些电容器驱动WBOOST电压。例如,在第一状态中,稳定性辅助控制器415给字线驱动器电路410提供信号,以将<0,0>稳定性辅助设置应用于图4B的线421所代表的字线电压。在第一状态中,稳定性辅助控制器415提供处于可关闭传输门622、623、624的电平的信号SA1、SA12和SA123。在这种状态下,当BOOSTN在写操作期间从VCS过渡到VSS时,只有第一电容器611给WBOOST电压提供第一水平的升压,这对应于图4B的线431所代表的升压电压。

[0039] 在第二状态中,稳定性辅助控制器415给字线驱动器电路410提供信号,以将<0,1>稳定性辅助设置应用于图4B的线422所代表的字线电压。在第二状态中,稳定性辅助控制器415提供处于可开启传输门612的电平的信号SA1以及处于可关闭传输门623和624的电平的信号SA12和SA123。在这种状态下,当BOOSTN在写操作期间从VCS过渡到VSS时,电容器611和612给WBOOST电压提供第二水平的升压,这对应于图4B的线432所代表的升压电压。

[0040] 在第三状态中,稳定性辅助控制器415给字线驱动器电路410提供信号,以将<1,0>

稳定性辅助设置应用于图4B的线423所代表的字线电压。在第三状态中,稳定性辅助控制器415提供处于可开启传输门622和623的电平的信号SA1和SA12以及处于可关闭传输门624的电平的信号SA123。在这种状态下,当BOOSTN在写操作期间从VCS过渡到VSS时,电容器611、612和613给WBOOST电压提供第三水平的升压,这对应于图4B的线433所代表的升压电压。

[0041] 在第四状态中,稳定性辅助控制器415给字线驱动器电路410提供信号,以将<1,1>稳定性辅助设置应用于图4B的线424所代表的字线电压。在第四状态中,稳定性辅助控制器415提供处于可开启传输门622、623、624的电平的信号SA1、SA12和SA123。在这种状态下,当BOOSTN在写操作期间从VCS过渡到VSS时,电容器611、612、613和614给WBOOST电压提供第四水平的升压,这对应于图4B的线434所代表的升压电压。

[0042] 仍然参照图6,WSEL、WSELP、WGDLT和WGDLG是由写驱动器410提供的控制信号。具有WBOOST电压的线路515'与各自的写驱动器数据线DLTW和DLCW连接,这些数据线DLTW和DLCW通过写驱动器开关耦接至单元位线。SA1、SA12和SA123是由稳定性辅助控制器415提供的控制信号。补码信号SA1N、SA12N和SA123N按照关于图5中的SA和SAN所示的类似的方式使用各自的反相器来创建。节点A'相互连接,并且节点B'相互连接,尽管这些连接在图6中未示出。

[0043] 关于图6所描述的升压电路600提供了额外的升压电容,以便产生更高的升压。升压电路600被配置为基于稳定性辅助设置来开启和关闭该额外升压电容。与稳定性辅助设置对应的控制信号被用来选择性地开启/关闭该额外升压电容。

[0044] 本发明的结构(例如,电路)能够以半导体结构实现,这些半导体结构能够使用许多不同的工具按照众多方式来制造。而一般地,这些方法和工具被用来形成具有微米和纳米级的尺寸的半导体实体。用来制造半导体实体的方法(即,技术)已经采用自集成电路(IC)技术。例如,半导体实体被建立于晶圆上,并且被实现于由在晶圆顶面上的光刻过程图形化的材料膜上。特别地,半导体实体的制造使用三个基本的创建块:(i)材料薄膜在基板上的沉积,(ii)通过光刻成像在薄膜的顶面上施加图形化的掩模,以及(iii)相对于该掩模选择性地蚀刻该薄膜。

[0045] 以上所述的方法被用于制造集成电路芯片。所产生的集成电路芯片能够由制造商以作为裸管芯的未加工晶圆的形式(也就是,作为具有多个未封装的芯片的单个晶圆)或者以封装的形式来分销。在后一种情形中,芯片被安装于单芯片封装(例如塑料载体,具有附接于母板或其他更高层级的载体的引线)内或者被安装于多芯片封装(例如,具有表面互连和埋入式互连之一或两者的陶瓷载体)内。在任何情况下,芯片然后与其他芯片、分立电路元件和/或其他信号处理器件集成在一起,作为(a)中间产品(例如,母板)或(b)最终产品的一部分。最终产品可以是包含集成电路芯片的任何产品,从玩具和其他低端应用到具有显示器、键盘或其他输入器件和中央处理器的高级计算机产品。

[0046] 关于本发明的各种实施例的描述已经为了说明的目的而给出,但是并非意指是穷尽性的或者限定于所公开的实施例。本领域技术人员会清楚不脱离所描述的实施例的范围和精神的许多修改和变化。本文所使用的术语被选择用于最佳地解释这些实施例的原理、实际应用或者相对于市场上所能找到的技术的技术改进,或者用于使得本领域技术人员能够理解本文所公开的实施例。

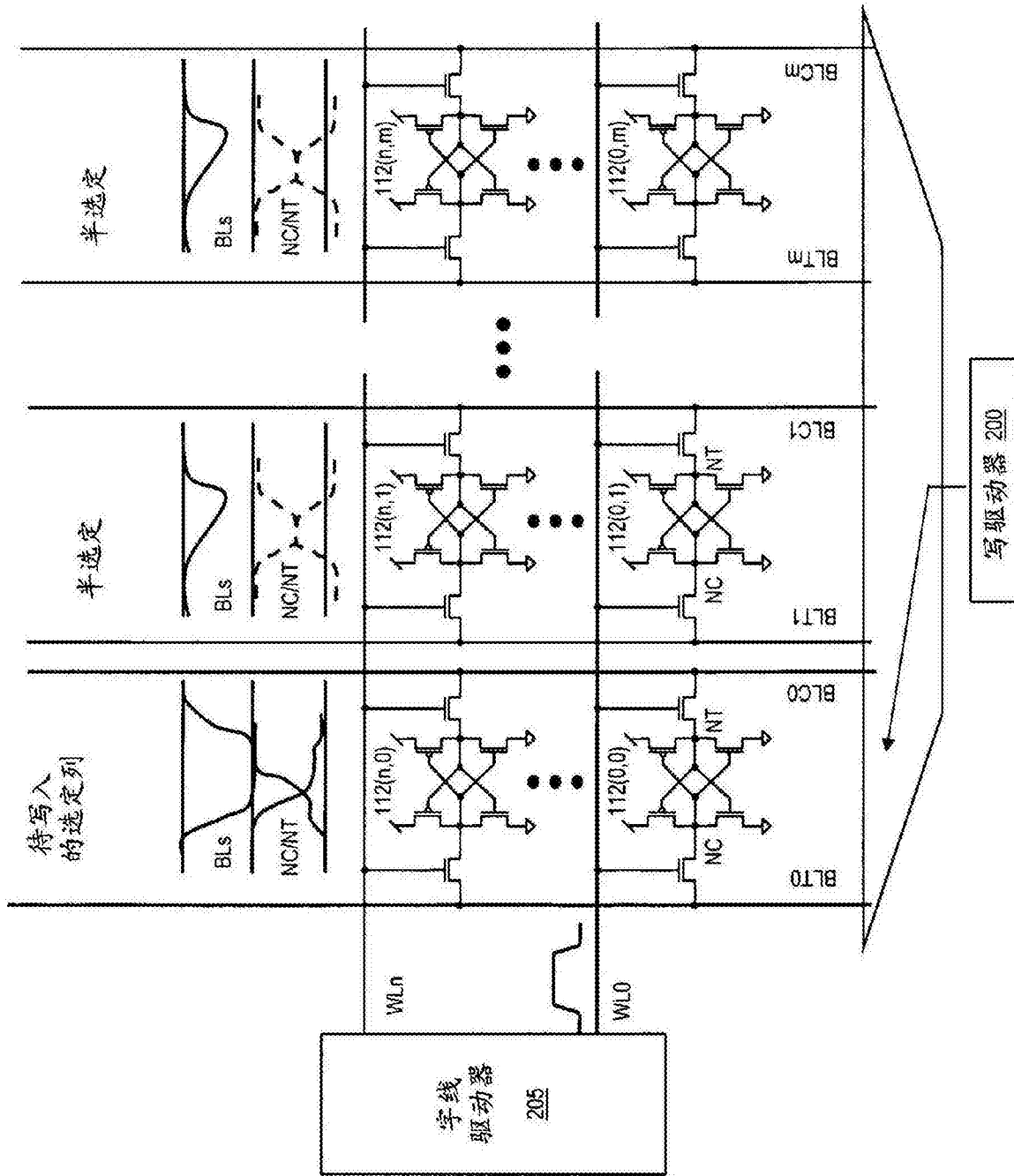


图2

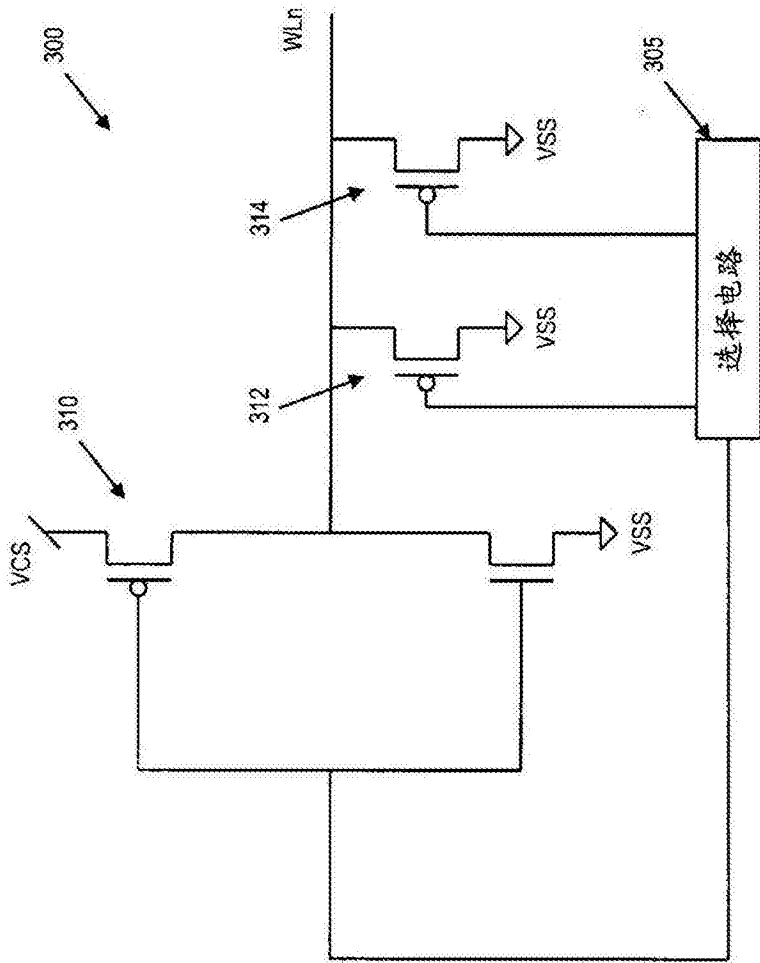


图 3A

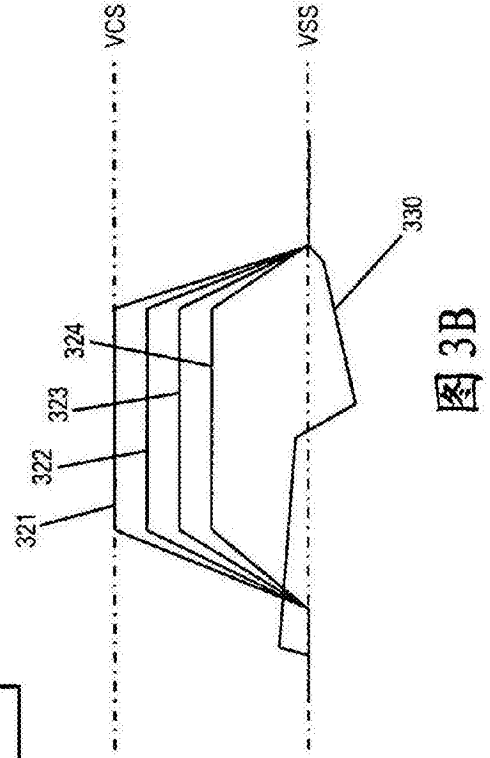


图 3B

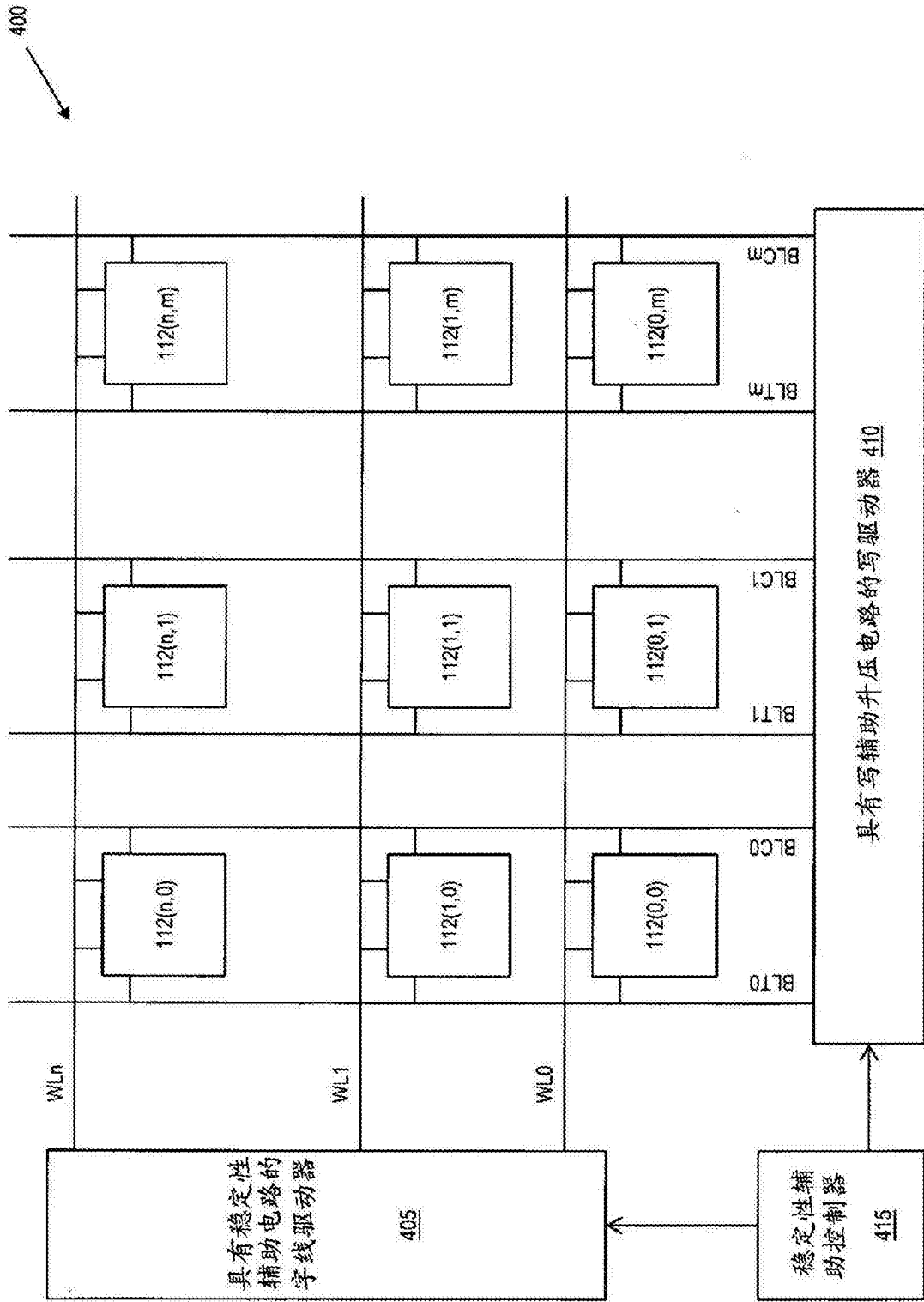


图4A

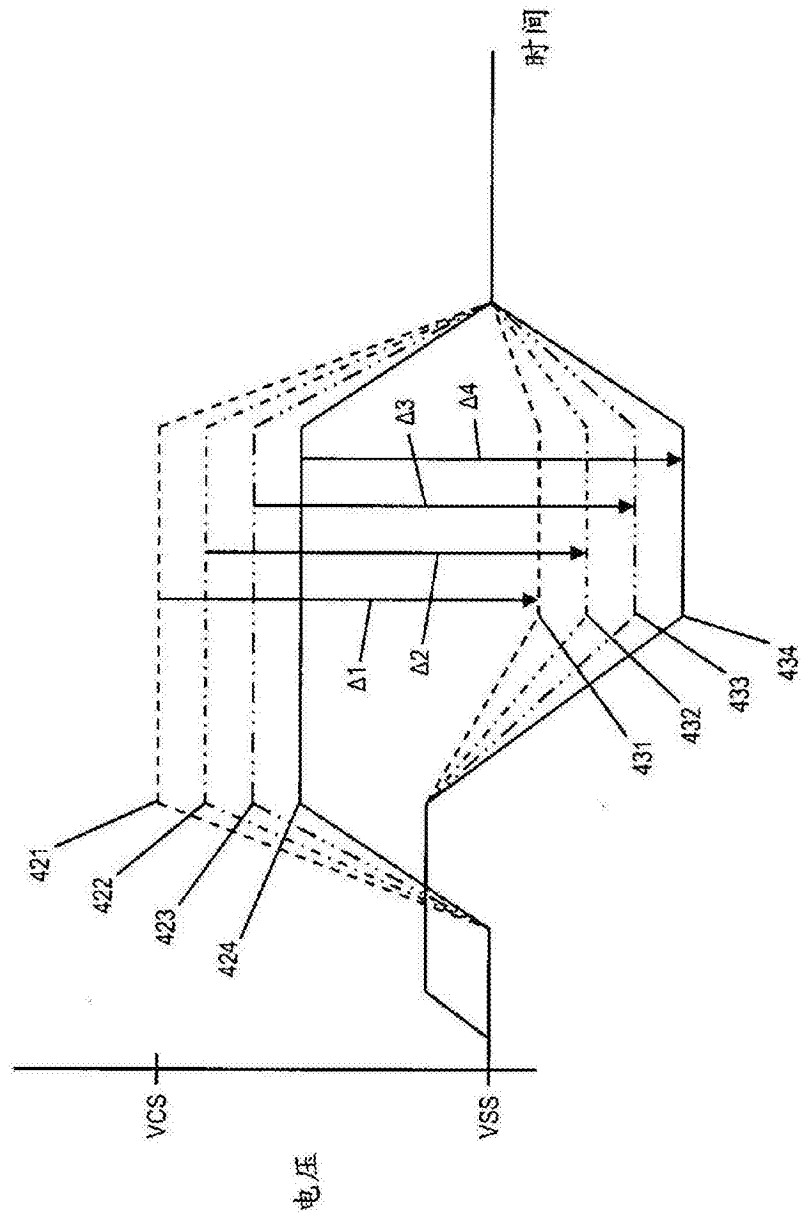


图4B

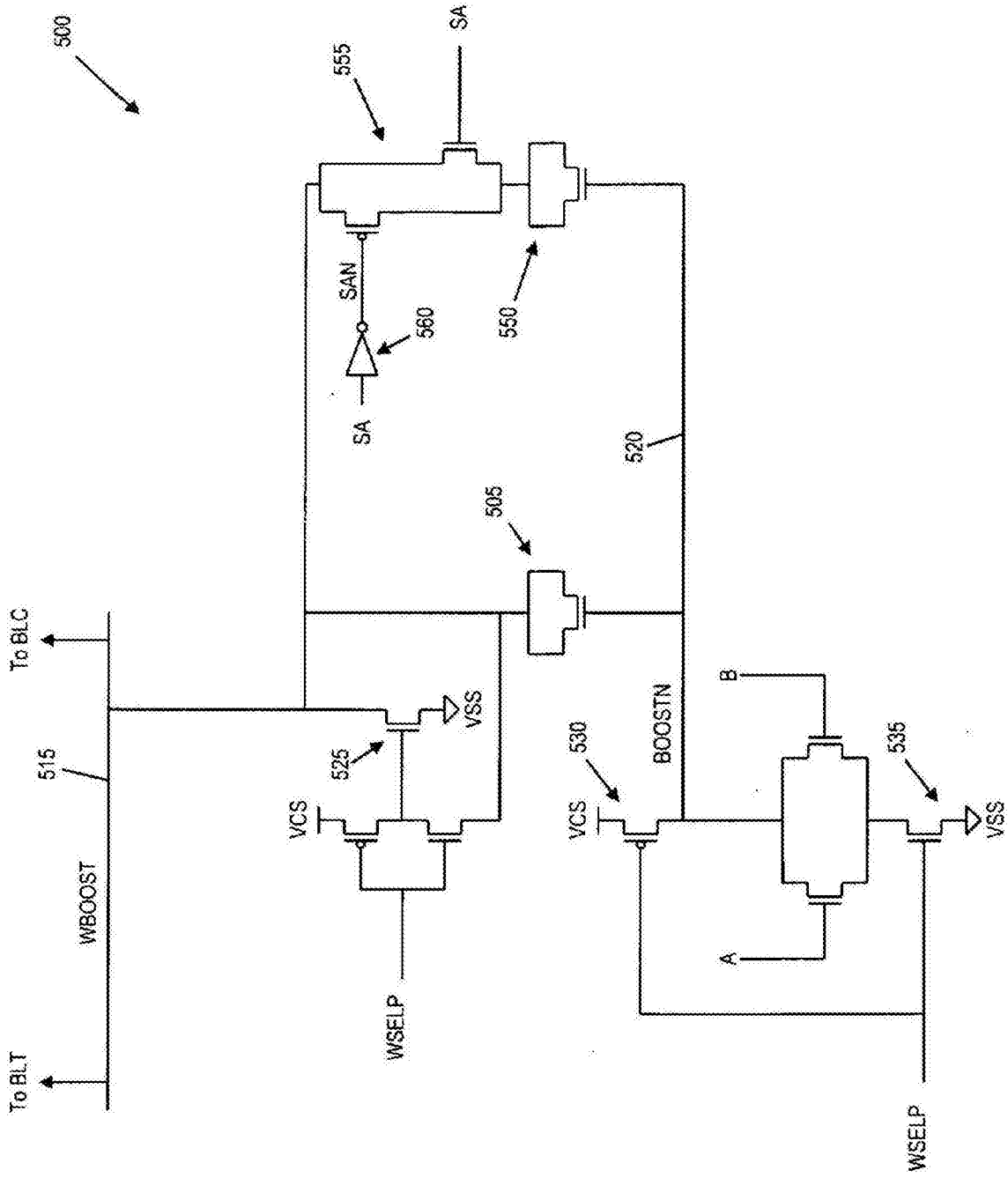


图5

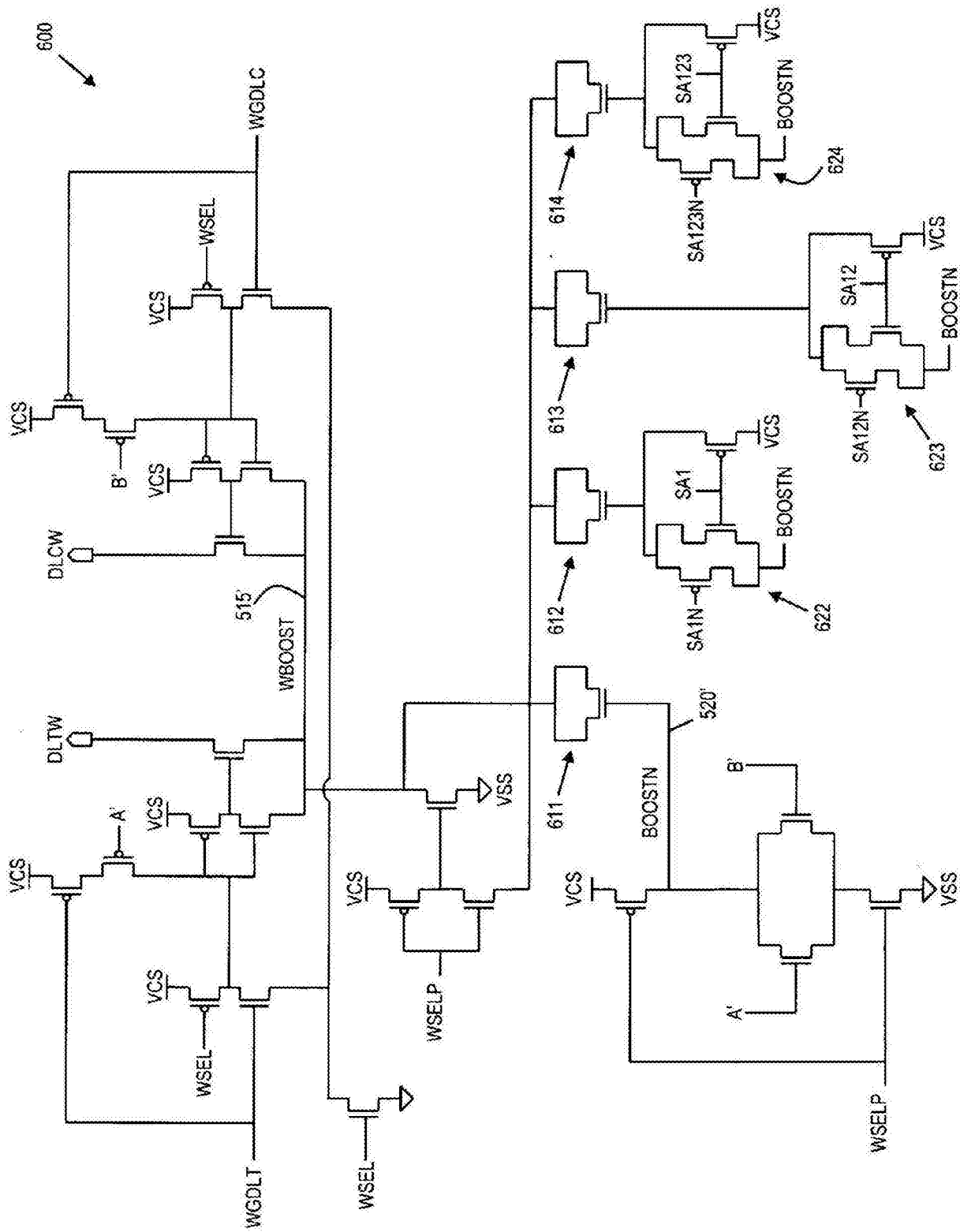


图6