



(12)发明专利

(10)授权公告号 CN 109496336 B

(45)授权公告日 2020.04.28

(21)申请号 201880002306.7

(22)申请日 2018.10.26

(65)同一申请的已公布的文献号  
申请公布号 CN 109496336 A

(43)申请公布日 2019.03.19

(85)PCT国际申请进入国家阶段日  
2018.12.04

(86)PCT国际申请的申请数据  
PCT/CN2018/112149 2018.10.26

(73)专利权人 长江存储科技有限责任公司  
地址 430074 湖北省武汉市东湖开发区关  
东科技工业园华光大道18号7018室

(72)发明人 徐启康 付祥 霍宗亮

(74)专利代理机构 北京永新同创知识产权代理  
有限公司 11376

代理人 钟胜光

(51)Int.Cl.  
G11C 16/08(2006.01)

审查员 陈敏

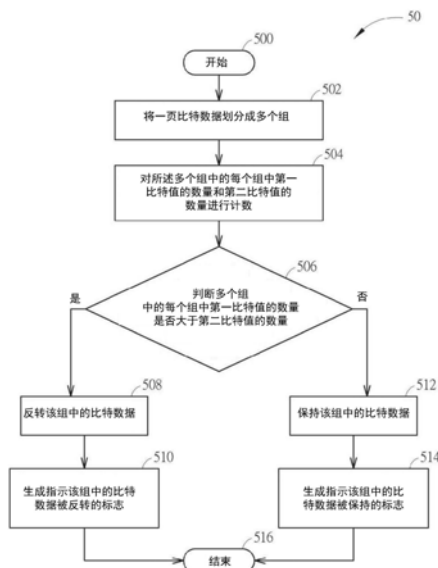
权利要求书2页 说明书5页 附图7页

(54)发明名称

用于存储器的数据处理方法和相关数据处理  
器

(57)摘要

一种数据处理方法包括以下步骤:将一页比  
特数据划分成多个组;对多个组中的每个组中第  
一比特值的数量和第二比特值的数量进行计数;  
比较所述第一比特值的数量和所述第二比特值  
的数量;基于比较所述第一比特值的数量和所述  
第二比特值的数量的结果,对所述多个组中的每  
组进行再成形流程;以及在所述再成形流程之  
后,在存储器中存储所述一页比特数据。



1. 一种数据处理方法,包括:
  - 将一页比特数据划分成多个组;
  - 对所述多个组中的每个组中第一比特值的数量和第二比特值的数量进行计数;
  - 比较所述第一比特值的数量和所述第二比特值的数量;
  - 基于比较所述第一比特值的数量和所述第二比特值的数量的结果,对所述多个组中的每个组执行再成形流程;以及
  - 在所述再成形流程之后,按照比特编码方案来在存储器中存储所述一页比特数据;
  - 其中,所述比特编码方案包括所述第一比特值和所述第二比特值的组合到所述存储器的存储单元的多个状态的映射,以及其中,所述第一比特值和所述第二比特值的所述组合被编码成允许所述第二比特值比所述第一比特值更集中于所述多个状态中的中间状态。
2. 根据权利要求1所述的数据处理方法,其中,所述再成形流程包括以下操作中的至少一项:
  - 在所述多个组中的第一组中所述第一比特值的数量大于所述第二比特值的数量时,反转所述第一组中的所述比特数据;以及
  - 在所述多个组中的第二组中所述第一比特值的数量小于所述第二比特值的数量时,保持所述第二组中的所述比特数据。
3. 根据权利要求1所述的数据处理方法,还包括:
  - 生成指示在所述再成形流程中所述多个组中的一组中的所述比特数据被反转还是保持的标志。
4. 根据权利要求3所述的数据处理方法,还包括:
  - 在所述存储器中存储所述标志。
5. 根据权利要求1所述的数据处理方法,其中,所述再成形流程修改所述存储单元的所述多个状态中的至少一种状态的发生概率。
6. 根据权利要求1所述的数据处理方法,其中,所述存储器是四电平单元NAND闪存存储器。
7. 根据权利要求6所述的数据处理方法,其中,所述四电平单元NAND闪存存储器的每个单元都被配置成存储分别属于4个比特数据页的4比特数据。
8. 一种用于处理比特数据的数据处理器,所述数据处理器包括:
  - 接收器,所述接收器用于接收一页比特数据;以及
  - 处理单元,所述处理单元用于执行以下单元:
    - 划分单元,所述划分单元用于将所述一页比特数据划分成多个组;
    - 计数单元,所述计数单元用于对所述多个组中的每个组中第一比特值的数量和第二比特值的数量进行计数;
    - 比较单元,所述比较单元用于比较所述第一比特值的数量和所述第二比特值的数量;
    - 执行单元,所述执行单元用于基于所述比较单元的结果,对所述多个组中的每个组执行再成形流程;以及
    - 存储单元,所述存储单元用于在所述再成形流程之后,按照比特编码方案来在存储器中存储所述一页比特数据;
    - 其中,所述比特编码方案包括所述第一比特值和所述第二比特值的组合到所述存储器

的存储单元的多个状态的映射,以及其中,所述第一比特值和所述第二比特值的所述组合被编码成允许所述第二比特值比所述第一比特值更集中于所述多个状态中的中间状态。

9. 根据权利要求8所述的数据处理器,其中,所述执行单元还包括以下单元:

反转单元,所述反转单元用于在所述多个组中的第一组中的所述第一比特值的数量大于所述第二比特值的数量时,反转所述第一组中的所述比特数据;以及

保持单元,所述保持单元用于在所述多个组中的第二组中的所述第一比特值的数量小于所述第二比特值的数量时,保持所述第二组中的所述比特数据。

10. 根据权利要求8所述的数据处理器,其中,所述处理单元还执行以下单元:

生成单元,所述生成单元用于生成指示在所述再成形流程中所述多个组中的一组中的所述比特数据被反转还是保持的标志。

11. 根据权利要求10所述的数据处理器,其中,所述存储单元还在所述存储器中存储所述标志。

12. 根据权利要求8所述的数据处理器,其中,所述再成形流程修改所述存储单元的所述多个状态中的至少一种状态的发生概率。

13. 根据权利要求8所述的数据处理器,其中,所述存储器是四电平单元NAND闪存存储器。

14. 根据权利要求13所述的数据处理器,其中,所述四电平单元NAND闪存存储器的每个单元都被配置成存储分别属于4个比特数据页的4比特数据。

## 用于存储器的数据处理方法和相关数据处理器

### 技术领域

[0001] 本发明涉及用于存储器的数据处理方法,更具体而言,涉及用于四电平单元(QLC) NAND闪存存储器的数据处理方法。

### 背景技术

[0002] 非易失性存储器是一种计算机存储器,其可以存储数据,并且在切断计算机系统的电力之后数据可以不丢失。在那些非易失性存储器系统中,NAND闪存存储器的优点是低功率和高速度,近年来随着便携式装置的广泛使用而变得普及。

[0003] NAND闪存存储器在个体存储单元中存储数据。传统上,每个存储单元具有两种可能状态,因此每个单元中存储一比特的数据,这构成了所谓的单电平单元(SLC)闪存存储器。SLC存储器的优点是更高的写入速度、更低的功耗和更高的单元耐受能力。由于SLC闪存存储器每个单元仅存储一比特的数据,所以制造单位存储空间成本更高。为了降低成本,NAND闪存供应商一直在致力于提高存储密度,因此生成了多比特单元(MBC)闪存存储器,例如多电平单元(MLC)闪存存储器。“MBC”是指能够存储超过一个单比特数据的存储元件。MBC闪存是一种使用每单元多电平的闪存存储器技术,以允许使用相同数量晶体管存储更多比特。

[0004] 在SLC闪存技术中,每个单元能够存在于两种状态之一中,每个单元存储一比特的数据。相比之下,MLC闪存存储器具有每个单元四种可能状态,因此能够每个单元存储两比特的数据。由于MLC闪存存储器有更高数据密度,所以能够具有每比特存储的数据成本更低的优势。不过,MLC闪存技术减小了分隔状态的裕量大小,这导致出错的可能性增大。当前,开发了三电平单元(TLC)和四电平单元(QLC)闪存存储器,其中每个单元被配置成分别存储3比特和4比特的数据。例如,在QLC NAND闪存存储器中,一个单元可以存储4比特数据;因此,单元可以处于16种不同状态之一中,由E(也称为D0)、D1、D2……D15表示。

[0005] 在电荷捕获型NAND闪存存储器中,一个沟道孔中的所有存储单元共享相同的电荷捕获层(CTL)。请参考图1,图1是电荷捕获型NAND闪存存储器的截面示意图,其中示出了阻隔氧化物、CTL、隧道氧化物和多晶硅沟道。在CTL中,可以通过基于数据通过从单元栅极端子接收的电压对存储单元编程从而插入电子,以确定存储单元的状态。在一个沟道孔中的两个相邻单元存储不同状态时,CTL中的电子和空穴漂移到相邻单元中,尤其是在相同沟道孔中两个相邻单元中存储有状态组合(E,D15)或(D15,E)时,如图2所示。详细而言,D15状态中的电子可以横向散布到E状态单元,E状态单元中的空穴可以横向散布到D15状态单元。在这样的状态布置中,可能会降低所存储数据的精确度,数据保持问题可能变严重。

[0006] 在现有技术中,NAND闪存系统不处理这一问题。NAND闪存系统仅仅对输入数据进行随机化,然后存储随机化的数据,其中随机化流程不能改变(E,D15)或(D15,E)状态布置的发生概率,从而不能改善数据保持问题。于是,现有技术中还有改进的需求。

## 发明内容

[0007] 因此,本发明的目的是提供一种数据处理方法,其能够降低一个沟道孔中两个相邻单元的状态组合(E,D15)或(D15,E)的发生概率,以便减轻数据保持问题。

[0008] 本发明实施例公开了一种数据处理方法。该数据处理方法包括:将一页比特数据划分成多个组;对多个组中的每个组中第一比特值的数量和第二比特值的数量进行计数;比较所述第一比特值的数量和所述第二比特值的数量;基于比较所述第一比特值的数量和所述第二比特值的数量的结果,对所述多个组中的每个组执行再成形流程;以及在所述再成形流程之后,在存储器中存储所述一页比特数据。

[0009] 本发明的另一实施例公开了一种用于处理位数据的数据处理器。该数据处理器包括接收器和处理单元。接收器被配置用于接收一页比特数据。该处理单元被配置为执行以下单元:用于将一页比特数据划分成多个组的划分单元;用于对多个组中的每个组中第一比特值的数量和第二比特值的数量进行计数的计数单元;用于比较所述第一比特值的数量和所述第二比特值的数量的比较单元;用于基于比较单元的结果,对所述多个组中的每个组进行再成形流程的执行单元;以及用于在所述再成形流程之后,在存储器中存储所述一页比特数据的存储单元。

[0010] 在阅读各附图中所示的优选实施例的以下详细描述之后,本领域的普通技术人员毫无疑问将明了本发明的这些和其他目的。

## 附图说明

[0011] 图1是电荷捕获型NAND闪存存储器的截面示意图。

[0012] 图2是QLC型NAND闪存中具有最坏性能的状态组合的示意图。

[0013] 图3是根据本发明实施例的数据处理系统的示意图。

[0014] 图4A是一般情况下属于QLC型NAND闪存存储器一条字线的存储单元中每种状态的比例示意图。

[0015] 图4B是在数据处理器处理之后,属于QLC型NAND闪存存储器的一条字线的存储单元中每种状态的比例的示意图。

[0016] 图5是根据本发明实施例的数据处理过程的示意图。

[0017] 图6是将一页数据划分成多个组的实施方式以及在NAND闪存存储器的一页中的数据存储布置的示意图。

## 具体实施方式

[0018] 请参考图3,图3是根据本发明实施例的数据处理系统30的示意图。如图3所示,数据处理系统30包括数据处理器310和存储器320。数据处理器310被配置成接收用户数据并向存储器320输出数据,以在存储器320中存储该数据。在实施例中,存储器320可以是NAND闪存存储器,数据处理器310可以是闪存控制器或任何其他相关的处理装置。数据处理器310包括接收器312、若干缓冲器314和处理单元316。由接收器312接收待存储的数据,然后存储在缓冲器314中。根据处理单元316的配置,每个缓冲器可以存储一页数据或从一页分出一组数据。处理单元316可以是集成电路中包括的控制逻辑或处理逻辑,用于在将数据发送到存储器320之前处理数据。

[0019] 如上所述,在一个沟道孔中的两个相邻存储单元存储不同状态时,电荷捕获层(CTL)中的电子和空穴可能漂移到相邻单元中,尤其是两个相邻单元中存储有状态组合(E, D15)或(D15, E)时。这样导致数据保持问题。本发明通过一种数据处理技术解决了这个问题,该技术减小了状态“E”和“D15”的发生概率,这又减小了出现状态组合(E, D15)或(D15, E)并被存储于两个相邻单元中的概率。

[0020] 请参考图4A和4B,它们是属于一条字线的存储单元的状态分布的示意图。图4A示出了在数据处理器310处理之前,属于QLC型NAND闪存存储器一条字线的存储单元中的状态分布,而图4B示出了在数据处理器310处理之后,属于QLC型NAND闪存存储器的一条字线的存储单元中的状态分布。通常,接收的数据可以通过随机器,这使得数据比特“1”和“0”的发生概率基本相等。在这种状况下,在存储器320的单元中,从“E”到“D15”每种状态的发生概率可以彼此相似或相等,如图4A中所示。于是,状态“E”或“D15”的发生概率基本等于1/16。本发明的数据处理器310将处理输入的数据并将状态分布再成形为类似于图4B所示。在这种状况下,两侧状态的发生概率变得更低,中间状态的发生概率变得更高。这样减小了状态“E”和“D15”的发生概率,由此减小了状态组合(E, D15)或(D15, E)出现于一个沟道孔中两个相邻单元中的概率。

[0021] 更具体而言,可以使用特定比特编码方案并改变待存储数据中的比特值“1”和“0”的概率,实现图4B中所示的状态分布。在实施例中,该比特编码方案可以通过使比特值“0”比比特值“1”更集中于状态分布的中间状态而对对应于状态分布的比特值进行编码。表1中示出了该编码方案的示范性实施方式,如下所示:

[0022]

代码	E	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15
第4页	1	1	0	0	0	0	0	0	1	1	1	0	0	1	1	1
第3页	1	1	1	1	1	0	0	1	1	0	0	0	0	0	0	1
第2页	1	0	0	1	1	1	0	0	0	0	0	0	1	1	1	1
第1页	1	1	1	1	0	0	0	0	0	0	1	1	1	1	0	0

[0023] 表1

[0024] 如表1中所示,比特值“0”更集中于中间状态(接近“D6”),而比特值“1”更集中于两侧状态(接近“E”和“D15”)。在本实施例中,存储器320为QLC NAND闪存存储器,从而存储器320中的每个存储单元都被配置成存储4比特的数据,这4比特的数据属于4个比特数据页,例如,表1中所示的第1页到第4页。对于每个存储单元,将页1-4的对应比特中的4个比特值“1”和/或“0”的组合映射到从“E”到“D15”的状态之一。例如,如果存储单元中存储的比特值为分别对应于第1、2、3和4页的“1”、“1”、“1”和“1”,则这个存储单元的状态可以是“E”。如果存储单元中存储的比特值为分别对应于第1、2、3和4页的“1”、“0”、“1”和“1”,则这个存储单元的状态可以是“D1”。

[0025] 根据表1所示的编码方案,比特值“0”更集中于中间状态,比特值“1”更集中于两侧状态。为了减小两侧状态的发生概率并增大中间状态的发生概率,存储器320中存储的数据应当尽可能多地包括“0”,即,尽可能少地包括“1”。不过,在大多数情况下,从用户或从其他装置接收的比特数据可以不由数据处理器310确定,从而不能预先确定所接收的“1”和“0”的数量。为了尽可能多地存储“0”,数据处理器310可以将接收的数据划分成小组,在每个组中对“1”和“0”进行计数,并且如果组中“1”的数量大于“0”的数量,则反转组中的比特数据,以便在要存储于存储器320中的数据中生成更多的“0”。

[0026] 详细而言,请参考图5,图5是根据本发明实施例的数据处理过程50的示意图。如图

5所示,可以在用于存储器的数据处理器中实施数据处理过程50,例如图3中所示的数据处理器310,处理过程50包括以下步骤:

[0027] 步骤500:开始。

[0028] 步骤502:将一页比特数据划分成多个组。

[0029] 步骤504:对多个组中的每个组中第一比特值的数量和第二比特值的数量进行计数。

[0030] 步骤506:判断多个组中的每个组中第一比特值的数量是否大于第二比特值的数量。如果是,前进到步骤508;否则,前进到步骤512。

[0031] 步骤508:反转该组中的比特数据。

[0032] 步骤510:生成指示该组中的比特数据被反转的标志。

[0033] 步骤512:保持该组中的比特数据。

[0034] 步骤514:生成指示该组中的比特数据被保持的标志。

[0035] 步骤516:结束。

[0036] 根据数据处理过程50连同图3中所示的数据处理器310的结构,接收器312可以接收一页比特数据并在缓冲器314中存储数据。之后,处理单元316将该页比特数据划分成多个组,并对每个组中的第一比特值的数量和第二比特值的数量进行计数。处理单元316然后判断第一比特值的数量是否大于第二比特值的数量,并基于判断结果反转比特数据或保持比特数据,以便再成形或修改存储单元中状态分布中状态的发生概率;更特别地,以增大中间状态的发生概率并减小两侧状态的发生概率。在再成形流程中,处理单元316反转组中的比特数据,即,如果第一比特值的数量大于第二比特值的数量,则交换该组的每个比特中的第一比特值和第二比特值。相反地,如果第一比特值的数量少于第二比特值的数量,则处理单元316保持该组中的比特数据。在实施例中,第一比特值为“1”且第二比特值为“0”;因此,再成形流程允许要存储于存储器320中的每组数据中“0”的数量多于或等于“1”的数量。

[0037] 通常,一页数据可以包括几千字节或几万字节的比特数据,其中一页中的数据量相当大。在数据量更大的情况下,一页中“0”的比率可以更可能地接近50%;因此,反转整页中比特数据的方法可能不能获得增加“0”的数量的优选益处。在这样的情况下,每页数据被划分成多个组,针对每个组单独执行“1”和“0”数量的确定。一组的大小可以是64比特、128比特或任何其他可行值。在每组大小更小的情况下,在每组中“1”的数量和“0”的数量之间可能有显著差异。

[0038] 请注意,对于每组而言,可以生成或分配标志以指出这一组中的比特数据在再成形流程中被反转或保持。在实施例中,可以利用一个比特实现该标志,其中比特值“1”表示该比特数据被反转,“0”表示该比特数据被保持,或者比特值“0”表示该比特数据被反转,“1”表示比特数据被保持。该标志也可以与对应组的数据一起存储在存储器320中。

[0039] 图6示出了将一页的用户数据划分成多个组的实施方式以及在NAND闪存存储器一页中的数据存储布置,其中该页可以具有16k字节的数据,而每组可以具有64或128比特的数据。每组具有标志比特,指示该组中的比特数据被反转或保持。如图6所示,该页的数据和标志都被存储于NAND闪存存储器中的页存储阵列中,其中数据可以存储于数据区域中,标志可以存储于NAND闪存存储器的备用区域的一部分中。在本实施例中,标志消耗不超过2%的存储容量。

[0040] 请注意,本发明旨在提供一种用于减轻闪存存储器中数据保持问题的数据处理方法。本领域的技术人员可以做出相应地修改和变化。例如,以上实施例专用于QLC NAND闪存存储器,因为在现代闪存存储器技术中,QLC NAND闪存存储器中的数据保持问题可能更严重。不过,本领域的技术人员应当理解,本发明的数据处理方法和数据处理器也适用于其他类型的存储器,例如三电平单元(TLC)闪存存储器。此外,表1中所示的编码方法仅仅是本发明各种实施方式之一。如果对比特值编码,使得第一比特值更集中于中间状态,而第二比特值更集中于两侧状态,则另一种编码方案也是可行的。例如,如表2和表3所示,比特值“0”也是比比特值“1”更集中于中间状态,该编码方案可以与本发明的数据处理方法结合,以降低同一沟道孔中两个相邻单元中出现状态组合(E,D15)或(D15,E)的概率。

[0041]

代码	E	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15
第4页	1	0	0	1	1	1	0	0	0	0	1	1	1	0	0	1
第3页	1	1	0	0	0	1	1	0	0	0	0	0	1	1	1	1
第2页	1	1	1	1	0	0	0	0	0	1	1	0	0	0	1	1
第1页	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0

[0042]

表2

[0043]

代码	E	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15
第4页	1	0	0	1	1	1	0	0	0	1	1	0	0	0	1	1
第3页	1	1	0	0	0	1	1	0	0	0	1	1	1	0	0	1
第2页	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1
第1页	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0

[0044]

表3

[0045] 此外,在另一实施例中,编码方案可以使比特值“1”更集中于中间状态,并且使比特值“0”更集中于两侧状态。在这种状况下,如果一组中“0”的数量大于“1”的数量,则可以反转该组中的比特数据,如果一组中“0”的数量小于“1”的数量,则可以保持该组中的比特数据。因此,可以对状态分布再成形以通过增加存储单元中存储的“1”的数量并减少“0”的数量来减小两侧状态的发生概率。

[0046] 总之,本发明提供了一种用于存储器,例如QLC NAND闪存存储器的数据处理方法。在存储器中存储数据之前,由数据处理器处理数据。该数据处理器可以将一页数据划分成多个组,并确定每组中“1”的数量和“0”的数量,以便确定是反转还是保持该组中的比特数据。在实施例中,该编码方案使比特值“0”比比特值“1”更集中于状态分布的中间状态。由此,如果一组中“1”的数量大于“0”的数量,则该数据处理器反转该组中的比特数据,并且如果一组中“1”的数量小于“0”的数量,则保持该组中的比特数据。结果,两侧状态的发生概率变得更低,中间状态的发生概率变得更高,这样减小了两个相邻单元中出现状态组合(E,D15)或(D15,E)的概率。因此,可以减轻存储器的数据保持问题。

[0047] 本领域的技术人员将容易发现,可以对该装置和方法做出多种修改和更改同时保持本发明的教导。因此,应当将以上公开理解为仅受所附权利要求的范围限制。



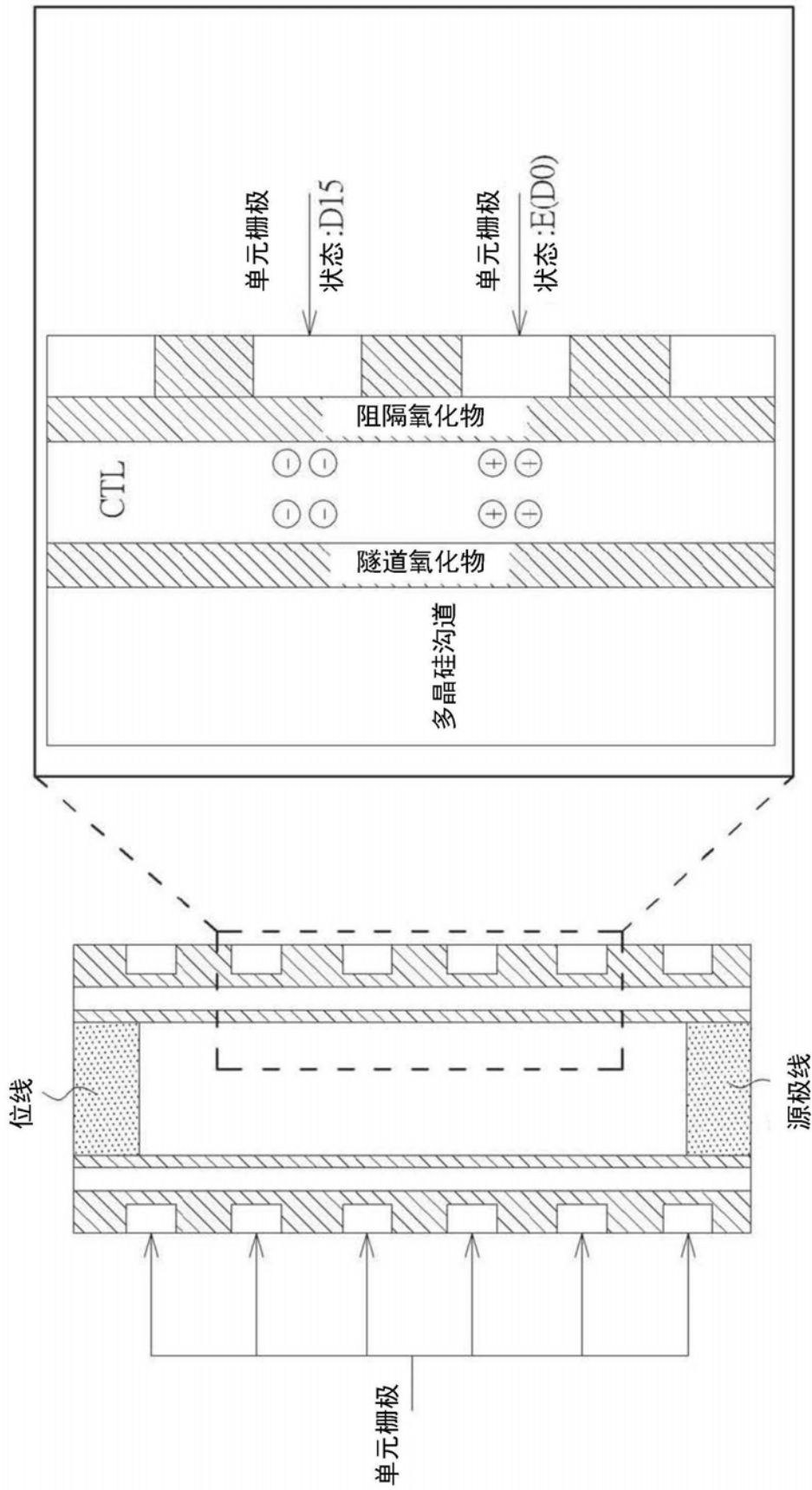


图1现有技术

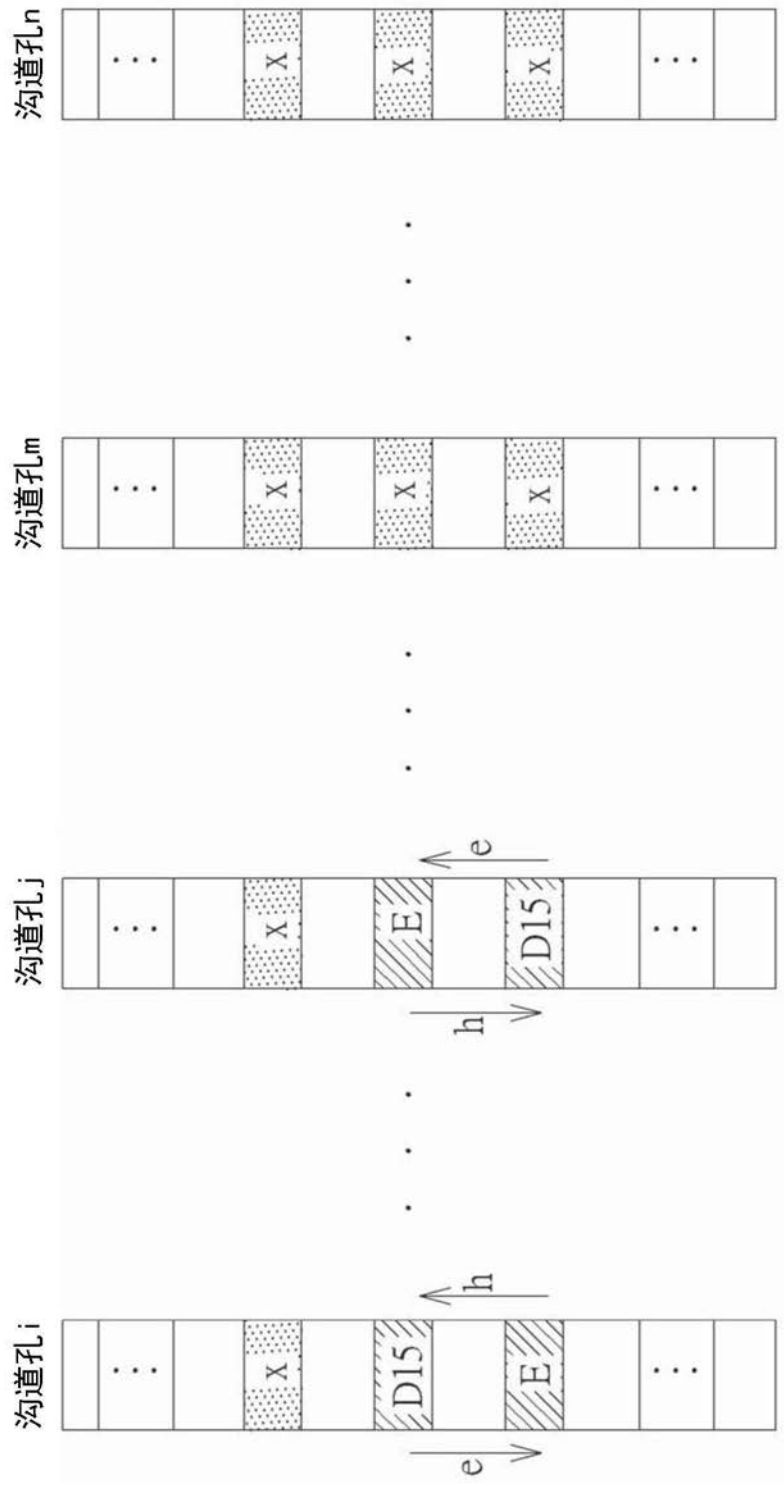


图2现有技术

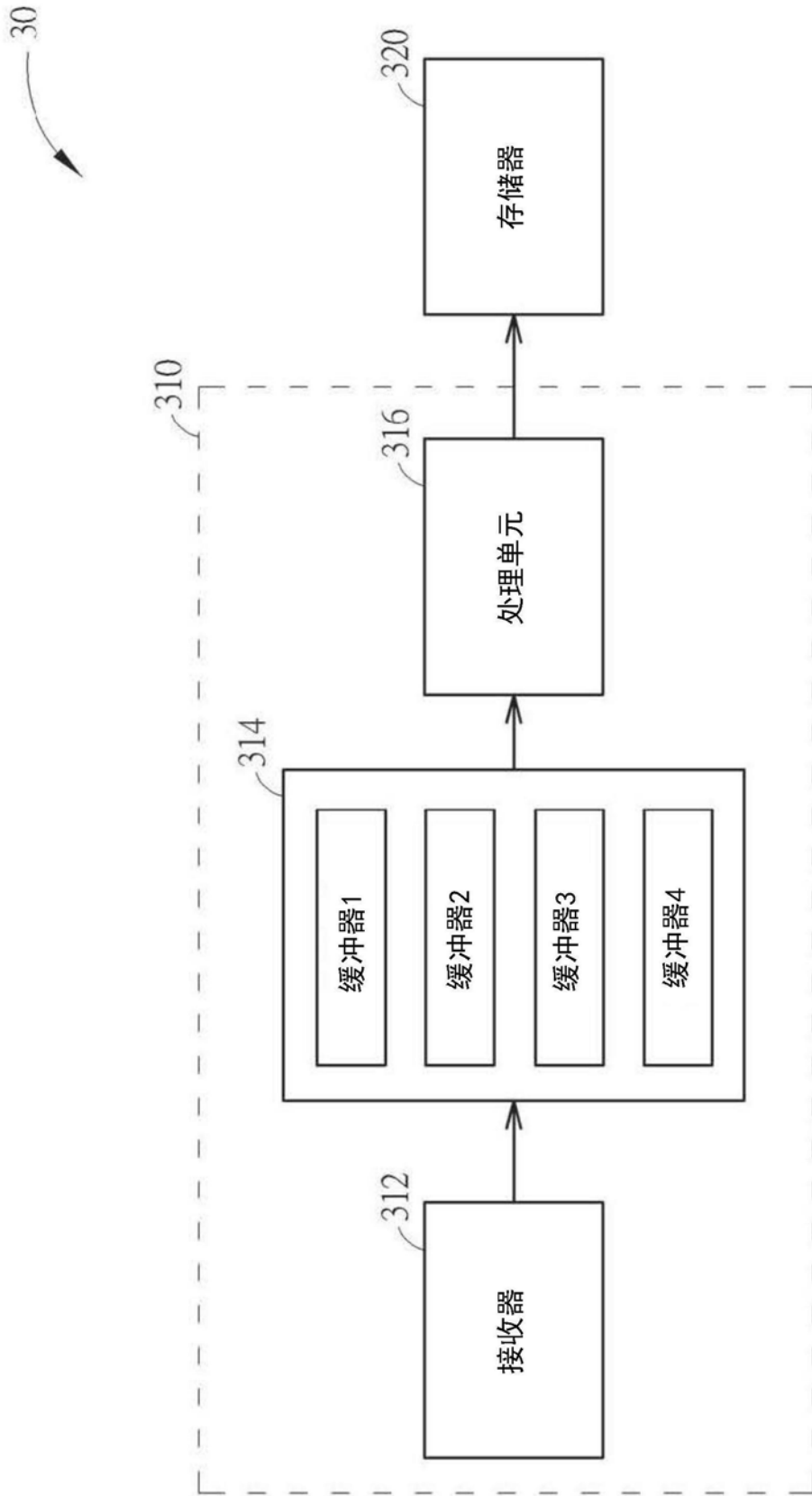


图3

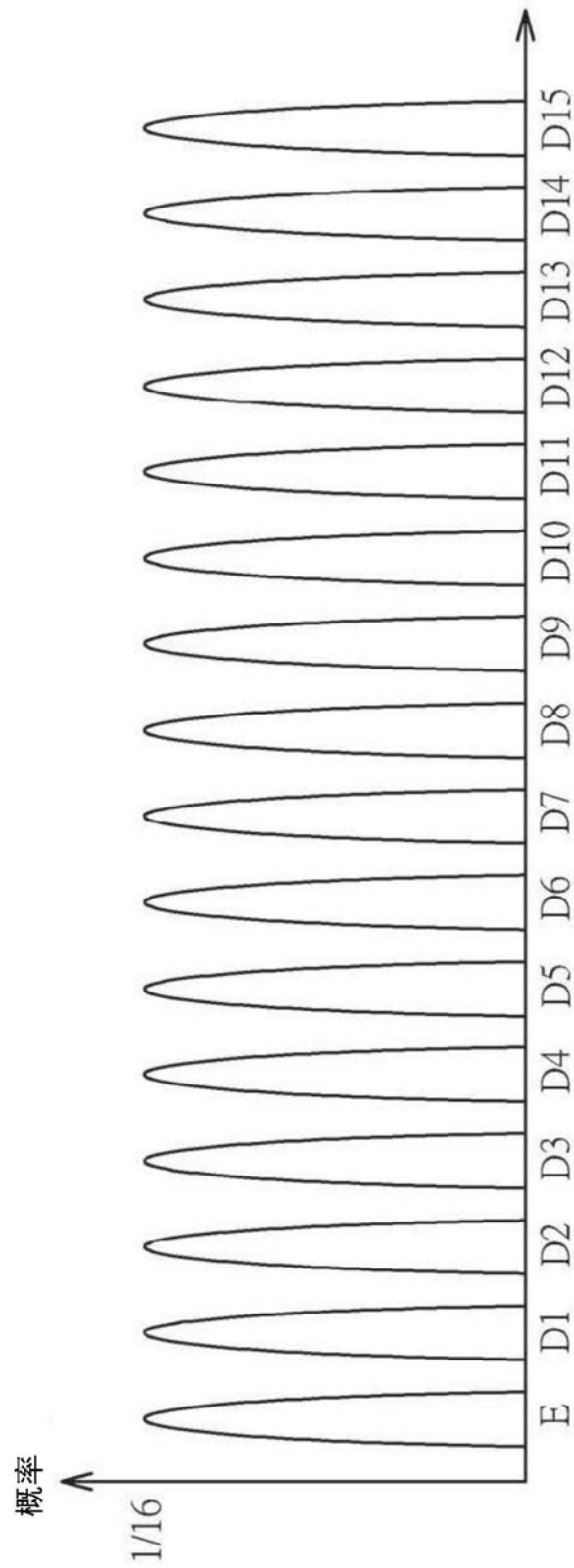


图4A

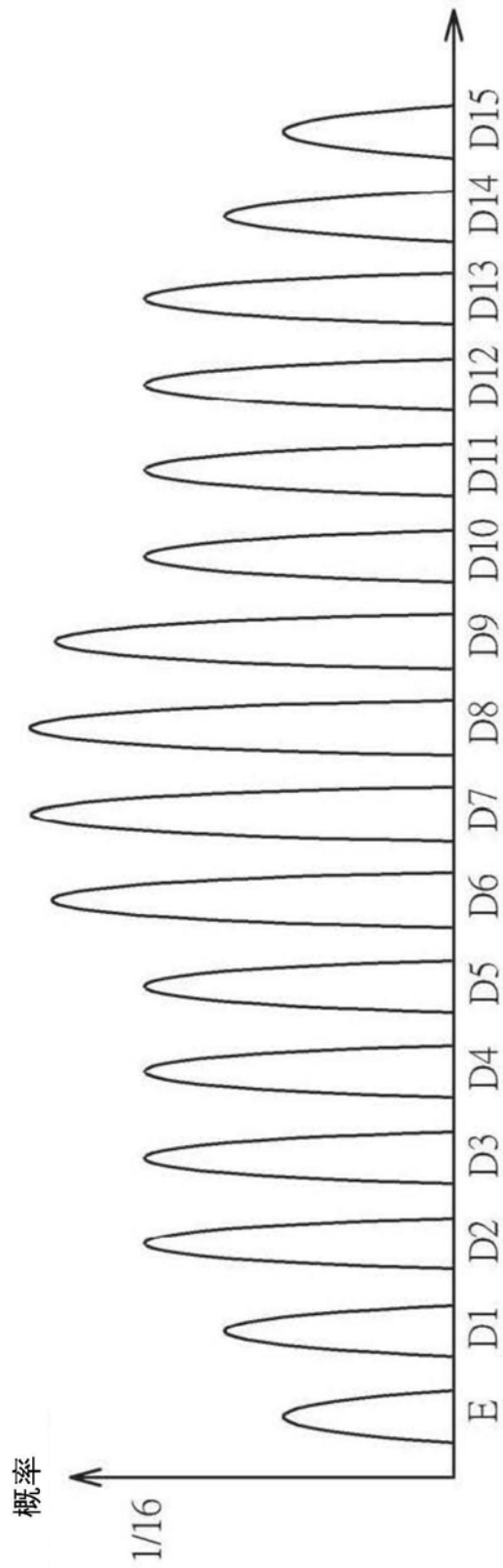


图4B

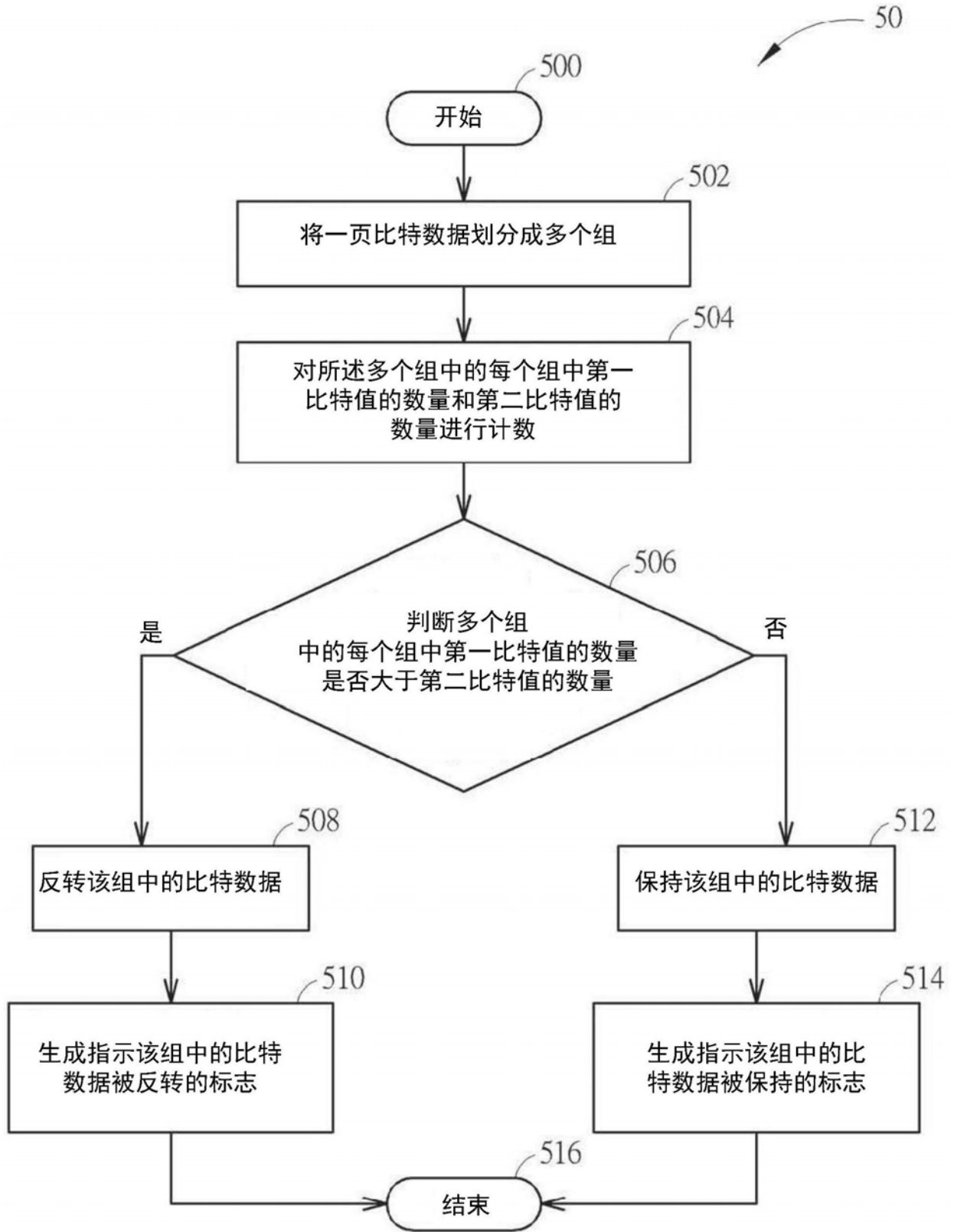


图5

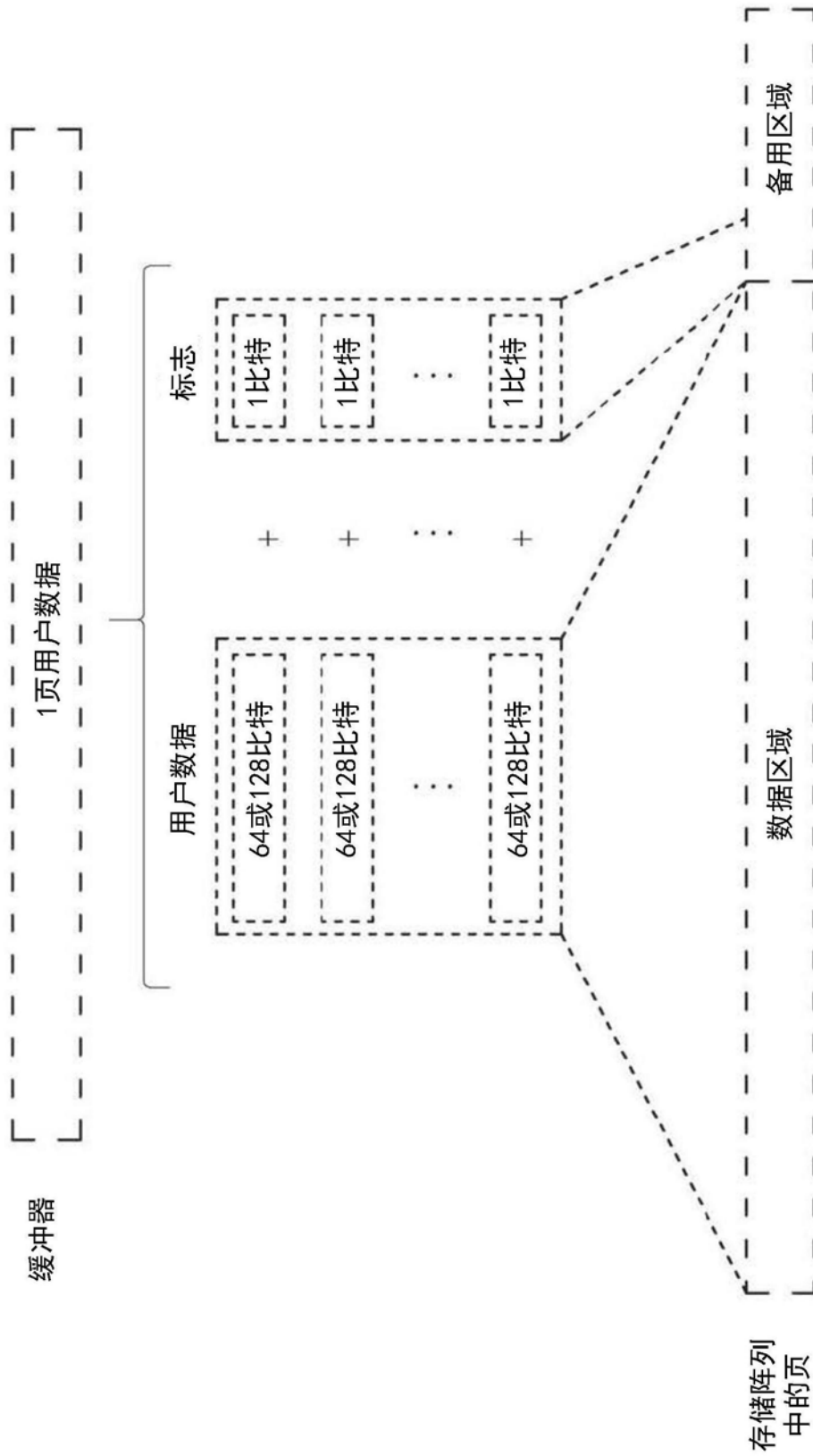


图6