

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4497290号
(P4497290)

(45) 発行日 平成22年7月7日(2010.7.7)

(24) 登録日 平成22年4月23日(2010.4.23)

(51) Int. Cl. F I
 HO 1 L 21/8247 (2006.01) HO 1 L 29/78 3 7 1
 HO 1 L 29/788 (2006.01) HO 1 L 27/10 4 3 4
 HO 1 L 29/792 (2006.01)
 HO 1 L 27/115 (2006.01)

請求項の数 7 (全 21 頁)

(21) 出願番号	特願2004-118948 (P2004-118948)	(73) 特許権者	000005223
(22) 出願日	平成16年4月14日(2004.4.14)		富士通株式会社
(65) 公開番号	特開2005-303123 (P2005-303123A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成17年10月27日(2005.10.27)	(74) 代理人	100091340
審査請求日	平成19年4月13日(2007.4.13)		弁理士 高橋 敬四郎
(出願人による申告)平成15年度、通信・放送機構、「携帯通信機器用低電力メモリ：ダイレクトトンネルメモリの研究開発」委託研究、産業再生法第30条の適用を受ける特許出願		(74) 代理人	100105887
			弁理士 来山 幹雄
		(72) 発明者	角田 浩司
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	臼杵 達哉
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、
 前記半導体基板に形成され、選択トランジスタ領域と直接トンネル素子領域とを含む連続した活性領域と、
 前記活性領域を画定する素子分離領域と、
 前記選択トランジスタ領域のチャネル部の上に形成されたゲート絶縁膜と、
 前記直接トンネル素子領域の一部上に形成され、前記ゲート絶縁膜と厚さの異なる、トンネル絶縁膜と、
 前記ゲート絶縁膜、およびトンネル絶縁膜を含む領域上に形成された連続したフローティングゲート電極と、
 前記フローティングゲート電極の表面上に形成された電極間絶縁層と、
 前記電極間絶縁層を介して前記フローティングゲート電極と対向するコントロールゲート電極と、
 前記選択トランジスタ領域のチャネル部の両側に形成され、前記トンネル絶縁膜と重なりを有さない1対のソース/ドレイン領域と、
 を有し、
 前記選択トランジスタ領域は、第1の閾値を有し、
 前記直接トンネル素子領域は、第1の閾値よりも高い第2の閾値を有し、
 前記トンネル絶縁膜は、前記1対のソース/ドレイン領域間を搬送されるキャリアの走行

10

20

領域上には存在せず、
 前記直接トンネル素子領域にはチャンネルを誘起せず、前記選択トランジスタ領域のゲート下にチャンネルを誘起するように、前記コントロールゲート電極に順バイアスを印加した状態で、読み出しを行い、
 前記フローティングゲート電極全面に亘って下方にチャンネルを誘起し、選択トランジスタのソース/ドレイン領域と前記直接トンネル素子領域のトンネル絶縁膜下の領域とが電氣的に接続されるように、前記コントロールゲート電極に順バイアスを印加した状態で、書き込みを行う
 ことを特徴とする半導体装置。

【請求項 2】

さらに、前記コントロールゲート電極上に形成されたハードマスク層を有し、前記コントロールゲート電極、前記電極間絶縁層、前記フローティングゲート電極は、前記ハードマスク層と自己整合した平面形状を有する請求項 1 記載の半導体装置。

【請求項 3】

前記コントロールゲート電極は、前記選択トランジスタ領域上方には配置されず、前記選択トランジスタのゲート電極は前記フローティングゲート電極のみで形成されている請求項 1 - 2 のいずれか 1 項記載の半導体装置。

【請求項 4】

前記素子分離領域は、前記半導体基板に論理トランジスタ領域も画定し、さらに前記論理トランジスタ領域のチャンネル部上に形成された他のゲート絶縁膜と、前記他の絶縁膜の上に形成された、前記フローティングゲート電極と同一の層から形成された論理ゲート電極と、
 を有する請求項 1 - 3 のいずれか 1 項記載の半導体装置。

【請求項 5】

(a - 1) 半導体基板に選択トランジスタ領域と直接トンネル素子領域とを含む連続した活性領域を画定する素子分離領域を形成する工程と、

(a - 2) 前記活性領域全体に不純物添加することにより、第 1 の閾値を有する前記選択トランジスタ領域を画定する工程と、

(a - 3) 前記活性領域に追加的不純物添加することにより、前記第 1 の閾値よりも高い第 2 の閾値を有する前記直接トンネル素子領域を画定する工程と、

(b) 前記選択トランジスタ領域のチャンネル部上にゲート絶縁膜を形成する工程と、

(c) 前記直接トンネル素子領域の一部上に、前記ゲート絶縁膜と厚さの異なる、トンネル絶縁膜を形成する工程と、

(d) 前記ゲート絶縁膜、およびトンネル絶縁膜を含む領域上方に連続したフローティングゲート電極層を形成する工程と、

(e) 前記フローティングゲート電極層の上に電極間絶縁層を形成する工程と、

(f) 前記電極間絶縁層の上にコントロールゲート電極層を形成する工程と、

(g) 前記コントロールゲート電極層、前記電極間絶縁層、前記フローティングゲート電極層をパターニングする工程と、

(h) 前記選択トランジスタ領域のチャンネル部の両側に、前記トンネル絶縁膜と重なりを有さない 1 対のソース/ドレイン領域を形成する工程と、

を有し、

前記トンネル絶縁膜は、前記 1 対のソース/ドレイン領域間を搬送されるキャリアの走行領域上には存在せず、

前記直接トンネル素子領域にはチャンネルを誘起せず、前記選択トランジスタ領域のゲート下にチャンネルを誘起するように、前記コントロールゲート電極に順バイアスを印加した状態で、読み出しを行い、

前記フローティングゲート電極全面に亘って下方にチャンネルを誘起し、選択トランジスタのソース/ドレイン領域と前記直接トンネル素子領域のトンネル絶縁膜下の領域とが電氣的に接続されるように、前記コントロールゲート電極に順バイアスを印加した状態で、書

10

20

30

40

50

き込みを行うこと

を特徴とする半導体装置の製造方法。

【請求項 6】

前記工程 (a - 1) は、論理トランジスタ活性領域も画定する素子分離領域を形成し、さらに、

- (i) 前記コントロールゲート電極層上にハードマスク層を形成する工程と、
- (j) 前記活性領域上の前記ハードマスク層、前記コントロールゲート電極層をパターニングすると共に、前記論理トランジスタ活性領域上では前記ハードマスク層、コントロール電極層を除去する工程と、
- (k) 前記活性領域では前記ハードマスク層、前記コントロールゲート電極層をマスクとして、前記フローティングゲート電極層をパターニングすると共に、前記論理トランジスタ活性領域ではレジストマスクを用いて前記フローティングゲート電極層をパターニングする工程と、

10

を有する請求項 5 記載の半導体装置の製造方法。

【請求項 7】

前記工程 (a - 1) は、論理トランジスタ活性領域も画定する素子分離領域を形成し、さらに、

- (i) 前記コントロールゲート電極層上にハードマスク層を形成する工程と、
- (j) 前記直接トンネル素子領域内で前記活性領域上の前記ハードマスク層、前記コントロールゲート電極層をパターニングすると共に、前記選択トランジスタ領域、前記論理トランジスタ活性領域では前記ハードマスク層、コントロール電極層を除去する工程と、
- (k) 前記直接トンネル素子領域では前記ハードマスク層、前記コントロールゲート電極層をマスクとして、前記フローティングゲート電極層をパターニングすると共に、前記選択トランジスタ領域、前記論理トランジスタ活性領域ではレジストマスクを用いて前記フローティングゲート電極層をパターニングする工程と、

20

を有する請求項 5 記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置とその製造方法に関し、特にダイレクトトンネル現象を利用することが可能なメモリ素子を含む半導体装置とその製造方法に関する。

30

【背景技術】

【0002】

近年の多機能半導体デバイスにおいては、論理回路とメモリとを混載する要求が強い。論理回路は CMOS 回路で構成される場合が多い。CMOS トランジスタとメモリ素子とをなるべく共通の製造プロセスを用いて作製することが望まれる。メモリ素子としては、特にランダムアクセスメモリ (RAM) に対する需要が大きい。

【0003】

スタティック (S) RAM は、ロジック回路との親和性は極めて良いが、占有面積が大きい。ダイナミック (D) RAM は、キャパシタを作成する必要があり、近年の微細化したキャパシタは構造が複雑化し、コストの増加が著しい。強誘電体メモリ、磁性体メモリ、相変化メモリなどの新規な不揮発性メモリは、新規材料を導入する必要があり、ロジックプロセスとの親和性が不十分で、コストも高い。

40

【0004】

フラッシュ (f l a s h) メモリは、ゲート酸化膜上に多結晶シリコンのフローティングゲート電極、インターポリ (電極間) 絶縁膜、多結晶シリコンのコントロールゲート電極を積層した構成を有し、ロジックプロセスとの親和性が良く、占有面積が小さくて済み、低コストで作製できる。

【0005】

図 13 (A) は、フラッシュメモリの構成を概略的に示す。シリコン基板 100 の p 型

50

領域内に、例えば厚さ 8 nm の熱酸化膜によりトンネル絶縁膜 101 が形成され、その上に多結晶シリコンのフローティングゲート (FG) 電極 102、インターポリ (電極間) 絶縁膜 103、多結晶シリコンのコントロールゲート (CG) 電極 104 が積層され、同一平面形状にパターニングされている。多結晶シリコンの側壁は熱酸化膜 105 によって覆われ、さらに酸化シリコン等のサイドウォールスペーサ 106 が形成されている。積層ゲート電極の両側に、高濃度 n 型ソース/ドレイン領域 108、110 と浅い n 型エクステンション領域 107、109 が形成されている。高濃度 n 型領域 108 と n 型エクステンション領域 107 を併せてソース S と呼ぶ。また、高濃度 n 型領域 110 と n 型エクステンション領域 109 を併せてドレイン D と呼ぶ。

【0006】

書き込み動作においては、ソース S を接地電位とし、ドレイン D、コントロールゲート CG に正極性高電圧を印加する。ソース S からドレイン D に向かって電子が走行し、高電界によってホット状態となる。コントロールゲート CG に正極性の高電圧を印加しているため、ホットキャリアは上方に向かう加速度も受け、トンネル絶縁膜を貫通してフローティングゲート FG に飛び込む。

【0007】

このようにして、チャンネルホットエレクトロン (CHE) 注入が行なわれる。フローティングゲート FG に蓄積された電荷により、情報が蓄積される。フローティングゲート FG は絶縁層で包まれて電荷保持機能を有し、不揮発性メモリを構成する。蓄積された情報を消去する時には、コントロールゲート CG に負極性の高電圧を印加し、トンネル絶縁膜 101 を貫通するファウラ・ノルドハイム (FN) トンネル電流によりキャリア (電子) を追い出す。

【0008】

フラッシュメモリは、トンネル酸化膜に高電圧を印加した状態でホットエレクトロン状態のキャリアをフローティングゲート FG へ注入し、また非常に高い電圧を印加して電子をトンネルさせるため、トンネル酸化膜が劣化する。繰り返し書き換え耐性は 10^5 回程度である。情報の書き換えは可能であるが、書き換え回数に制限があるため、その用途は ROM 的なものに限定される。チャンネルホットエレクトロンの書き込み工程は、注入効率が悪く、消費電力が増加する。消去工程はファウラ・ノルドハイム (FN) トンネル現象を用いるため、注入効率は高いが高電界が必要であり、書き込みに比べて速度が非常に遅い。このように、フラッシュメモリは幾つかの問題も有する。

【0009】

フラッシュメモリと同様、多結晶シリコン層と絶縁層との積層を有するフローティングゲート電極構造を有し、ロジックプロセスとの親和性のよいダイレクトトンネルメモリ (DTM) が提案されている。ダイレクトトンネルメモリは、トンネル絶縁層を薄くして、キャリアが直接 (ダイレクトに) トンネル可能としたメモリである。

【0010】

図 13 (B) は、ダイレクトトンネルメモリメモリの構成例を概略的に示す。シリコン基板 100 の p 型領域表面にダイレクトトンネル可能な厚さ 3 nm 以下の熱酸化膜によりトンネル絶縁膜 111 が形成され、その上に n 型多結晶シリコンのフローティングゲート電極 112 が形成され、パターニングされている。フローティングゲート電極 112 は、その上面が絶縁膜 115 で覆われると共に、その側壁上に絶縁膜 113 を介して n 型多結晶シリコンのコントロールゲート電極 114 が対向している。

【0011】

コントロールゲート電極 114 下方には、絶縁層 113 を介して n 型エクステンション 117、119 を備えた高濃度 n 型ソース/ドレイン領域 118、120 が形成される。コントロールゲート電極 114 は比較的厚いゲート絶縁膜 113 を介してシリコン表面と対向している。コントロールゲート電極 114 の側壁上には、絶縁性サイドウォールスペーサ 116 が形成される。

【0012】

10

20

30

40

50

書き込み時は、コントロールゲートCGに正の高電圧を印加する。容量結合によりフローティングゲートFGにも電圧が印加され、その結果トンネル絶縁膜に電界が印加される。コントロールゲートCG、フローティングゲートFG下方にソース(S)、ドレイン(D)と接続されたチャンネルが誘起される。キャリア(電子)は、ソースS/ドレインDからチャンネルを介してフローティングゲート下方まで達することができる。フローティングゲートFG下のトンネル絶縁膜111は、極めて薄いため、電子のダイレクトトンネルにより低電圧、低消費電力でフローティングゲートに高速に書き込み動作を行なうことができる。

【0013】

コントロールゲートCGの電圧を開放すると、チャンネルは消滅する。ソース/ドレインのエクステンション117、119は、フローティングゲートFGと重なりを有さず、側方に離されているため、フローティングゲート電極からのリーク電流を抑制することができる。

10

【0014】

コントロールゲートCGに、チャンネルを誘起する閾値以上の電圧を印加し、ドレインDに順バイアスを印加すると、フローティングゲートFGの荷電状態に応じてソースS-ドレインD間が導通し、蓄積情報を読み出すことができる。フローティングゲートFGに電子(負電荷)が蓄積されていない時は、フローティングゲートFG下方にもチャンネルが誘起され、トランジスタのソースS-ドレインD間がオンになる。フローティングゲートに負電荷が蓄積され、正バイアスを相殺すると、フローティングゲートFG下方でチャンネルが断たれ、トランジスタのソースS-ドレインD間がオフとなる。

20

【0015】

消去時には、コントロールゲートに負の高電圧を印加する。フローティングゲート中の負電荷(電子)は斥力を受け、トンネル絶縁膜111を通過して、基板100中に追い出される。

【0016】

図13(B)に示す構成においては、3nm以下の薄いトンネル絶縁膜111がフローティングゲート電極112をシリコン基板のチャンネル領域から分離する。絶縁膜111が極めて薄いため、フローティングゲート電極112の電荷保持特性は劣化する。フローティングゲートの記憶が不揮発性ではなくなる場合、記憶を保持するには、DRAMと同様にリフレッシュを行えばよい。ダイレクトトンネルを用いることにより、トンネル絶縁層の劣化は抑制され、繰り返し書き換え耐性が飛躍的に向上する。このため、RAMとして使用することが可能となる。

30

【0017】

【特許文献1】特開2000-150680号公報

【特許文献2】USP6,195,292

【非特許文献1】T. Usuki, N. Horiguchi and T. Futatsugi: Advantage of aquasi-non volatile memory with ultra thin oxide SSDM2001, p.532(2001)

【発明の開示】

【発明が解決しようとする課題】

40

【0018】

ダイレクトトンネルメモリは、メモリとして高い可能性を有するが、コントロールゲートGCを側壁状に形成する点において、論理トランジスタの作製プロセスとの整合性が悪化する。また、フローティングゲートの電荷状態を判別する選択トランジスタをオンにしてドレイン電流を検出する状態において、少なくともコントロールゲート下方にはチャンネルが誘起され、フローティングゲートへの電荷の注入が生じ易くなる。

【0019】

本発明の目的は、これらの課題を解決する、新規な特徴を有するダイレクトトンネルメモリを提供することである。

本発明の他の目的は、新規な特徴を有するダイレクトトンネルメモリの製造方法を提供

50

することである。

【 0 0 2 0 】

本発明のさらに他の目的は、ダイレクトトンネルによりフローティングゲートに電荷情報の書き込み、消去を行う領域と、電荷情報を読み出す選択トランジスタ領域とを位置的に分離したダイレクトトンネルメモリとその製造方法を提供することである。

【課題を解決するための手段】

【 0 0 2 1 】

本発明の1観点によれば、半導体基板と、前記半導体基板に形成され、選択トランジスタ領域と直接トンネル素子領域とを含む連続した活性領域を画定する素子分離領域と、前記選択トランジスタ領域のチャンネル部の上に形成されたゲート絶縁膜と、前記直接トンネル素子領域の一部上に形成され、前記ゲート絶縁膜と厚さの異なる、トンネル絶縁膜と、前記ゲート絶縁膜、およびトンネル絶縁膜を含む領域上に形成された連続したフローティングゲート電極と、前記フローティングゲート電極の表面上に形成された電極間絶縁層と、前記電極間絶縁層を介して前記フローティングゲート電極と対向するコントロールゲート電極と、前記選択トランジスタ領域のチャンネル部の両側に形成され、前記トンネル絶縁膜と重なりを有さない1対のソース/ドレイン領域と、を有する半導体装置が提供される。

【 0 0 2 2 】

本発明の他の観点によれば、(a)半導体基板に選択トランジスタ領域と直接トンネル素子領域とを含む連続した活性領域を画定する素子分離領域を形成する工程と、(b)前記選択トランジスタ領域のチャンネル部上にゲート絶縁膜を形成する工程と、(c)前記直接トンネル素子領域の一部上に、前記ゲート絶縁膜と厚さの異なる、トンネル絶縁膜を形成する工程と、(d)前記ゲート絶縁膜、およびトンネル絶縁膜を含む領域上方に連続したフローティングゲート電極層を形成する工程と、(e)前記フローティングゲート電極層の上に電極間絶縁層を形成する工程と、(f)前記電極間絶縁層の上にコントロールゲート電極層を形成する工程と、(g)前記コントロールゲート電極層、前記電極間絶縁層、前記フローティングゲート電極層をパターンニングする工程と、(h)前記選択トランジスタ領域のチャンネル部の両側に、前記トンネル絶縁膜と重なりを有さない1対のソース/ドレイン領域を形成する工程と、を有する半導体装置の製造方法が提供される。

【発明の効果】

【 0 0 2 3 】

直接(ダイレクト)トンネルメモリ素子を、フローティングゲートと基板間で直接(ダイレクト)トンネルを行う直接(ダイレクト)トンネル素子と、フローティングゲートの電荷状態を読み出す選択トランジスタに分離する。このことにより、側壁状に形成されたコントロールゲートを用いることなく、ダイレクトトンネルを生じさせる場所を、選択トランジスタを形成する場所と分離することができる。したがって、論理トランジスタとのプロセスの整合性を向上することができる。また、読み出しの際のディスターブを軽減できる。また、この構造を用いることにより、選択トランジスタの特性とダイレクトトンネル素子の特性をそれぞれ最適化することが可能となる。

【 0 0 2 4 】

選択トランジスタは、閾値が低く、ゲート絶縁膜のリーク電流が低い構成とすることができる。直接トンネル素子は、閾値が高く、閾値以上でのトンネル電流が高い構成とすることができる。

【発明を実施するための最良の形態】

【 0 0 2 5 】

図1(A) - 図3(K)は、本発明の第1の実施例によるダイレクトトンネルメモリの製造工程を示す斜視図である。

図1(A)に示すように、シリコン基板10の表面に活性領域ARを画定するシャロートレンチアイソレーションSTIを形成する。活性領域ARは、フローティングゲートの電荷状態を読み出すための選択(読出し)トランジスタ領域11、ダイレクトトンネルに

10

20

30

40

50

よりフローティングゲートにキャリアを書き込み、消去するためのダイレクトトンネル素子領域12を連続的に含む。活性領域AR全体には、選択トランジスタに適した、例えばボロン(B)の、イオン注入が行われ、選択トランジスタの閾値 V_{th} が調整される。

【0026】

選択トランジスタ領域の中間部を横断するようにフローティングゲートを形成し、その両側にソース/ドレイン領域を形成して、フローティングゲートの電荷状態を読み出す選択トランジスタ構造を形成する。

【0027】

ダイレクトトンネル素子領域において、ダイレクトトンネル可能な薄いトンネル絶縁層を介して半導体基板上にフローティングゲートを配置し、基板とフローティングゲートとの間でダイレクトトンネル可能とし、フローティングゲートに電荷の書き込み/消去を行う。フローティングゲート上には、さらに電極間絶縁層を介してコントロールゲートを配置する。

10

【0028】

選択トランジスタ領域の外にダイレクトトンネル素子領域を配置することにより、面積利用率は制限を受けるが、ダイレクトトンネル素子の特性と選択トランジスタの特性を独立に設定することが可能となる。ダイレクトトンネル素子の閾値を選択トランジスタの閾値より高くすることなどにより、読み出しの際のディスタ urb (誤書き込み)を防止することができる。

20

【0029】

図1(B)に示すように、選択トランジスタ領域11を覆い、ダイレクトトンネル領域を露出する開口を有するホトレジストマスクPR1が形成され、ダイレクトトンネル領域に対して閾値 V_{th} を高くする、例えばBのイオン注入が追加的に行われる。ダイレクトトンネル領域11の閾値が高く設定されると、選択トランジスタ領域がターンオンした状態でもダイレクトトンネル領域にはチャネルが未だ誘起されない状態を実現することが可能となる。

【0030】

その後アッシングを行ってホトレジストパターンPR1を除去する。その後、例えば1000、10秒間のアニールを行いイオン注入した不純物を活性化する。

図1(C)に示すように、活性領域AR表面に対し、750~900で熱酸化を行い、厚さ1nm-8nmのゲート酸化膜Goxを作成する。このゲート酸化膜は、選択トランジスタのゲート酸化膜として適当な厚さを有する。

30

【0031】

図1(D)に示すように、選択トランジスタ領域を覆うホトレジストパターンPR2を作成する。このホトレジストパターンPR2は、図1(B)で追加的イオン注入が行われたダイレクトトンネル領域の内部の領域を露出するようにパターンニングされている。

【0032】

図2(E)に示すように、希弗酸によるエッチングを用い、ホトレジストパターンPR2から露出しているゲート酸化膜Goxを除去し、ダイレクトトンネル領域内のシリコン表面を露出する。その後アッシングによってホトレジストパターンPR2を除去する。

40

【0033】

図2(F)に示すように、750-900の熱酸化により、ダイレクトトンネル領域内に露出したシリコン表面に厚さ1nm-3nmのトンネル酸化膜Toxを作成する。先に作成したゲート酸化膜Goxもその厚さをわずかに増加させる。例えば、トンネル酸化(絶縁)膜は厚さ3nm、ゲート酸化(絶縁)膜は厚さ8nmである。

【0034】

なお、極めて薄いゲート絶縁膜、例えば厚さ2nm以下の酸化膜に相当するゲート絶縁膜を作製する場合は、トンネル現象を抑制するため、表面部に窒素を導入した酸化膜を形成したり、高誘電率絶縁膜を積層して酸化膜換算膜厚を低く抑えつつ、実際の膜厚を厚くすることもできる。トンネル絶縁膜はトンネル現象を生じさせる絶縁膜であるが、酸化膜

50

以外の絶縁膜や絶縁積層を用いることもできる。

【0035】

なお、図1(A)において、選択トランジスタ領域11の側方に張り出す領域12をダイレクトトンネル素子領域と呼んだが、その内部にダイレクトトンネル領域が画定され、さらにその内部にトンネル絶縁層が配置される。トンネル絶縁層を介して書き込み、消去が行われる領域は、選択トランジスタ、特にそのキャリア走行領域、からは位置的に離されている。

【0036】

ゲート酸化膜 G_{ox} 、トンネル酸化膜 T_{ox} を作成した基板の上に、化学気相堆積(CVD)により厚さ50nm - 200nmの多結晶シリコン層FGを堆積する。多結晶シリコン層全体に対し、フローティングゲート電極として適当な不純物濃度の燐(P)をイオン注入する。

10

【0037】

図2(G)に示すように、ダイレクトトンネル領域を覆うホトレジストパターンPR3を作成し、選択トランジスタ領域の多結晶シリコン層に対してさらにPのイオン注入を行い、トランジスタのゲート電極として適当な不純物濃度とする。ダイレクトトンネル素子においてはフローティングゲートの不純物濃度を制限し、その特性を調整する。その後アッシングを行ってホトレジストパターンPR3を除去し、700 - 900、30分間のアニーリングを行って注入した不純物を活性化する。

【0038】

20

図2(H)に示すように、フローティングゲート電極FGの上に、CVDにより厚さ5nm - 30nmの酸化シリコンによるインターポリ絶縁層IPを堆積する。このインターポリ絶縁層IPは、熱酸化により作成してもよい。インターポリ絶縁層IPの上に、さらにドーブした多結晶シリコンによるコントロールゲート電極層CGを厚さ50nm - 150nm CVDにより堆積する。多結晶シリコン層CGの上に厚さ50nm - 100nmの酸化シリコン層HMをCVDにより堆積する。酸化シリコン層HMは、ハードマスクを形成するための層である。

【0039】

図3(I)に示すようにハードマスク層HMの上に、ゲート電極の形状を有するホトレジストパターンPR4を作成する。このホトレジストパターンPR4をマスクとしてハードマスクHM、コントロールゲート電極層CGのエッチングを行う。その後ホトレジストパターンPR4はアッシングで除去する。

30

【0040】

図3(J)は、ハードマスク層HM、コントロールゲート電極層CGをパターンニングし、ホトレジストパターンを除去した状態を示す。フローティングゲート電極用の多結晶シリコン層は、基板全面上に残っている。

【0041】

図3(K)に示すように、コントロールゲート電極CGより下方のインターポリ絶縁層IP、フローティングゲート電極層FGを、ハードマスクHMをエッチングマスクとしてエッチングする。なお、このエッチング工程において、他の領域においてはレジストパターンを用い、ロジック回路のゲート電極をパターンニングすることができる。

40

【0042】

図3(L)は、活性領域ARと積層ゲート電極Gとの平面形状の関係を示す。活性領域ARは、選択トランジスタ領域11とダイレクトトンネル素子領域12とを有する。ゲート電極Gは、フローティングゲートFGとコントロールゲートCGとが積層された構造であり、選択トランジスタ領域11においてゲート電極を構成し、選択トランジスタ領域とは離れたダイレクトトンネル領域DTにおいてダイレクトトンネルによりキャリアを書き込み、消去することのできる構造を形成している。

【0043】

コントロールゲートにある程度の順バイアス、例えば1V、を印加すると選択トランジ

50

スタのゲート下にチャンネルを誘起できる。選択トランジスタ領域 1 1 を通常のオン状態として蓄積情報を読み出す工程においては、ダイレクトトンネル領域 1 2 には未だチャンネルが誘起されず、フローティングゲート電極へのキャリアの注入を低減することができる。

【 0 0 4 4 】

さらに高い順バイアス、例えば 5 V , を印加すると、ゲートの全領域下にチャンネルを誘起することができる。その時、トンネル絶縁層 T o x 上のフローティングゲートは、誘起されたチャンネルと対向することになる。この状態において、選択トランジスタ領域 1 1 のチャンネルとダイレクトトンネル領域 D T のチャンネルは電氣的に接続されている。従って、ダイレクトトンネル領域 D T に、選択トランジスタ領域 1 1 の高濃度ソース/ドレイン領域からキャリアを供給することが可能となる。

10

【 0 0 4 5 】

図 3 (M) は、通常のトランジスタの作成プロセスを経て作成される選択トランジスタ部分の構成を示す。図 3 (K) に示す工程に続き、砒素のイオン注入を行ない、エクステンション領域 E x t を形成し、1 0 0 0 、1 0 秒間の活性化アニールにより不純物を活性化させる。酸化シリコン層を C V D により厚さ 5 0 n m - 1 5 0 n m 成膜し、エッチバックを行う。この際、ハードマスク層 H M として用いた酸化シリコン層もエッチングし、コントロールゲート電極 C G の表面を露出する。積層ゲート電極の側壁上にサイドウォール S W が形成される。この状態で、燐のイオン注入を行ない、ソース/ドレインの高濃度領域 H D D を形成する。1 0 0 0 、1 0 秒間のアニールを行い、不純物を活性化させる。

20

【 0 0 4 6 】

スパッタリング等の物理気相堆積 (P V D) により、コバルト層を厚さ 5 n m - 3 0 n m 堆積し、次に T i N 層を厚さ 5 n m - 5 0 n m 堆積する。5 0 0 - 5 5 0 、3 0 秒間のラピッドサーマルアニール (R T A) を行い、コバルトシリサイドを形成し、未反応金属を硫酸 - 過酸化水素混合液によるウエットエッチングにより除去する。8 0 0 - 9 0 0 、3 0 秒間の R T A を行い、シリサイド層 S I L を低抵抗化する。その後、層間絶縁膜 2 0 を成膜し、導電性プラグ 2 1 を埋め込んでソース/ドレインを表面に引出す。さらに、層間絶縁膜、配線形成の工程を繰り返す。

【 0 0 4 7 】

第 1 の実施例によるダイレクトトンネルメモリは、ロジックプロセスとの親和性が高い。図 4 (A) - (D) は、ダイレクトトンネルメモリとロジック回路との製造工程を併せて示す。ダイレクトトンネルメモリの製造工程は、図 1 (A) - 図 3 (M) に示したものである。

30

【 0 0 4 8 】

ロジック回路においては、通常複数種類のトランジスタが用いられ、ゲート絶縁膜の厚さも複数種類が用いられる。ダイレクトトンネルメモリのトンネル絶縁膜の厚さが論理回路のゲート絶縁膜の 1 つと一致する時は、製造工程を共通化できる。一致する絶縁膜がない時はトンネル絶縁膜形成の工程を追加する。選択トランジスタのゲート絶縁膜はロジック回路のゲート絶縁膜の 1 種類と共通にすることが好ましい。

【 0 0 4 9 】

図 4 (A) は、基板上にゲート酸化膜、トンネル酸化膜、フローティングゲート電極層 F G、インターポリ絶縁層 I P、コントロールゲート電極層 C G、ハードマスク層 H M を積層し、その上にホトレジストパターン P R 4 を形成した図 3 (I) に相当する状態を示す。ロジック回路領域においてはレジストパターンは作成されておらず、ハードマスク層 H M の全表面が露出している。

40

【 0 0 5 0 】

図 4 (B) に示すように、ホトレジストパターン P R 4 をマスクとしてハードマスク層 H M、コントロールゲート電極層 C G のエッチングを行う。ロジック回路領域においてはハードマスク層 H M とコントロールゲート電極層 C G が全面的にエッチングされて除去される。

50

【 0 0 5 1 】

図 4 (C) に示すように、フローティングゲート電極層 F G のエッチングに先立ち、ロジック回路領域にホトレジストパターン P R 5 を作成する。このホトレジストパターン P R 5 は、ロジック回路のゲート電極をパターンングするためのものである。

【 0 0 5 2 】

図 4 (D) に示すように、ダイレクトトンネルメモリにおいてはハードマスク層 H M をエッチングマスクとし、ロジック回路領域においてはホトレジストパターン P R 5 をエッチングマスクとし、インターポリ絶縁層 I P 及びフローティングゲート電極層 F G のエッチングを行う。その後ホトレジストパターン P R 5 はアッシングなどにより除去する。このようにして、ダイレクトトンネルメモリの製造工程を利用して、ロジック回路領域においてロジックトランジスタを作成することができる。なお、ロジック回路領域において C M O S 回路を形成する場合は、 n チャネルトランジスタ製造工程と、 p チャネルトランジスタ製造工程とを行なう。

10

【 0 0 5 3 】

第 1 の実施例においては、ダイレクトトンネルメモリ素子のフローティングゲート電極とコントロールゲート電極とは同一形状を有している。ダイレクトトンネル領域のフローティングゲートと選択トランジスタのフローティングゲートの特性を異ならせるため、図 2 (G) の工程においては選択トランジスタのフローティングゲート電極にのみイオン注入を行なっている。又、ダイレクトトンネルメモリの選択トランジスタのゲート電極とロジック回路のトランジスタのゲート電極とは高さが異なる。これらの特長は必須のものではない。

20

【 0 0 5 4 】

図 5 (A) - (E) は、本発明の第 2 の実施例によるダイレクトトンネルメモリの製造工程を示す斜視図である。

図 5 (A) は、第 1 の実施例同様の工程により、シリコン基板上にフローティングゲート電極層 F G 、インターポリ絶縁層 I P 、コントロールゲート電極層 C G 、ハードマスク H M を積層した構成を示す。図 2 (H) に示す構成に対応する。

【 0 0 5 5 】

図 5 (B) に示すように、ダイレクトトンネルメモリのダイレクトトンネル領域を覆うホトレジストマスク P R 6 を形成する。選択トランジスタ領域はホトレジストマスク P R 6 の外側になる。

30

【 0 0 5 6 】

図 5 (C) に示すように、ホトレジストマスク P R 6 をエッチングマスクとし、ハードマスク層 H M 、コントロールゲート電極層 C G をエッチングする。その後、ホトレジストマスク P R 6 はアッシングにより除去する。選択トランジスタ領域ではコントロールゲート電極層 C G が除去されており、チャンネル領域の上にはフローティングゲート電極層 F G のみ (とインターポリ絶縁層 I P) が存在する。

【 0 0 5 7 】

図 5 (D) に示すように、選択トランジスタのゲート電極形状を有するホトレジストマスク P R 7 を作成する。ダイレクトトンネル領域上に延在するレジストマスクを示すが、ハードマスク H M と重なりを有すればよい。

40

【 0 0 5 8 】

図 5 (E) に示すように、ハードマスク層 H M 及びホトレジストパターン P R 7 をマスクとし、インターポリ絶縁層 I P 、フローティングゲート電極層 F G のエッチングを行う。選択トランジスタ領域にはフローティングゲート電極のみを有する選択トランジスタのゲート電極が作成される。

【 0 0 5 9 】

図 6 (A) - (D) は、第 2 の実施例とロジック回路形成プロセスの親和性を示す断面図である。

図中左側にダイレクトトンネルメモリ素子の構成を示し、右側にロジック回路領域の構

50

成を示す。

【 0 0 6 0 】

図 6 (A) は、フローティングゲート電極層、コントロールゲート電極層、ハードマスク層を積層し、その上にレジストパターン P R 6 を形成した図 5 (B) に相当する状態である。ロジック回路領域においても同様の積層が形成されるが、ホットレジストパターン P R 6 は形成されない。この状態でハードマスク層 H M、コントロールゲート層 C G のエッチングを行う。

【 0 0 6 1 】

図 6 (B) に示すように、ロジック回路領域においては全面的にハードマスク層 H M とコントロールゲート電極層 C G が除去される。ダイレクトトンネルメモリ領域においては、ハードマスク層 H M がパターンニングされ、同一形状にコントロールゲート電極 C G がパターンニングされる。ホットレジストパターン P R 6 はアッシング等により除去する。

10

【 0 0 6 2 】

図 6 (C) は、ゲート電極対応ホットレジストパターン P R 7 を作成した状態を示す。図 5 (D) に対応する。ダイレクトトンネルメモリ素子の選択トランジスタのゲート電極パターン及びロジック回路領域のゲート電極パターンを示すホットレジストパターン P R 7 が形成される。ホットレジストパターン P R 7 及びハードマスク層 H M をエッチングマスクとし、インターポリ絶縁層 I P、フローティングゲート電極層 F G をエッチングする。その後、ホットレジストパターン P R 7 は、アッシングなどにより除去する。

【 0 0 6 3 】

図 6 (D) に示すように論理回路領域においてはフローティングゲート電極層から形成されたゲート電極 G、ダイレクトトンネルメモリ領域においては選択トランジスタの上にフローティングゲート電極 F G のみのゲート電極が配置され、ダイレクトトンネル領域においてはフローティングゲート F G とコントロールゲート C G の積層のゲート電極が配置される。その後、トランジスタのソース/ドレイン領域形成用イオン注入を行なうと、論理回路のゲート電極 G 及び選択トランジスタのフローティングゲート F G にも不純物が注入される。ダイレクトトンネル領域のフローティングゲート F G は、このイオン注入から保護されており、所望の低不純物濃度を維持することができる。

20

【 0 0 6 4 】

図 7 (A) は、このようにして作成されるダイレクトトンネルメモリの断面構成を概略的に示す。図中右側が選択トランジスタ部分であり、左側がダイレクトトンネル領域を示す。ダイレクトトンネル領域には、フローティングゲート電極とコントロールゲート電極との積層ゲート電極が形成されている。選択トランジスタ領域にはフローティングゲート電極 F G のみが配置され、コントロールゲート電極 C G は除去されている。

30

【 0 0 6 5 】

コントロールゲート電極 C G とフローティングゲート電極 F G とは容量結合をしており、コントロールゲート電極 C G に所定のバイアス電圧を印加することにより、フローティングゲート電極 F G にバイアス電圧を印加することができる。選択トランジスタ領域からダイレクトトンネル領域までチャンネルを誘起すると、例えばソース領域 S からトンネル絶縁層下部までチャンネルを介してキャリアを供給することが可能となる。

40

【 0 0 6 6 】

図 7 (B) は、第 2 の実施例の平面形状を概略的に示す。第 1 の実施例同様、シャロートレンチアイソレーション S T I により選択トランジスタを形成する領域とダイレクトトンネル領域とが画定されている。ダイレクトトンネル領域と選択トランジスタのチャンネル領域とを覆い、フローティングゲート電極 F G が形成され、ダイレクトトンネル領域のフローティングゲート電極 F G 上には、さらにインターポリ絶縁層 I P を介してコントロールゲート電極 C G が積層されている。選択トランジスタのゲート長は L であり、ゲート幅は W である。ダイレクトトンネル領域の薄いトンネル酸化膜の寸法は $DW \times DL$ である。

【 0 0 6 7 】

図 7 (C) は、第 2 の実施例の動作に用いる電圧を示す表である。書き込み動作の時は

50

、コントロールゲート電極CGに5Vを印加する。ソースS、ドレインD及び半導体基板Bは0Vに設定する。消去動作の場合は、コントロールゲート電極に印加する電圧を-5Vに変更する。その他の電圧は書き込み時と同一である。トランジスタをオンにして蓄積情報を読み出す時には、コントロールゲートCG及びドレインDに1Vを印加する。ソース及び基板は0Vである。

【0068】

第2の実施例に従って作成したダイレクトトンネルメモリの電気特性を図8、図9に示す。サンプルの形状は、図7(A)、(B)におけるゲート長Lは $0.18\mu\text{m}$ 、ゲート幅Wは $10\mu\text{m}$ 、ダイレクトトンネル領域の寸法 $DL = 0.28\mu\text{m}$ 、 $DW = 10.2\mu\text{m}$ である。ダイレクトトンネル領域のトンネル酸化膜の厚さは 2.3nm であり、書き込みの際の各端子の電圧は図7(C)の表の通りである。

10

【0069】

基板とフローティングゲート間の容量を C_{FG} 、フローティングゲートとコントロールゲート間の容量を C_{CG} とした時、カップリング比 $= C_{CG} / (C_{FG} + C_{CG})$ が 0.34 、 0.47 、 0.67 となる3種類のサンプルを作成した。

【0070】

図8は、書き込み特性及び消去特性を示す。書き込みと消去の速度はほぼ等しく、ダイレクトトンネルによって行われていることが分かる。又、カップリング比を上げることにより、より高速動作が可能である。

【0071】

20

図9は、リテンション特性の燐濃度依存性を示している。横軸が時間経過を示し、縦軸が閾値を示す。図中、上側の曲線が書き込み(電子注入)により閾値を上げた状態の経時変化を示し、下側の曲線が消去(電子排出)により閾値を下げた状態の経時変化を示す。不揮発性メモリは、閾値変化がほとんどないが、ダイレクトトンネルメモリは揮発性であり、閾値が経時変化する。書き込みの場合はフローティングゲートから基板への電子の漏れにより、消去の場合は基板からフローティングゲートへの電子の注入により、閾値は時間と共に自然な電荷中性(neutral)な状態に移行する。2つの状態の判別のためには、書き込み後の状態と消去後の状態の間に一定値以上の差が必要である。

【0072】

薄い酸化膜を用いながらもゲートの燐濃度を低下させることにより、リテンション時間が大幅に改善していることがわかる。燐濃度が低いと、空乏層が拡がり、1)トンネルに寄与する電子が酸化膜近傍から離される、2)バンドベンディングによる電圧降下により酸化膜および基板に印加される電圧が低減される、ことによりリテンション特性が向上すると考えられる。リテンション特性を向上させれば、リフレッシュ間隔を長く設定でき、低消費電力化の実現が可能である。

30

【0073】

上述の実施例においては、ダイレクトトンネルメモリの選択トランジスタのゲート電極の延長上にダイレクトトンネル領域を配置した。選択トランジスタとダイレクトトンネル領域との配置は種々の形態が可能である。

【0074】

40

図10(A)は、第1の実施例と第2の実施例によるダイレクトトンネルメモリの平面配置をまとめて示す。選択トランジスタ用領域11とダイレクトトンネル領域12とがT字型の活性領域を形成している。コントロールゲート電極とフローティングゲート電極の積層からなるゲート電極Gがダイレクトトンネル領域12を覆い、選択トランジスタのチャネル領域上に延在する。コントロールゲート電極とフローティングゲート電極を同一形上とした場合が第1の実施例であり、破線部分より右側のコントロールゲート電極を除去した構成が第2の実施例である。

【0075】

フローティングゲート電極下にチャネルが誘起されると、高濃度の n^+ 領域であるソース領域S、ドレイン領域Dは、チャネルを通じてダイレクトトンネル領域に電氣的に接続

50

される。このようにして、ダイレクトトンネル領域にキャリアを供給することができる。

【0076】

図10(B)は、平面構成の他の例を示す。選択トランジスタ用領域11とダイレクトトンネル素子領域12とがT字型の活性領域を形成している点は図10(A)と同様であるが、ゲート電極Gは読み出し用トランジスタ単独の領域に配置され、ダイレクトトンネル素子領域12は選択トランジスタのゲート電極とは別の場所でソース領域Sに連続している。ソース/ドレインのイオン注入を行うと、ダイレクトトンネル素子領域の付け根部分もソース領域Sとなる。フローティングゲート電極FG下にチャンネルが誘起されると、ダイレクトトンネル領域とソース領域とがチャンネルで接続される形状となる。選択トランジスタのゲート電極をフローティングゲート電極のみで形成する場合は、破線よりも右側のコントロールゲート電極を除去する。

10

【0077】

図11は、図10(A)のマスクパターンを用いた場合と、図10(B)のマスクパターンを用いた場合のダイレクトトンネルメモリの書き込み特性の測定例を示す。ゲート長Lは $0.18\ \mu\text{m}$ 、ゲート幅Wは $10\ \mu\text{m}$ 、ダイレクトトンネル領域の寸法 $DL = 0.28\ \mu\text{m}$ 、 $DW = 10.2\ \mu\text{m}$ である。ダイレクトトンネル領域のトンネル酸化膜は厚さ $2.3\ \text{nm}$ であり、書き込みの際の各端子の電圧は図7(C)の通りである。書き込み特性は、マスクパターンによらずほとんど同一である。

【0078】

図12(A)、(B)は、ダイレクトトンネルメモリの回路構成例とその特性を示す。図12(A)は、AND型のセルレイアウトを示す。各セルのゲートに接続されたワード線WLが行方向に延在し、各セルのソースおよびドレインに接続されたソース線SL、ビット線BLが列方向に延在する。セルAに書き込みを行なう場合は、セルAのワード線に $V_{WL1} = 5\ \text{V}$ を印加し、ソース線及びビット線は $0\ \text{V}$ にする。他の列のソース線及びビット線は $3\ \text{V}$ に設定する。セルAに隣接するセルBのゲートディスタブ及びその1行下のセルCのドレインディスタブが図12(B)に示されている。セルBのゲートディスタブは 10^6 、セルCのドレインディスタブは 10^8 以上の比が得られており、これまでのダイレクトトンネルメモリに対してディスタブを効果的に抑制できていることが分かる。

20

【0079】

以上実施例に従って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、ゲート絶縁膜とトンネル絶縁膜とは異なる材料で形成してもよい。単層絶縁膜の他、積層絶縁膜を用いてもよい。ゲート絶縁膜として、公知の種々の絶縁膜または絶縁積層を用いることができる。ゲート絶縁膜、トンネル絶縁膜の膜厚の異なる絶縁膜を、2回以上の酸化プロセス、減速イオン注入や増速イオン注入と1回の酸化プロセスとの組合せ等により形成することもできる。

30

【0080】

トンネル絶縁膜を酸化シリコンで形成する場合を説明したが、トンネル絶縁膜は SiO 、 SiN 、 SiON (組成は省略して示した)等、 Si を含む酸化物、窒化物、酸化窒化物から選択された1種類以上の絶縁物で形成することができる。さらに、トンネル絶縁膜を AlO 、 HfO 、 ZrO 、 HfSiO 、 ZrSiO 、 HfSiON 、 ZrSiON 、 HfAlO 、 HfAlON (組成は省略して示した)等 Al 、 Hf 、 Zr 等の金属を1種類以上含む酸化物、窒化物、珪化物、酸窒化物、珪化窒化物、珪酸塩、珪酸塩の窒化物から選択した1種類以上の材料で形成することもできる。

40

その他、種々の変更、改良、組合わせが可能なのは当業者に自明であろう。以下、本発明の特長を付記する。

(付記1)(1)半導体基板と、

前記半導体基板に形成され、選択トランジスタ領域と直接トンネル素子領域とを含む連続した活性領域を画定する素子分離領域と、

前記選択トランジスタ領域のチャンネル部の上に形成されたゲート絶縁膜と、

50

前記直接トンネル素子領域の一部上に形成され、前記ゲート絶縁膜と厚さの異なる、トンネル絶縁膜と、

前記ゲート絶縁膜、およびトンネル絶縁膜を含む領域上に形成された連続したフローティングゲート電極と、

前記フローティングゲート電極の表面上に形成された電極間絶縁層と、

前記電極間絶縁層を介して前記フローティングゲート電極と対向するコントロールゲート電極と、

前記選択トランジスタ領域のチャネル部の両側に形成され、前記トンネル絶縁膜と重なりを有さない1対のソース/ドレイン領域と、

を有する半導体装置。

10

(付記2)(2) 前記フローティングゲート電極に順バイアスを印加し、前記フローティングゲート電極全面に亘って下方にチャネルを誘起した状態では、選択トランジスタのソース/ドレイン領域と前記直接トンネル素子領域のトンネル絶縁膜下の領域とが電氣的に接続されている付記1記載の半導体装置。

(付記3)(3) 前記トンネル絶縁膜は、前記1対のソース/ドレイン領域間を搬送されるキャリアの走行領域上には存在しない付記1または2記載の半導体装置。

(付記4) 前記選択トランジスタ領域と直接トンネル素子領域とがT字型活性領域を形成し、前記トンネル絶縁層は、T字型の縦棒部分に形成されている付記1-3のいずれか1項記載の半導体装置。

(付記5) 前記フローティングゲート電極は、T字型の縦棒の付け根部分で選択トランジスタのゲートを構成し、前記縦棒を覆って延在する付記4記載の半導体装置。

20

(付記6) 前記フローティングゲート電極は、T字型の横棒の1辺を横切って選択トランジスタのゲートを構成し、素子分離領域上を延在して前記トンネル絶縁層を覆う付記4記載の半導体装置。

(付記7)(4) さらに、前記コントロールゲート電極上に形成されたハードマスク層を有し、前記コントロールゲート電極、前記電極間絶縁層、前記フローティングゲート電極は、前記ハードマスク層と自己整合した平面形状を有する付記1-6のいずれか1項記載の半導体装置。

(付記8)(5) 前記コントロールゲート電極は、前記選択トランジスタ領域上方には配置されず、前記選択トランジスタのゲート電極は前記フローティングゲート電極のみで形成されている付記1-6のいずれか1項記載の半導体装置。

30

(付記9)(6) 前記素子分離領域は、前記半導体基板に論理トランジスタ領域も画定し、さらに

前記論理トランジスタ領域のチャネル部上に形成された他のゲート絶縁膜と、

前記他の絶縁膜の上に形成された、前記フローティングゲート電極と同一の層から形成された論理ゲート電極と、

を有する請求項1-8のいずれか1項記載の半導体装置。

(付記10) 前記論理トランジスタ領域は複数種類の前記他のゲート電極を含み、前記他のゲート絶縁膜の1つの厚さと、前記ゲート絶縁膜の厚さとが等しい付記9記載の半導体装置。

40

(付記11)(7) (a) 半導体基板に選択トランジスタ領域と直接トンネル素子領域とを含む連続した活性領域を画定する素子分離領域を形成する工程と、

(b) 前記選択トランジスタ領域のチャネル部上にゲート絶縁膜を形成する工程と、

(c) 前記直接トンネル素子領域の一部上に、前記ゲート絶縁膜と厚さの異なる、トンネル絶縁膜を形成する工程と、

(d) 前記ゲート絶縁膜、およびトンネル絶縁膜を含む領域上方に連続したフローティングゲート電極層を形成する工程と、

(e) 前記フローティングゲート電極層の上に電極間絶縁層を形成する工程と、

(f) 前記電極間絶縁層の上にコントロールゲート電極層を形成する工程と、

(g) 前記コントロールゲート電極層、前記電極間絶縁層、前記フローティングゲート

50

電極層をパターニングする工程と、

(h) 前記選択トランジスタ領域のチャンネル部の両側に、前記トンネル絶縁膜と重なりを有さない1対のソース/ドレイン領域を形成する工程と、
を有する半導体装置の製造方法。

(付記12) 前記工程(c)は、前記ゲート絶縁膜を除去し、露出した半導体表面にトンネル絶縁膜を形成する付記11記載の半導体装置の製造方法。

(付記13) (8) 前記工程(a)は、前記直接トンネル素子領域を前記選択トランジスタ領域の一部に連続するように配置し、

前記工程(c)は、前記トンネル絶縁膜を前記1対のソース/ドレイン領域間を搬送されるキャリアの走行領域上には存在しないように配置し、

前記フローティングゲート電極に順バイアスを印加し、前記フローティングゲート電極全面に亘って下方にチャンネルを誘起した状態では、前記選択トランジスタのソース/ドレイン領域と前記トンネル素子領域のトンネル絶縁膜下の領域とが電氣的に接続されるようにする付記11または12記載の半導体装置の製造方法。

(付記14) さらに、(m) 前記選択トランジスタ領域に第1の閾値を実現するための不純物添加を活性領域全体に行い、前記直接トンネル領域に第1の閾値より高い第2の閾値を実現するための追加的不純物添加を行う工程を含む付記11-13のいずれか1項記載の半導体装置の製造方法。

(付記15) 前記工程(g)は、

(g-1) 前記コントロールゲート電極層の上にハードマスクを形成する工程と、

(g-2) 前記コントロールゲート電極層を前記ハードマスクと同一平面形状にパターニングする工程を含む付記11-14のいずれか1項記載の半導体装置の製造方法。

(付記16) 前記工程(g)は、

(g-3) 前記ハードマスクとレジストマスクを用いて前記フローティングゲート電極層をパターニングする工程を含む付記15記載の半導体装置の製造方法。

(付記17) 前記工程(g-2)、(g-3)が、前記活性領域上で前記フローティングゲート電極層を前記コントロールゲート電極層と同一平面形状にパターニングする付記16記載の半導体装置の製造方法。

(付記18) 前記工程(g-2)、(g-3)が、前記選択トランジスタ領域では前記フローティングゲート電極層のみで形成されたゲート電極をパターニングする付記16記載の半導体装置の製造方法。

(付記19) (9) 前記工程(a)は、論理トランジスタ活性領域も画定する素子分離領域を形成し、さらに、

(i) 前記コントロールゲート電極層上にハードマスク層を形成する工程と、

(j) 前記活性領域上の前記ハードマスク層、前記コントロールゲート電極層をパターニングすると共に、前記論理トランジスタ活性領域上では前記ハードマスク層、コントロール電極層を除去する工程と、

(k) 前記活性領域では前記ハードマスク層、前記コントロールゲート電極層をマスクとして、前記フローティングゲート電極層をパターニングすると共に、前記論理トランジスタ活性領域ではレジストマスクを用いて前記フローティングゲート電極層をパターニングする工程と、

を有する付記11-14のいずれか1項記載の半導体装置の製造方法。

(付記20) (10) 前記工程(a)は、論理トランジスタ活性領域も画定する素子分離領域を形成し、さらに、

(i) 前記コントロールゲート電極層上にハードマスク層を形成する工程と、

(j) 前記直接トンネル素子領域内で前記活性領域上の前記ハードマスク層、前記コントロールゲート電極層をパターニングすると共に、前記選択トランジスタ領域、前記論理トランジスタ活性領域では前記ハードマスク層、コントロール電極層を除去する工程と、

(k) 前記直接トンネル素子領域では前記ハードマスク層、前記コントロールゲート電

10

20

30

40

50

極層をマスクとして、前記フローティングゲート電極層をパターニングすると共に、前記選択トランジスタ領域、前記論理トランジスタ活性領域ではレジストマスクを用いて前記フローティングゲート電極層をパターニングする工程と、
を有する付記 1 1 - 1 4 のいずれか 1 項記載の半導体装置の製造方法。

【図面の簡単な説明】

【 0 0 8 1 】

【図 1】本発明の実施例によるダイレクトトンネルメモリの製造工程を示す斜視図である。

【図 2】本発明の実施例によるダイレクトトンネルメモリの製造工程を示す斜視図である。

【図 3】本発明の第 1 の実施例によるダイレクトトンネルメモリの製造工程を説明する斜視図、平面図、断面図である。

【図 4】第 1 の実施例のロジックトランジスタ製造工程との親和性を示す断面図である。

【図 5】本発明の第 2 の実施例によるダイレクトトンネルメモリの製造工程を示す斜視図である。

【図 6】第 2 の実施例のロジック回路製造工程との親和性を示す断面図である。

【図 7】第 2 の実施例の構成及び動作を説明するための断面図、平面図、印加電圧の表である。

【図 8】第 2 の実施例によるサンプルの特性を示すグラフである。

【図 9】第 2 の実施例によるサンプルの特性を示すグラフである。

【図 10】平面構成の変形例を示す平面図である。

【図 11】図 10 のマスクパターンを変化させた時の特性の変化を示すグラフである。

【図 12】ダイレクトトンネルメモリのセルレイアウト及びディスターブ特性を示す等価回路図とグラフである。

【図 13】従来技術を示す断面図である。

【符号の説明】

【 0 0 8 2 】

1 10 半導体基板

S T I シャロートレンチアイソレーション

A R 活性領域

1 1 選択トランジスタ領域

1 2 ダイレクトトンネル素子領域

D T ダイレクトトンネル領域

G o x ゲート酸化膜

T o x トンネル酸化膜

F G フローティングゲート電極

C G コントロールゲート電極

I P インターポリ絶縁層

H M ハードマスク層

2 0 層間絶縁膜

2 1 導電性プラグ

S W サイドウォール

S I L シリサイド領域

E x t エクステンション

H D D 高濃度領域

G ゲート電極

P R ホトレジスト

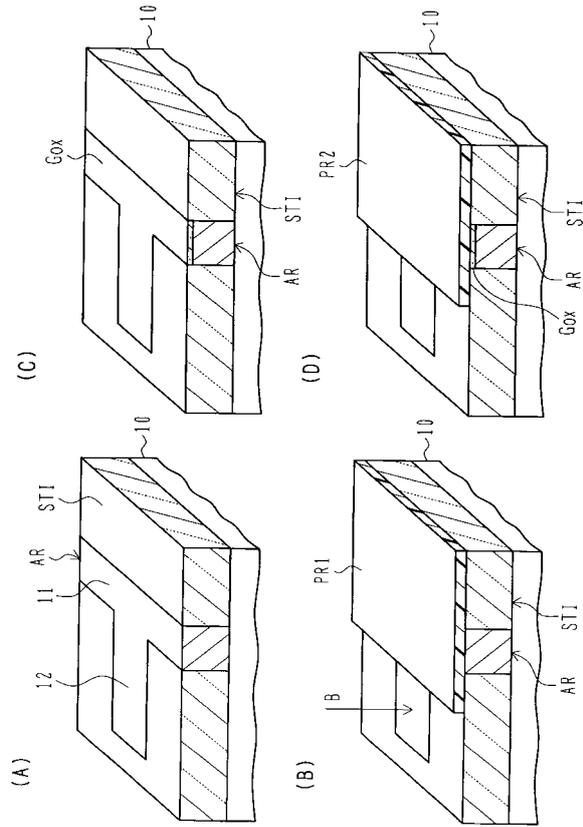
10

20

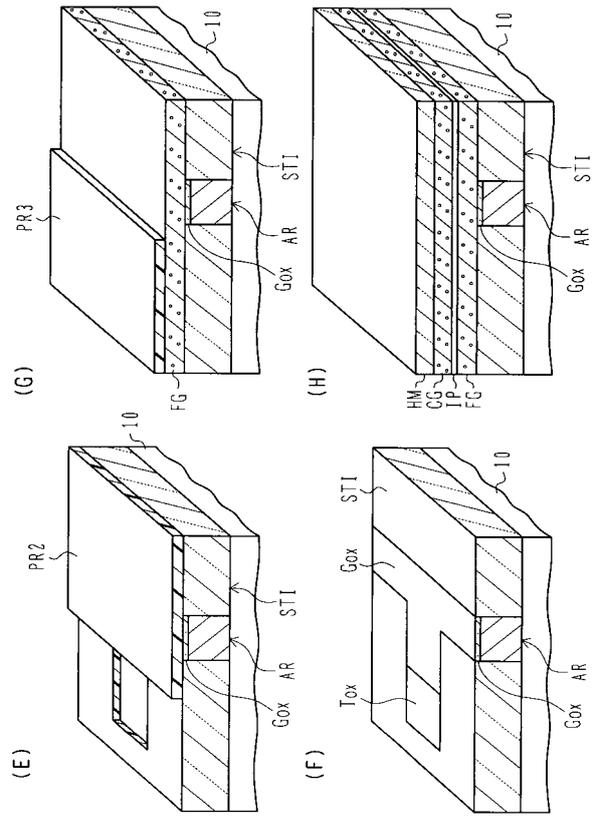
30

40

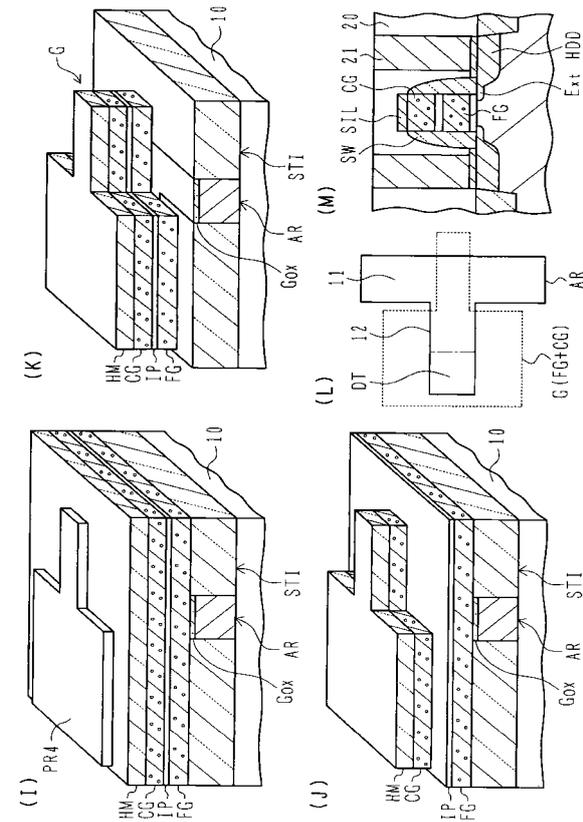
【図 1】



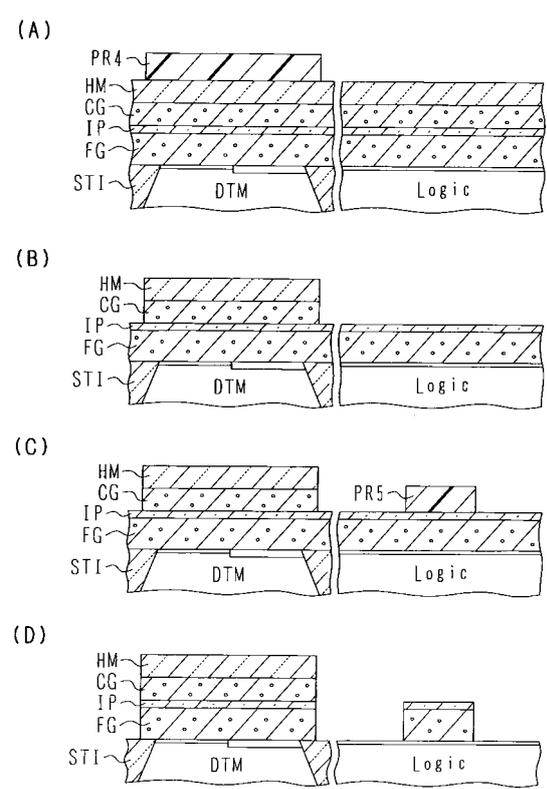
【図 2】



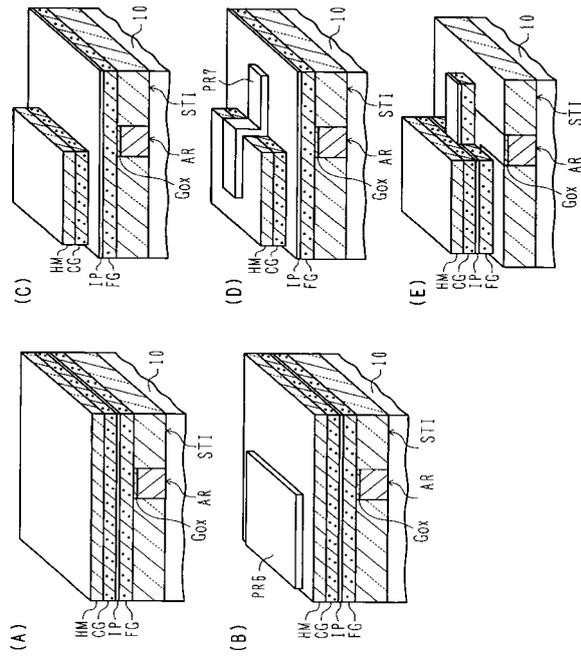
【図 3】



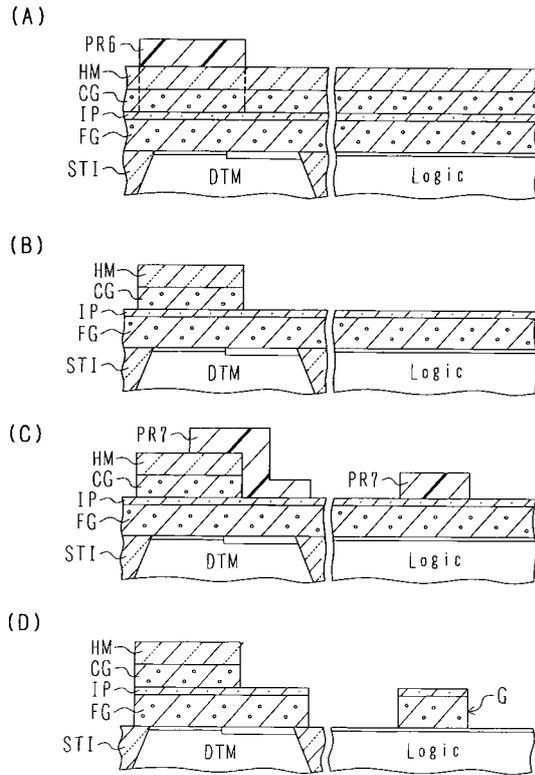
【図 4】



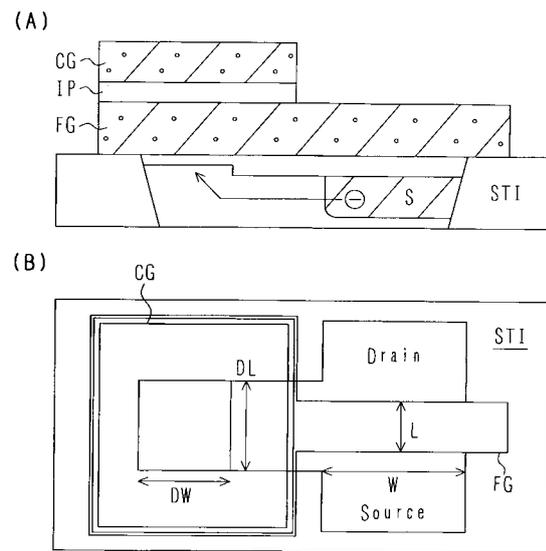
【図5】



【図6】



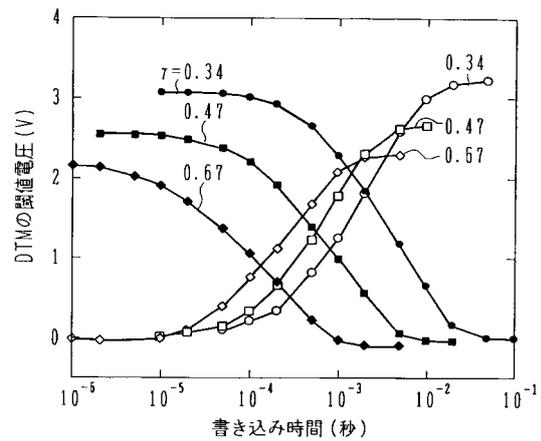
【図7】



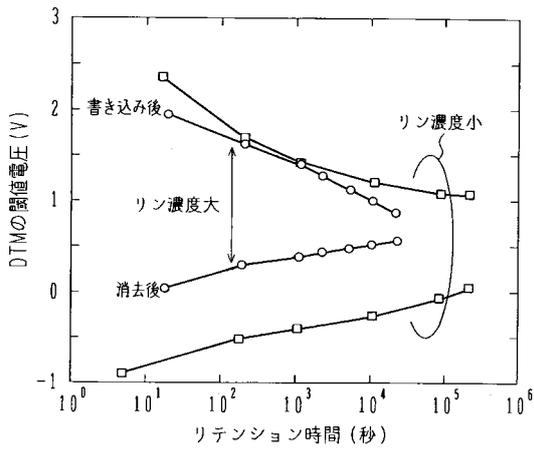
(C)

動作電圧 (V)	CG	D	S	B
書き込み	5	0	0	0
消去	-5	0	0	0
読み出し	1	1	0	0

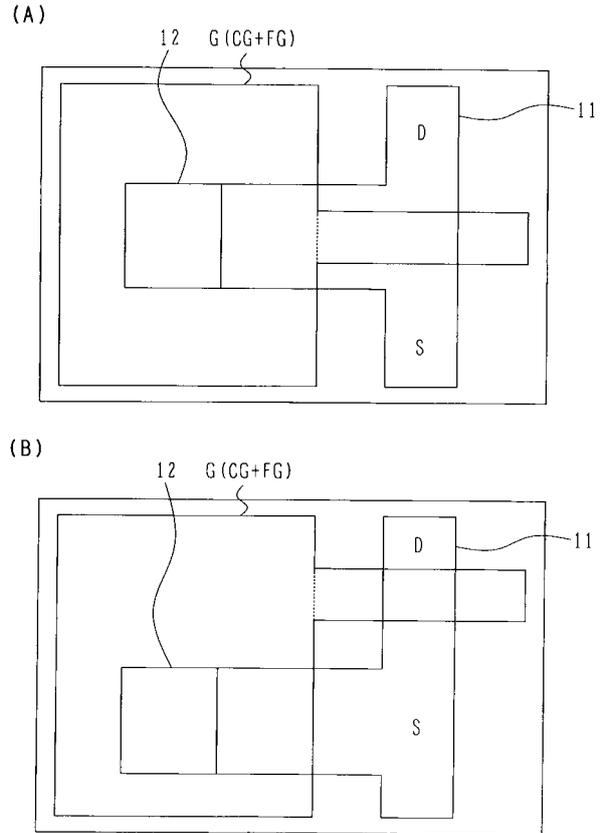
【図8】



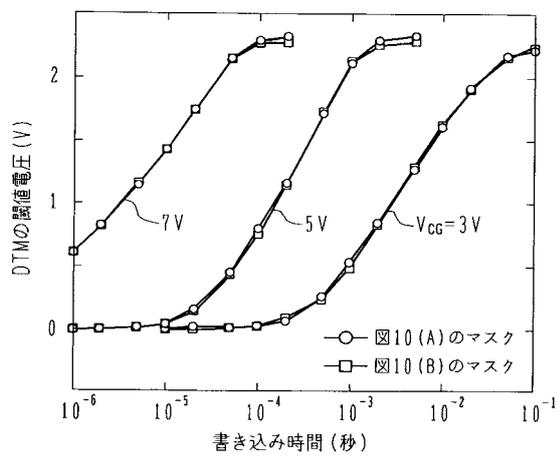
【図9】



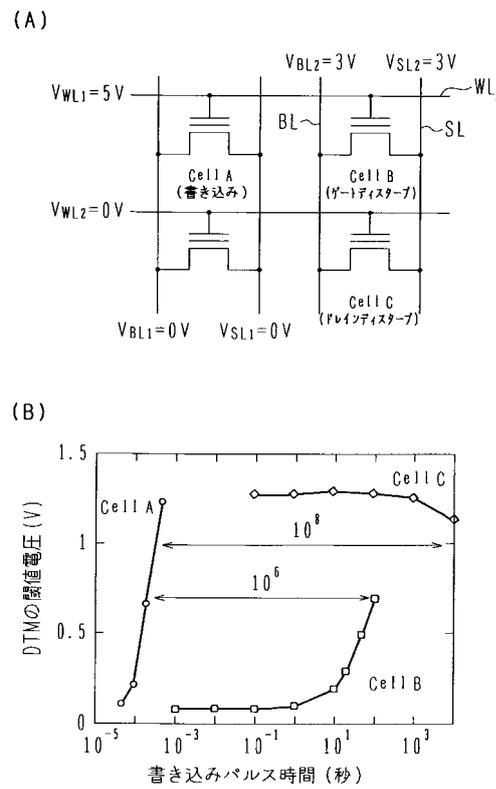
【図10】



【図11】



【図12】



フロントページの続き

(72)発明者 田口 眞男

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 井原 純

(56)参考文献 特表2003-503851(JP,A)

特表平11-510315(JP,A)

特開平11-031799(JP,A)

特開平04-211177(JP,A)

特開2002-093925(JP,A)

特開2000-269465(JP,A)

特開昭48-021477(JP,A)

特開昭48-026438(JP,A)

特開昭50-075340(JP,A)

特開平03-101272(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247

H01L 27/115

H01L 29/788

H01L 29/792