



(12) 发明专利申请

(10) 申请公布号 CN 102074503 A

(43) 申请公布日 2011. 05. 25

(21) 申请号 201010516291. 1

(22) 申请日 2010. 10. 19

(71) 申请人 友达光电股份有限公司

地址 中国台湾新竹市

(72) 发明人 吴彦锋

(74) 专利代理机构 隆天国际知识产权代理有限

公司 72003

代理人 姜燕 陈晨

(51) Int. Cl.

H01L 21/77(2006. 01)

H01L 27/12(2006. 01)

G02F 1/1362(2006. 01)

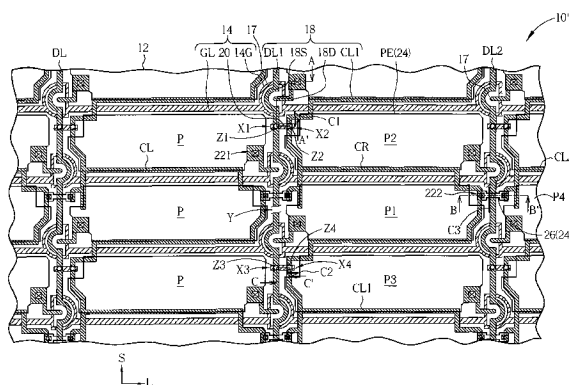
权利要求书 2 页 说明书 6 页 附图 10 页

(54) 发明名称

显示面板的阵列基板及其修补方法

(57) 摘要

一种显示面板的阵列基板及其修补方法，该方法包括下列步骤。提供一阵列基板，其包括基板、栅极线、数据线、共通线与修补线段。栅极线与数据线呈交叉设置并定义出多个像素区，数据线包括一第一数据线，共通线包括一第一共通线。第一数据线具有一断线缺陷。进行一切割工艺，于第一共通线形成一第一切断处与一第二切断处，以使第一切断处与第二切断处之间的第一共通线形成一浮置的共通修补线段。进行一连接工艺，电性连接修补线段、第一数据线与共通修补线段，以使得共通修补线段作为第一数据线的一替代线路。本发明可有效提升修补后的显示面板的显示品质，并可实现窄边框的设计。



1. 一种显示面板的阵列基板的修补方法,包括:
提供一阵列基板,该阵列基板包括:
一基板;
一第一图案化导电层,设置于该基板上,该第一图案化导电层包括多条栅极线;
一第二图案化导电层,设置于该基板上,该第二图案化导电层包括多条数据线与多条共通线,其中所述多条栅极线与所述多条数据线呈交叉设置并定义出多个像素区,所述多条数据线包括一第一数据线,所述多条共通线包括一第一共通线,所述多个像素区包括一第一像素区、一第二像素区与一第三像素区,该第一像素区、该第二像素区与该第三像素区位于该第一数据线的同一侧,该第一像素区位于该第二像素区与该第三像素区之间,该第一共通线穿越该第一像素区、该第二像素区与该第三像素区,且该第一数据线具有一断线缺陷位于该第一像素区的一侧;以及
多个修补线段,设置于各该像素区内;
进行一切割工艺,于该第二像素区内的该第一共通线形成一第一切断处,以及于该第三像素区内的该第一共通线形成一第二切断处,以使该第一切断处与该第二切断处之间的该第一共通线形成一浮置的共通修补线段;以及
进行一连接工艺,电性连接该第二像素区的该修补线段、该第一数据线与该共通修补线段,以及电性连接该第三像素区的该修补线段、该第一数据线与该共通修补线段,以使得该共通修补线段作为该第一数据线的一替代线路。
2. 如权利要求 1 所述的显示面板的阵列基板的修补方法,其中所述多个像素区另包括一第四像素区,该第四像素区与该第一像素区相邻且未与该第一像素区共用该第一数据线,所述多条共通线另包括一第二共通线位于该第四像素区内,以及一桥接共通线电性连接该第一像素区的该第一共通线与该第四像素区的该第二共通线,且该切割工艺另包括于该桥接共通线形成一第三切断处,以切断该第一共通线与该第二共通线之间的电性连接。
3. 如权利要求 2 所述的显示面板的阵列基板的修补方法,其中该桥接共通线包括一透明桥接共通线。
4. 如权利要求 1 所述的显示面板的阵列基板的修补方法,其中所述多个修补线段为该第一图案化导电层的一部分。
5. 如权利要求 2 所述的显示面板的阵列基板的修补方法,其中各该修补线段与所述多条栅极线的其中之一电性连接,且该切割工艺另包括形成一第四切断处以切断该第二像素区的该修补线段与相对应的该栅极线之间的电性连接,以及形成一第五切断处以切断该第三像素区的该修补线段与相对应的该栅极线之间的电性连接。
6. 如权利要求 1 所述的显示面板的阵列基板的修补方法,其中该切割工艺包括一激光切割工艺。
7. 如权利要求 1 所述的显示面板的阵列基板的修补方法,其中该第二像素区的该修补线段与该第一数据线部分重叠而形成一第一交叉点,该第二像素区的该修补线段与该第一共通线部分重叠而形成一第二交叉点,该第三像素区的该修补线段与该第一数据线部分重叠而形成一第三交叉点,该第三像素区的该修补线段与该第一共通线部分重叠而形成一第四交叉点。
8. 如权利要求 7 所述的显示面板的阵列基板的修补方法,其中该连接工艺包括进行一

激光熔接工艺,以分别熔接位于该第一交叉点的该修补线段与该第一数据线以形成一第一连接点、位于该第二交叉点的该修补线段与该第一共通线以形成一第二连接点、位于该第三交叉点的该修补线段与该第一数据线以形成一第三连接点,以及位于该第四交叉点的该修补线段与该第一共通线以形成一第四连接点。

9. 如权利要求 1 所述的显示面板的阵列基板的修补方法,其中各该像素区为一长方形区域,其具有一长轴与一短轴,且所述多条栅极线大体上平行于各该像素区的该长轴。

10. 一种显示面板的阵列基板,包括:

一基板;

一第一图案化导电层,设置于该基板上,该第一图案化导电层包括多条栅极线;

一第二图案化导电层,设置于该基板上,该第二图案化导电层包括多条数据线与多条共通线,其中所述多条栅极线与所述多条数据线呈交叉设置并定义出多个像素区,所述多条数据线包括一第一数据线,所述多条共通线包括一第一共通线,所述多个像素区包括一第一像素区、一第二像素区与一第三像素区,该第一像素区、该第二像素区与该第三像素区位于该第一数据线的同一侧,该第一像素区位于该第二像素区与该第三像素区之间,该第一共通线穿越该第一像素区、该第二像素区与该第三像素区,且该第一数据线具有一断线缺陷位于该第一像素区的一侧;以及

多个修补线段,设置于各该像素区内;

其中该第一共通线具有一第一切断处位于该第二像素区内,以及一第二切断处位于该第三像素区内,且该第一切断处与该第二切断处之间的该第一共通线形成一浮置的共通修补线段;以及

其中于该第二像素区内,该第一数据线与该共通修补线段借由该修补线段电性连接,于该第三像素区内,该第一数据线与该共通修补线段借由该修补线段电性连接,借此使得该共通修补线段形成该第一数据线的一替代线路。

11. 如权利要求 10 所述的显示面板的阵列基板,其中所述多个像素区另包括一第四像素区,该第四像素区与该第一像素区相邻且未与该第一像素区共用该第一数据线,所述多条共通线另包括一第二共通线位于该第四像素区内,以及一桥接共通线连接该第一像素区的该第一共通线与该第四像素区的该第二共通线,该桥接共通线另具有一第三切断处切断该第一共通线与该第二共通线之间的电性连接。

12. 如权利要求 11 所述的显示面板的阵列基板,其中该桥接共通线包括一透明桥接共通线。

13. 如权利要求 10 所述的显示面板的阵列基板,其中所述多个修补线段为该第一图案化导电层的一部分。

14. 如权利要求 10 所述的显示面板的阵列基板,其中该第二像素区的该修补线段与该第一数据线部分重叠而形成一第一连接点,该第二像素区的该修补线段与该第一共通线部分重叠而形成一第二连接点,该第三像素区的该修补线段与该第一数据线部分重叠而形成一第三连接点,该第三像素区的该修补线段与该第一共通线部分重叠而形成一第四连接点。

15. 如权利要求 10 所述的显示面板的阵列基板,其中各该像素区为一长方形区域,其具有一长轴与一短轴,且所述多条栅极线大体上平行于各该像素区的该长轴。

显示面板的阵列基板及其修补方法

技术领域

[0001] 本发明涉及一种显示面板的阵列基板及其修补方法,尤其涉及一种具有低电阻电容负载与高显示品质的显示面板的阵列基板及其修补方法。

背景技术

[0002] 显示面板,例如液晶显示面板主要由阵列基板(array substrate)、彩色滤光片基板(CF substrate)、以及填充于两基板之间的液晶分子所组成,其中阵列基板上设有多个呈阵列状排列的像素区,以及栅极线、数据线、共通线与薄膜晶体管等元件。随着液晶显示器的应用日渐普及,消费者对于液晶显示器的解析度与像素开口率的要求也不断向上提升,而为了满足高解析度与高像素开口率的规格,导线的线宽必须缩减,且导线的密度必须提高。在上述情况下,在制作阵列基板上的栅极线、数据线或其它导线图案时,缺陷产生的机率也会随之增加。在成本考量下,若此缺陷在可修补的范围内,一般会于阵列基板的周边区先行布设用来修补数据线或栅极线的修补线路,借此当数据线或栅极线上产生断线缺陷时,可使用修补线路作为替代线路。然而,由于修补线路布设于阵列基板的周边区,因此修补线路的电阻电容负载会因其路径过长而增加,一旦作为替代线路时会造成信号延迟而使得像素充电时间不足,而影响显示品质。此外,阵列基板的周边区必须保留足够空间以布设修补线路,使得公知液晶显示面板无法具有窄边框的设计。

发明内容

[0003] 本发明的目的之一在于提供一种显示面板的阵列基板及其修补方法,以减少阵列基板的修补线路的电阻电容负载。

[0004] 本发明的一优选实施例提供一种显示面板的阵列基板的修补方法,包括下列步骤。提供一阵列基板,其中阵列基板包括一基板、一第一图案化导电层、一第二图案化导电层,以及多个修补线段。第一图案化导电层设置于基板上,且第一图案化导电层包括多条栅极线。第二图案化导电层设置于基板上,且第二图案化导电层包括多条数据线与多条共通线。栅极线与数据线呈交叉设置并定义出多个像素区,数据线包括一第一数据线,共通线包括一第一共通线,且像素区包括一第一像素区、一第二像素区与一第三像素区。第一像素区、第二像素区与第三像素区位于第一数据线的同一侧,第一像素区位于第二像素区与第三像素区之间,第一共通线穿越第一像素区、第二像素区与第三像素区,且第一数据线具有一断线缺陷位于第一像素区的一侧。修补线段分别设置于各像素区内。进行一切割工艺,于第二像素区内的第一共通线形成一第一切断处,以及于第三像素区内的第一共通线形成一第二切断处,以使第一切断处与第二切断处之间的第一共通线形成一浮置的共通修补线段。进行一连接工艺,电性连接第二像素区的修补线段、第一数据线与共通修补线段,以及电性连接第三像素区的修补线段、第一数据线与共通修补线段,以使得共通修补线段作为第一数据线的一替代线路。

[0005] 本发明的另一优选实施例提供一种显示面板的阵列基板。上述显示面板的阵列基

板包括一基板、一第一图案化导电层、一第二图案化导电层,以及多个修补线段。第一图案化导电层设置于基板上,且第一图案化导电层包括多条栅极线。第二图案化导电层设置于基板上,且第二图案化导电层包括多条数据线与多条共通线。栅极线与数据线呈交叉设置并定义出多个像素区,数据线包括一第一数据线,共通线包括一第一共通线,且像素区包括一第一像素区、一第二像素区与一第三像素区。第一像素区、第二像素区与第三像素区位于第一数据线的同一侧,第一像素区位于第二像素区与第三像素区之间,第一共通线穿越第一像素区、第二像素区与第三像素区,且第一数据线具有一断线缺陷位于第一像素区的一侧。修补线段分别设置于各像素区内。第一共通线具有一第一切断处位于第二像素区内,以及一第二切断处位于第三像素区内,且第一切断处与第二切断处之间的第一共通线形成一浮置的共通修补线段。于第二像素区内,第一数据线与共通修补线段借由修补线段电性连接,于第三像素区内,第一数据线与共通修补线段借由修补线段电性连接,借此使得共通修补线段形成第一数据线的一替代线路。

[0006] 本发明的显示面板的阵列基板的修补方法使用共通线的一部分作为具断线缺陷的数据线的替代线路,因此不会造成电阻电容负载增加,而可有效提升修补后的显示面板的显示品质。此外,由于不需于周边区预留修补线路的布设空间,因此可实现窄边框的设计。

附图说明

[0007] 图 1 至图 4 示出了本发明的第一优选实施例的显示面板的修补方法的示意图。

[0008] 图 5 至图 8 示出了本发明的第二优选实施例的显示面板的修补方法的示意图。

[0009] 图 9 与图 10 示出了本发明的第三优选实施例的显示面板的修补方法的示意图。

[0010] 其中,附图标记说明如下:

[0011]	10	阵列基板	10'	修补后的阵列基板
[0012]	12	基板	14	第一图案化导电层
[0013]	14G	栅极	16	绝缘层
[0014]	17	图案化半导体层	18	第二图案化导电层
[0015]	18S	源极	18D	漏极
[0016]	20	修补线段	22	保护层
[0017]	221	第一开	222	第二开口
[0018]	24	第三图案化导电层	26	桥接共通线
[0019]	GL	栅极线	DL	数据线
[0020]	DL1	第一数据线	DL2	第二数据线
[0021]	CL	共通线	CL1	第一共通线
[0022]	P	像素区	P1	第一像素区
[0023]	P2	第二像素区	P3	第三像素区
[0024]	P4	第四像素区	CL2	第二共通线
[0025]	L	长轴	S	短轴
[0026]	X1	第一交叉点	X2	第二交叉点
[0027]	X3	第三交叉点	X4	第四交叉点

[0028]	Y	断线缺陷	C1	第一切断处
[0029]	C2	第二切断处	C3	第三切断处
[0030]	C4	第四切断处	C5	第五切断处
[0031]	CR	共通修补线段	Z1	第一连接点
[0032]	Z2	第二连接点	Z3	第三连接点
[0033]	Z4	第四连接点	PE	像素电极

具体实施方式

[0034] 为使本领域普通技术人员能更进一步了解本发明,下文特列举本发明的优选实施例,并配合所附附图,详细说明本发明的构成内容及所欲达成的功效。

[0035] 请参考图 1 至图 4。图 1 至图 4 示出了本发明的第一优选实施例的显示面板的阵列基板的修补方法的示意图,其中图 1 与图 3 以俯视图的形式示出,图 2 为沿图 1 的剖面 A-A'、B-B' 与 C-C' 所示出的剖面示意图,图 4 为沿图 3 的剖面 A-A'、B-B' 与 C-C' 所示出的剖面示意图。在本发明中,显示面板可为各种类型的液晶显示面板。如图 1 与图 2 所示,首先,提供一阵列基板(也称为薄膜晶体管基板)10。阵列基板 10 包括一基板 12、一第一图案化导电层 14、一绝缘层 16(图 1 未示)、多个图案化半导体层 17、一第二图案化导电层 18、多个修补线段 20、一保护层 22(图 1 未示)与一第三图案化导电层 24。基板 12 可为一透明基板,例如玻璃基板、石英基板或塑胶基板,但不以此为限。第一图案化导电层 14 可为一图案化金属层,其材料可为例如铝、铬、钼、钨、钽、铜或是上述金属的合金。第一图案化导电层 14 设置于基板 12 上,且第一图案化导电层 14 包括多条栅极线 GL 大体上彼此互相平行设置,以及多个栅极 14G 分别与对应的栅极线 GL 电性连接。绝缘层 16,例如氧化硅层、氮化硅层或氮氧化硅层,覆盖于基板 12 以及第一图案化导电层 14 上。图案化半导体层 17,例如非晶硅层,设置于绝缘层 16 上并对应栅极 14G。第二图案化导电层 18 可为一图案化金属层,其材料可为例如铝、铬、钼、钨、钽、铜或是上述金属的合金。第二图案化导电层 18 设置于基板 12、绝缘层 16 与图案化半导体层 17 上,且第二图案化导电层 18 包括多条数据线 DL、多条共通线 CL、多个源极 18S 与多个漏极 18D。数据线 DL 大体上彼此互相平行设置,且数据线 DL 与栅极线 GL 呈交叉设置并定义出多个像素区 P。另外,各源极 18S 与各漏极 18D 位于一对应的栅极 14G 的上方并对应于栅极 14G 的相对两侧,而形成一薄膜晶体管。数据线 DL 包括一第一数据线 DL1 与一第二数据线 DL2,且共通线 CL 包括一第一共通线 CL1。像素区 P 包括一第一像素区 P1、一第二像素区 P2 与一第三像素区 P3,其中第一像素区 P1、第二像素区 P2 与第三像素区 P3 位于第一数据线 DL1 的同一侧,第一像素区 P1 位于第二像素区 P2 与第三像素区 P3 之间。精确地说,第一像素区 P1、第二像素区 P2 与第三像素区 P3 位于第一数据线 DL1 与第二数据线 DL2 之间,且第一像素区 P1 受第一数据线 DL1 的驱动,而第二像素区 P2 与第三像素区 P3 则受第二数据线 DL2 的驱动。此外,第一共通线 CL1 穿越第一像素区 P1、第二像素区 P2 与第三像素区 P3。

[0036] 在本实施例中,阵列基板 10 选用一具有三栅型(tri-gate)像素结构的液晶显示面板的阵列基板为例说明本发明的修补方法,但本发明的显示面板的阵列基板的修补方法并不以此为限,而可用于修补各种类型的液晶显示面板的阵列基板。三栅型像素结构是指当显示面板的解析度为 $n \times m$,则数据线 DL 的数目为 m ,而栅极线 GL 的数目为 $3n$,相较于具有

单栅型 (single-gate) 像素结构的显示面板, 具有三栅型像素结构的显示面板使用较多的栅极线与较少的数据线, 此一作法可减少高成本与高耗电的源极驱动晶片的数量。此外, 在本实施例中, 各像素区 P 为一长方形区域, 其具有一长轴 L 与一短轴 S, 且栅极线 GL 大体上平行于各像素区 P 的长轴 L, 而数据线 DL 大体上平行于各像素区 P 的短轴 S。

[0037] 在本实施例中, 所有的共通线 CL 形成一彼此互相连接的网状图案, 因此像素区 P 另包括一第四像素区 P4, 其中第四像素区 P4 位于第一像素区 P1 的一侧并与第一像素区 P1 相邻。精确地说, 第四像素区 P4 位于第二数据线 DL2 相对于第一像素区 P1 的另一侧。共通线 CL 另包括一第二共通线 CL2 位于第四像素区 P4 内。此外, 由于数据线 DL 与共通线 CL 均为第二图案化导电层 18 的一部分, 因此位于数据线 DL 的相对两侧的第一共通线 CL1 与第二共通线 CL2 利用由另一导电层所构成的桥接共通线 26 加以电性连接。

[0038] 修补线段 20 分别设置于各像素区 P 内。在本实施例中, 修补线段 20 为第一图案化导电层 14 的一部分, 也即修补线段 20 与栅极线 GL、栅极 14G 由相同的导电层所构成, 且修补线段 20 与栅极线 GL 电性分离, 但不以此为限。举例而言, 各修补线段 20 也可与对应的栅极线 GL 电性连接, 或是修补线段 20 可不为第一图案化导电层 14 的一部分, 而由另一层不同于第一图案化导电层 14 与第二图案化导电层 18 的导电层所构成, 例如修补线段 20 可为第三图案化导电层 24 的一部分。此外, 在本实施例中, 连接于同一条数据线 DL 且相邻的任两薄膜晶体管分别用以驱动位于该数据线 DL 的相对两侧的像素区 P, 但不以此为限。举例而言, 连接于同一条数据线 DL 的所有薄膜晶体管可用以驱动位于该数据线 DL 的同一侧的各像素区 P。

[0039] 在本实施例中, 第二像素区 P2 的修补线段 20 较佳可与第一数据线 DL 部分重叠而形成一第一交叉点 X1, 以及与第一共通线 CL1 部分重叠而形成一第二交叉点 X2, 第三像素区 P3 的修补线段 20 较佳可与第一数据线 DL1 部分重叠而形成一第三交叉点 X3, 以及与第一共通线 CL1 部分重叠而形成一第四交叉点 X4。借由上述交叉点的设计, 有利于第一数据线 DL1 的修补, 关于此部分将于下文中详述。

[0040] 保护层 22 位于第二图案化导电层 18 上, 且保护层 22 具有多个第一开口 221 与多个第二开口 222, 其中各第一开口 221 分别部分暴露出各漏极 18D, 而各第二开口 222 则分别部分暴露出部分共通线 CL。第三图案化导电层 24 可为一图案化透明导电层, 其材料可为例如氧化铟锡或氧化铟锌等。第三图案化导电层 24 位于保护层 22 上, 且第三图案化导电层 24 包括多个像素电极 PE, 分别位于各像素区 P 内, 并通过对应的第一开口 221 与漏极 18D 电性连接。在本实施例中, 用以连接相邻的共通线 CL 的桥接共通线 26 可为第三图案化导电层 24 的一部分, 也即桥接共通线 26 为一透明桥接共通线, 且经由第二开口 222 与对应的共通线 CL 电性连接。

[0041] 接着, 对阵列基板 10 进行一检测工艺, 以确认阵列基板 10 是否具有缺陷, 若无缺陷存在则进行后续工艺, 若有缺陷存在则进行后续修补工艺。值得说明的是, 本发明的阵列基板的修补方法主要是用以修补断线缺陷, 因此若检测出的缺陷为断线缺陷, 则可直接进行本发明的修补方法, 而若检测出的缺陷为短路缺陷, 则可先将短路缺陷先切断为断路缺陷, 再进行本发明的修补方法。以下将位于第一像素区 P1 的一侧的第一数据线 DL1 被检测出一断线缺陷 Y 的状况为例, 说明本发明的阵列基板的修补方法。

[0042] 如图 3 与图 4 所示, 当位于第一像素区 P1 的一侧的第一数据线 DL 被检测出具有

断线缺陷 Y, 则进行一修补工艺, 其包括切割工艺与连接工艺两步骤。进行一切割工艺, 于第二像素区 P2 内的第一共通线 CL1 形成一第一切断处 C1, 以及于第三像素区 P3 内的第一共通线 CL 形成一第二切断处 C2, 此外, 于桥接共通线 26 形成一第三切断处 C3, 以切断第一共通线 CL1 与第二共通线 CL2 之间的电性连接, 以使第一切断处 C1 与第二切断处 C2 之间的第一共通线 CL1 形成一浮置的共通修补线段 CR, 也即共通修补线段 CR 与第一共通线 CL1 以及第二共通线 CL2 电性分离。在本实施例中, 切割工艺可为激光切割工艺, 其可利用激光光束形成切断处, 但不以此为限。另外, 进行一连接工艺, 电性连接第二像素区 P2 的修补线段 20、第一数据线 DL1 与共通修补线段 CR, 以及电性连接第三像素区 P3 的修补线段 20、第一数据线 DL1 与共通修补线段 CR。如前所述, 由于各修补线段 20 均分别与数据线 DL 以及共通线 CL 部分重叠, 因此连接工艺可为激光熔接工艺, 其可利用激光光束分别熔接位于第一交叉点 X1 的修补线段 20 与第一数据线 DL1 以形成一第一连接点 Z1、位于第二交叉点 X2 的修补线段 20 与第一共通线 CL1 以形成一第二连接点 Z2、位于第三交叉点 X3 的修补线段 20 与第一数据线 DL1 以形成一第三连接点 Z3, 以及位于第四交叉点 X4 的修补线段 20 与第一共通线 CL1 以形成一第四连接点 Z4。值得说明的是, 在其它实施方式中, 各修补线段 20 并不限定于与数据线 DL 以及共通线 CL 部分重叠, 且在此状况下, 连接工艺可为例如激光气相沉积工艺, 其可沉积导电图案以连接修补线段 20 与第一数据线 DL1, 以及连接修补线段 20 与第一共通线 CL1。

[0043] 借由上述修补方法, 修补后的阵列基板 10' 即可发挥正常功能, 并将修补后的阵列基板 10' 与另一基板 (图未示) 例如彩色滤光片基板组装, 并于两基板之间填入液晶层 (图未示), 即形成本实施例的显示面板。在进行完修补之后, 共通修补线段 CR 即可作为第一数据线 DL1 的替代线路 (如图 3 的箭头所示), 据此当进行显示时, 第一数据线 DL1 的数据信号可经由共通修补线段 CR 形成的替代线路顺利传递, 而发挥正常显示作用。

[0044] 本发明的显示面板的阵列基板的修补方法及修补后的显示面板的阵列基板并不以上述实施例为限。下文将依序介绍本发明的其它优选实施例的显示面板的阵列基板的修补方法及修补后的显示面板阵列基板, 且为了便于比较各实施例的相异处并简化说明, 在下文的各实施例中使用相同的符号标注相同的元件, 且主要针对各实施例的相异处进行说明, 而不再对重复部分进行赘述。

[0045] 请参考图 5 至图 8。图 5 至图 8 示出了本发明的第二优选实施例的显示面板的阵列基板的修补方法的示意图, 其中图 5 与图 7 以俯视图形式示出, 图 6 为沿图 5 的剖线 A-A'、B-B' 与 C-C' 所示出的剖面示意图, 图 8 为沿图 7 的剖线 A-A'、B-B' 与 C-C' 所示出的剖面示意图。如图 5 与图 6 所示, 提供一阵列基板 10, 且与第一优选实施例不同之处在于, 本实施例的各修补线段 20 为第一图案化导电层 14 的一部分, 且分别与对应的栅极线 GL 电性连接。如图 7 与图 8 所示, 在本实施例中, 由于修补线段 20 与栅极线 GL 电性连接, 因此除了形成第一切断处 C1、第二切断处 C2 与第三切断处 C3 之外, 切割工艺另包括形成一第四切断处 C4 以切断第二像素区 P2 的修补线段 20 与相对应的栅极线 GL 之间的电性连接, 以及形成一第五切断处 C5 以切断第三像素区 P3 的修补线段 20 与相对应的栅极线 GL 之间的电性连接。

[0046] 同样地, 借由上述修补方法, 即形成本实施例的修补后的阵列基板 10', 其中在修补后, 共通修补线段 CR 即可作为第一数据线 DL1 的替代线路, 据此当进行显示时, 第一数据

线 DL1 的数据信号可经由共通修补线段 CR 形成的替代线路顺利传递,而发挥正常显示作用。

[0047] 在上述两实施例中,连接于同一条数据线 DL 且相邻的任两薄膜晶体管分别用以驱动位于该数据线 DL 的相对两侧的像素区 P,且共通线 CL 形成彼此互相连接的网状图案,但本发明的应用并不以此为限。请再参考图 9 与图 10。图 9 与图 10 示出了本发明的第三优选实施例的显示面板的阵列基板的修补方法的示意图。如图 9 所示,首先,提供一阵列基板 10,且与前述第一优选实施例与第二优选实施例不同之处在于,在本实施例中,连接于同一条数据线 DL 的所有薄膜晶体管用以驱动位于该数据线 DL 的同一侧的各像素区 P。举例而言,用以驱动第一像素区 P1、第二像素区 P2 与第三像素区 P3 的三个薄膜晶体管均电性连接于第一数据线 DL1。此外,于各像素区 P 内,共通线 CL 具有一 C 形图案,且位于同一行的共通线 CL 在像素区 P 内并未与位于相邻行的共通线 CL 电性连接,但并不以此为限。值得说明的是,在本实施例中,各修补线段 20 为第一图案化导电层 14 的一部分,且未与栅极线 GL 电性连接(也即类似于第一实施例的作法),但并不以此为限。例如,各修补线段 20 也可分别与对应的栅极线 GL 电性连接(也即类似于第二实施例的作法)。

[0048] 如图 10 所示,当位于第一像素区 P1 的一侧的第一数据线 DL 被检测出具有断线缺陷 Y,则进行一修补工艺,其包括切割工艺与连接工艺两步骤。进行一切割工艺,于第二像素区 P2 内的第一共通线 CL1 形成一第一切断处 C1,以及于第三像素区 P3 内的第一共通线 CL 形成一第二切断处 C2,以使第一切断处 C1 与第二切断处 C2 之间的第一共通线 CL1 形成一浮置的共通修补线段 CR。在本实施例中,由于共通线 CL 并未形成网状图案,因此不需形成第三切断处。另外,进行一连接工艺,电性连接第二像素区 P2 的修补线段 20、第一数据线 DL1 与共通修补线段 CR,以及电性连接第三像素区 P3 的修补线段 20、第一数据线 DL1 与共通修补线段 CR。

[0049] 借由上述修补方法,即形成本实施例的修补后的阵列基板 10',其中在修补后,共通修补线段 CR 即可作为第一数据线 DL1 的替代线路,据此当进行显示时,第一数据线 DL1 的数据信号可经由共通修补线段 CR 形成的替代线路顺利传递,而发挥正常显示作用。

[0050] 综上所述,本发明的显示面板的阵列基板的修补方法是使用共通线的一部分作为具断线缺陷的数据线的替代线路,因此不会造成电阻电容负载增加,而可有效提升修补后的显示面板的显示品质。此外,由于不需于周边区预留修补线路的布设空间,因此可实现窄边框的设计。

[0051] 以上所述仅为本发明的优选实施例,凡依本发明权利要求所做的均等变化与修饰,皆应属本发明的涵盖范围。

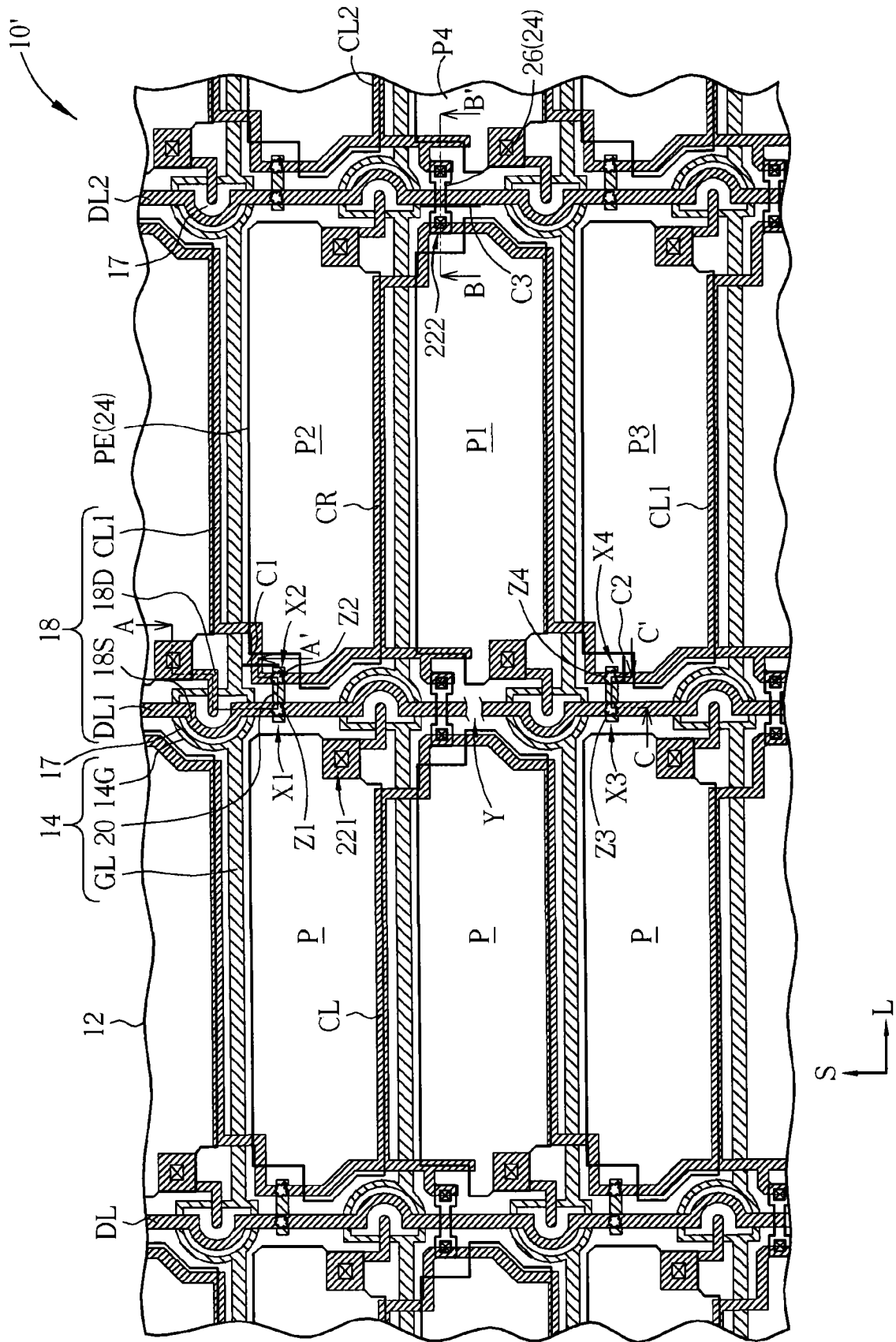


图 3

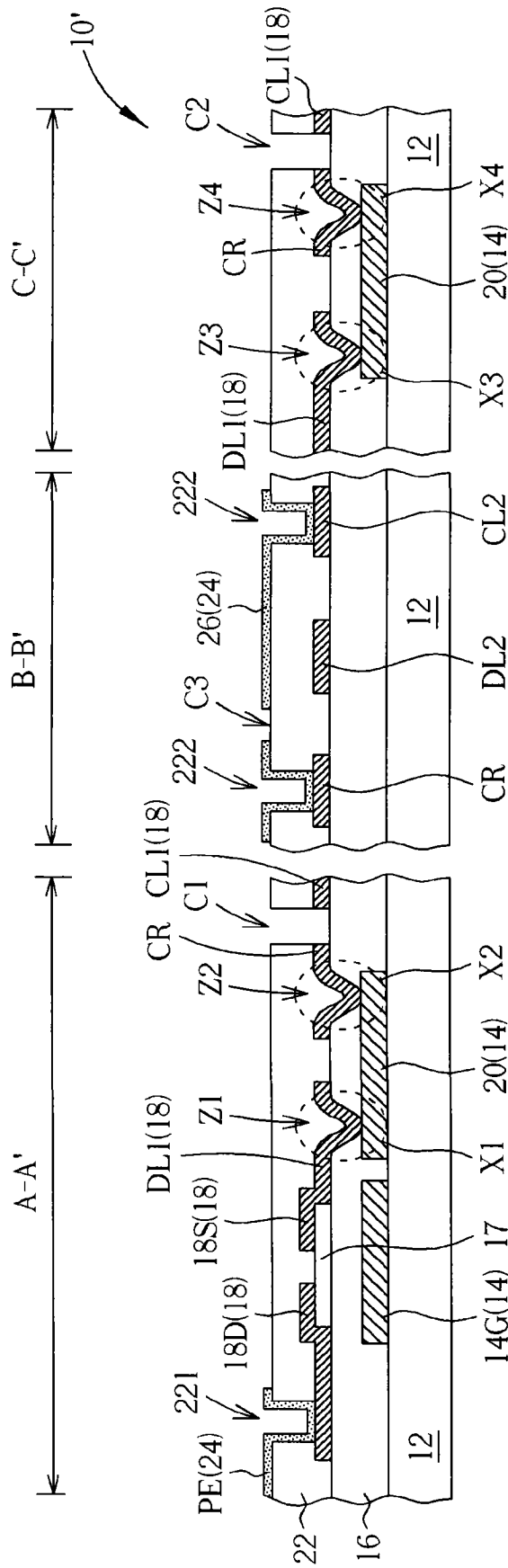


图 4

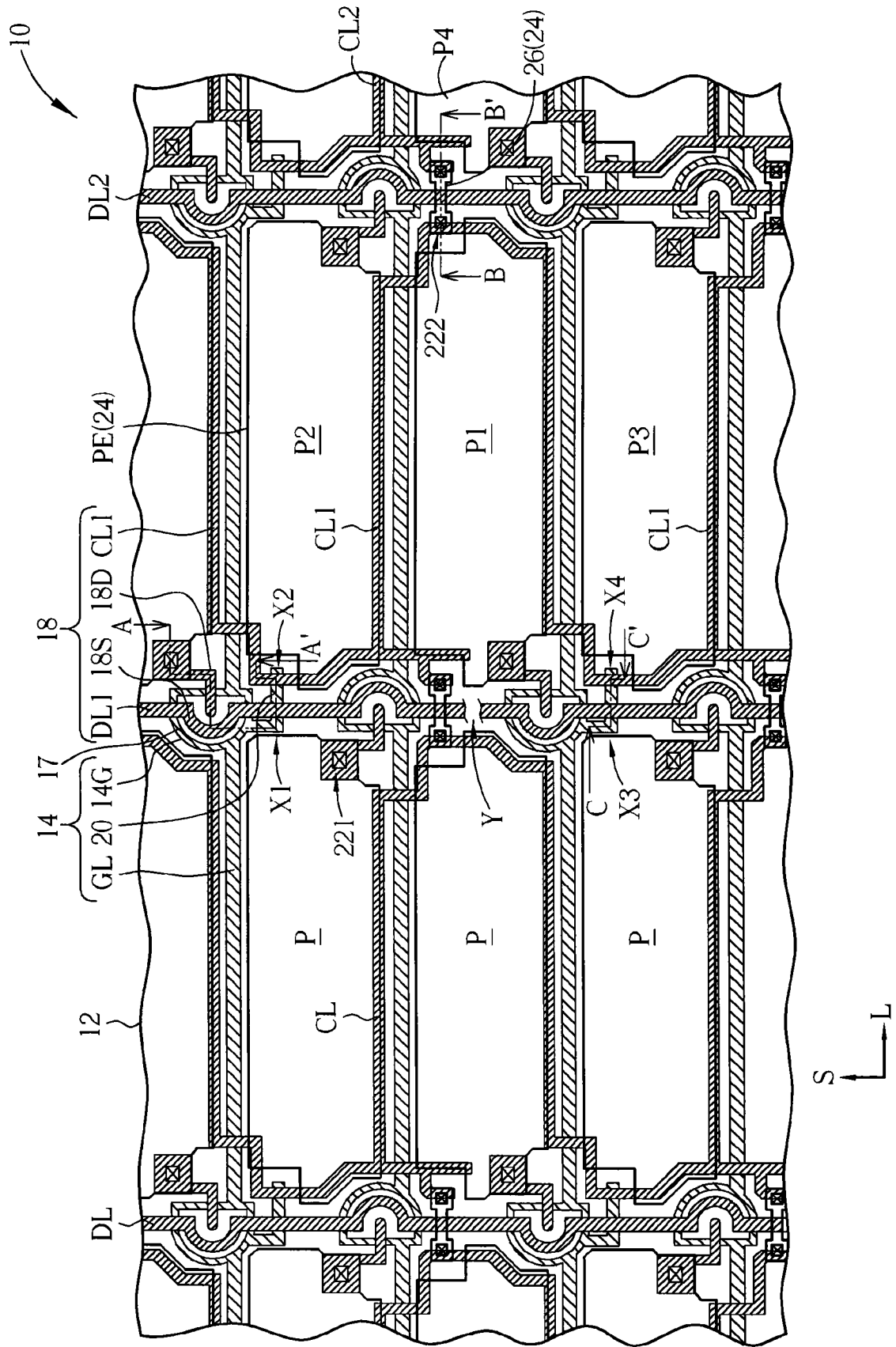


图 5

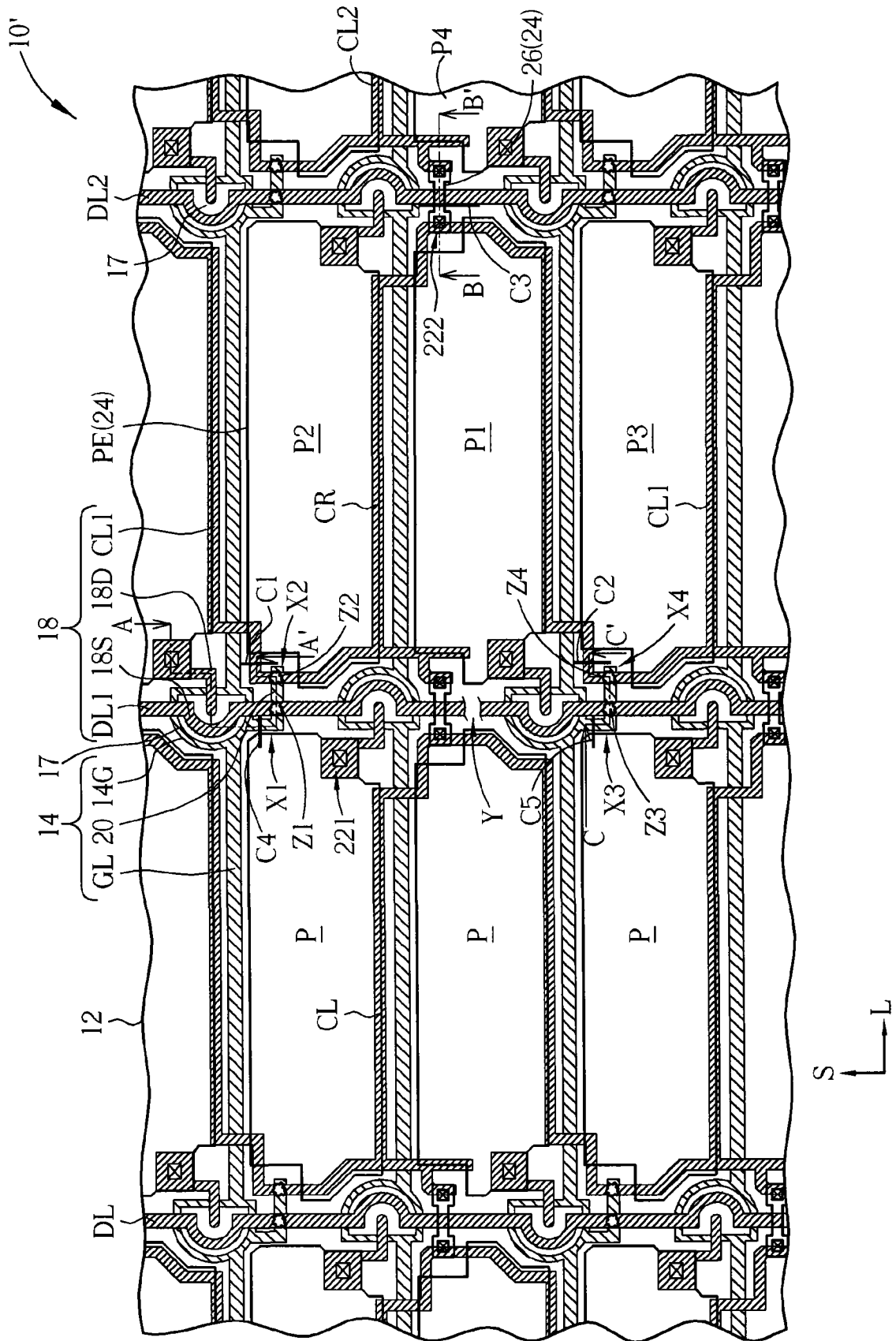


图 7

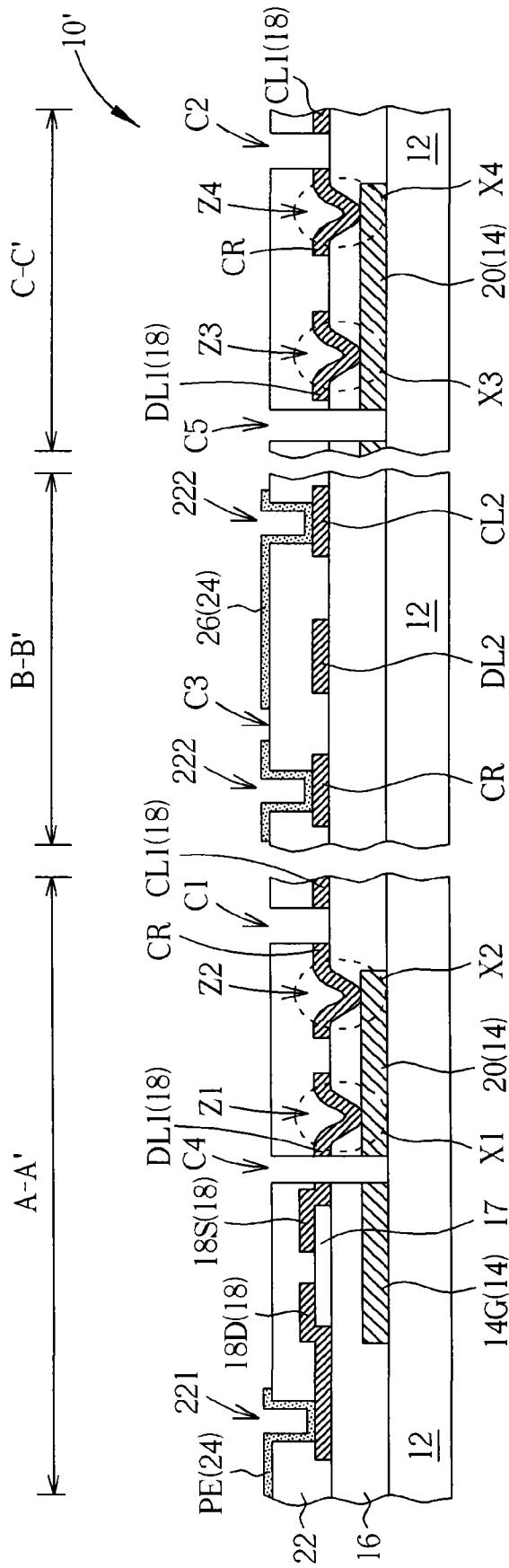


图 8

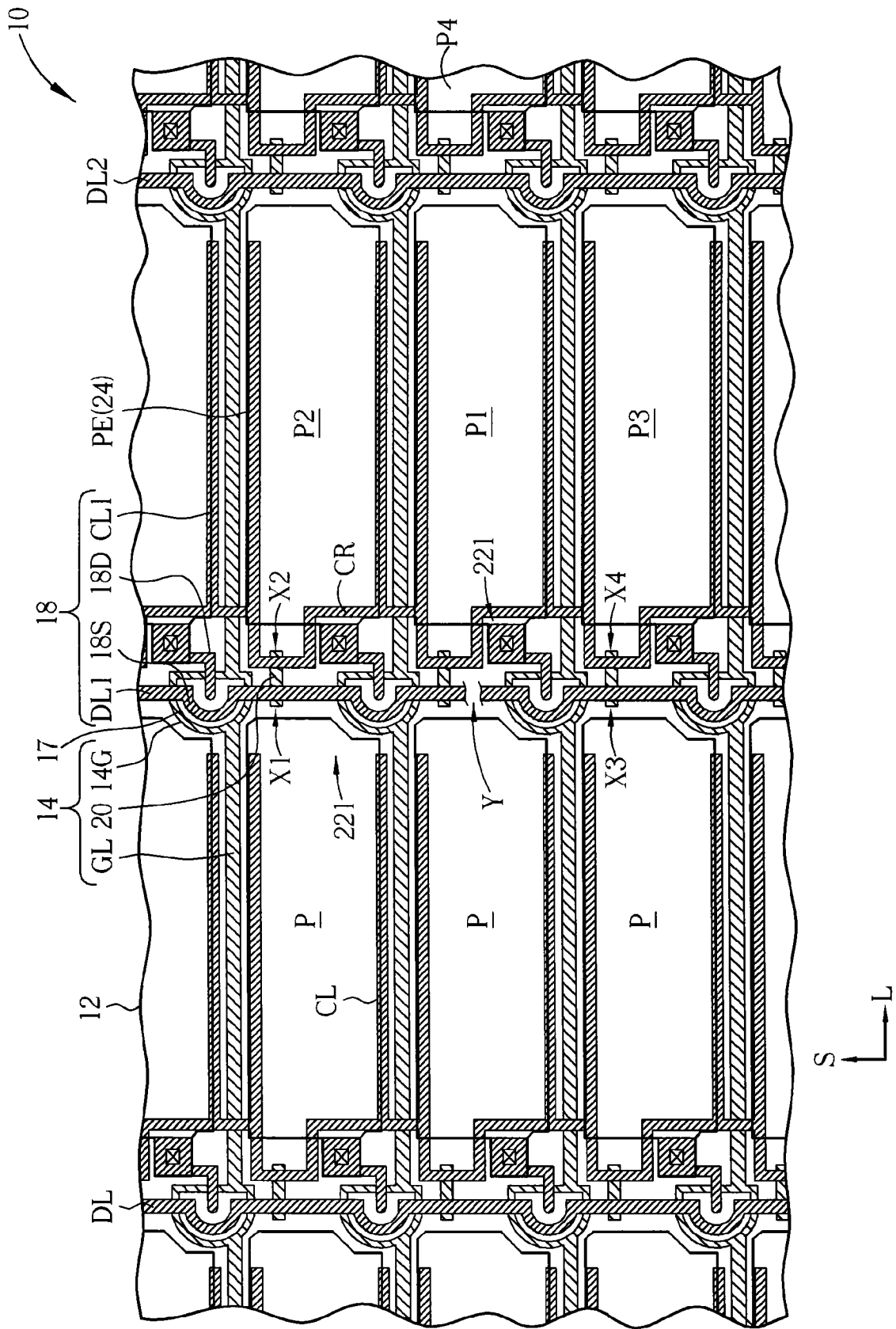


图 9

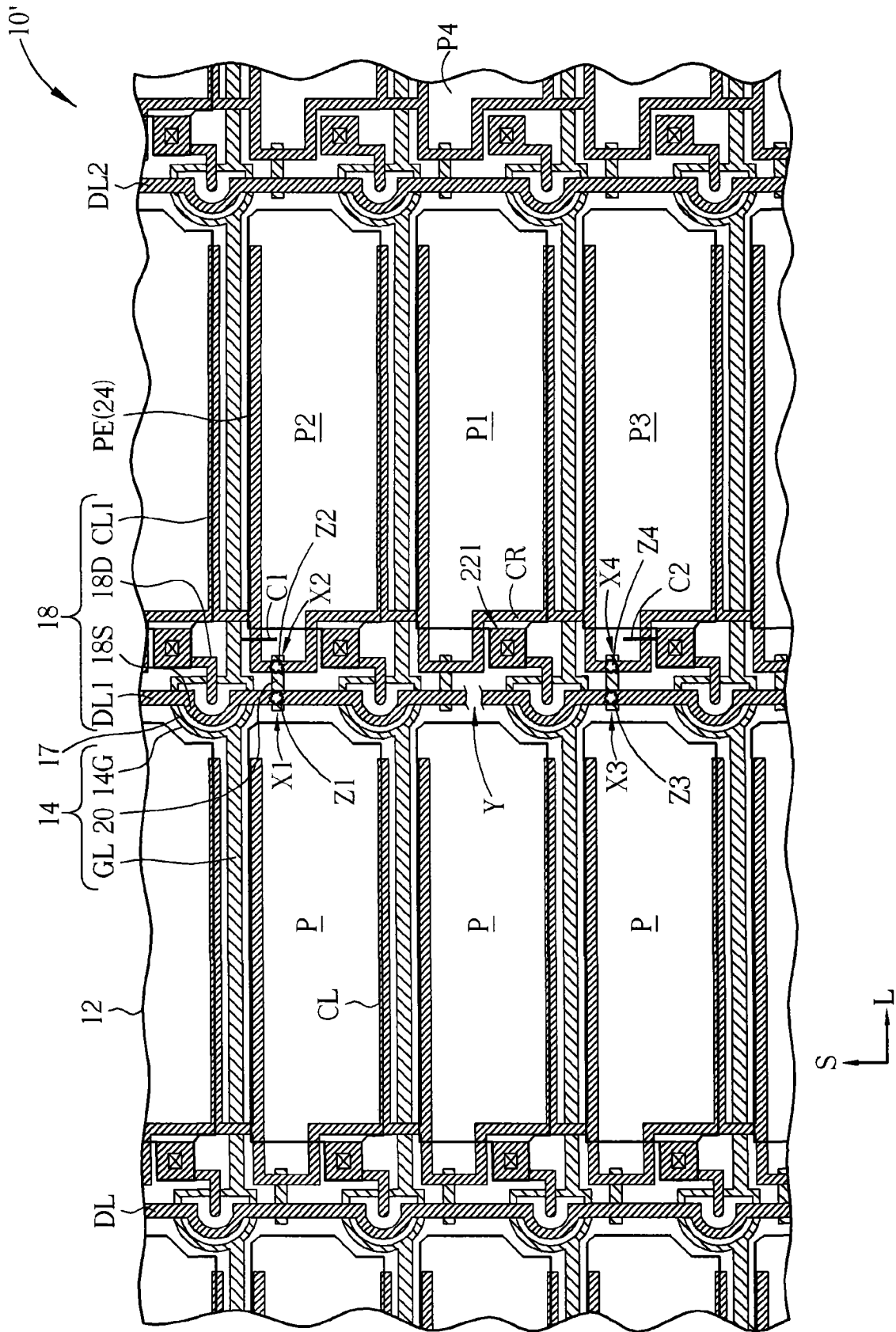


图 10