

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-114563

(P2021-114563A)

(43) 公開日 令和3年8月5日(2021.8.5)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8242 (2006.01)	HO 1 L 27/108 6 7 1 A	5 F 0 8 3
HO 1 L 27/108 (2006.01)	HO 1 L 27/108 6 7 1 C	5 F 1 1 0
HO 1 L 29/786 (2006.01)	HO 1 L 27/108 6 2 1 B	
	HO 1 L 29/78 6 1 3 B	
	HO 1 L 29/78 6 1 8 B	
審査請求 未請求 請求項の数 12 O L (全 17 頁) 最終頁に続く		

(21) 出願番号 特願2020-7038 (P2020-7038)
 (22) 出願日 令和2年1月20日 (2020.1.20)

(71) 出願人 318010018
 キオクシア株式会社
 東京都港区芝浦三丁目1番21号
 (74) 代理人 110001092
 特許業務法人サクラ国際特許事務所
 (72) 発明者 和田 政春
 東京都港区芝浦三丁目1番21号 キオク
 シア株式会社内
 (72) 発明者 岡嶋 睦
 東京都港区芝浦三丁目1番21号 キオク
 シア株式会社内
 (72) 発明者 稲場 恒夫
 東京都港区芝浦三丁目1番21号 キオク
 シア株式会社内

最終頁に続く

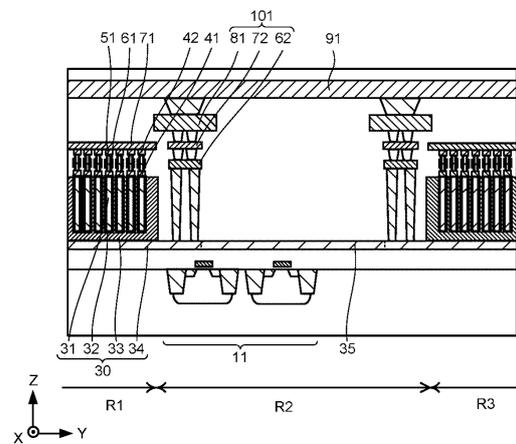
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】半導体記憶装置の誤動作を抑制する。

【解決手段】半導体記憶装置は、第1のメモリセルアレイを含む第1の領域と、第1の領域に並置された第2の領域と、第2の領域に並置され、第2のメモリセルアレイを含む第3の領域と、を具備する。第1および第2のメモリセルアレイのそれぞれは、半導体基板の上方に設けられ、ゲートとソースとドレインとを含み、ゲートが第1の配線に接続され、ソースまたはドレインの一方が第2の配線に接続された、電界効果トランジスタと、電界効果トランジスタのソースまたはドレインの他方に接続された第1の電極と、第1の電極に対向する第2の電極と、第2の電極に接続されるとともに第2の領域まで延在する第3の電極と、を含み、電界効果トランジスタの下方に設けられたキャパシタと、を備える。第2の領域は、第1および第2のメモリセルアレイの第3の電極を接続する電気伝導体を備える。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 のメモリセルアレイを含む第 1 の領域と、
前記第 1 の領域に並置された第 2 の領域と、
前記第 2 の領域に並置され、第 2 のメモリセルアレイを含む第 3 の領域と、
を具備し、
前記第 1 および第 2 のメモリセルアレイのそれぞれは、
半導体基板の上方に設けられ、ゲートとソースとドレインとを含み、前記ゲートが第 1 の配線に接続され、前記ソースまたは前記ドレインの一方が第 2 の配線に接続された、電界効果トランジスタと、
前記電界効果トランジスタの前記ソースまたは前記ドレインの他方に接続された第 1 の電極と、前記第 1 の電極に対向する第 2 の電極と、前記第 2 の電極に接続されるとともに前記第 2 の領域まで延在する第 3 の電極と、を含み、前記電界効果トランジスタの下方に設けられたキャパシタと、
を備え、
前記第 2 の領域は、前記第 1 および第 2 のメモリセルアレイの前記第 3 の電極を接続する電気伝導体を備える、半導体記憶装置。

10

【請求項 2】

前記第 2 の領域は、前記第 1 および第 2 のメモリセルアレイの上方に設けられるとともに前記第 2 の領域まで延在する第 3 の配線と、前記第 3 の電極と、を接続する複数の接続部を備え、
前記複数の接続部のそれぞれは、
前記第 3 の電極と前記第 3 の配線との間に設けられ、前記第 3 の電極に接続された第 1 の部分と、
前記第 1 の部分と前記第 3 の配線との間に設けられ、前記第 1 の部分に接続された第 2 の部分と、
前記第 2 の部分と前記第 3 の配線との間に設けられ、前記第 2 の部分と前記第 3 の配線とを接続する第 3 の部分と、を含み、
前記複数の接続部の前記第 1 の部分、前記複数の接続部の前記第 2 の部分、および前記複数の接続部の前記第 3 の部分からなる群より選ばれる少なくとも一つは、互いに接続される、請求項 1 に記載の半導体記憶装置。

20

30

【請求項 3】

メモリセルアレイを含む第 1 の領域と、
前記第 1 の領域に並置された第 2 の領域と、
を具備し、
前記メモリセルアレイは、
半導体基板の上方に設けられ、ゲートとソースとドレインとを含み、前記ゲートが第 1 の配線に接続され、前記ソースまたは前記ドレインの一方が第 2 の配線に接続された、電界効果トランジスタと、
前記電界効果トランジスタの前記ソースまたは前記ドレインの他方に接続された第 1 の電極と、前記第 1 の電極に対向する第 2 の電極と、前記第 2 の電極に接続されるとともに前記第 2 の領域まで延在する第 3 の電極と、を含み、前記電界効果トランジスタの下方に設けられたキャパシタと、
前記第 3 の電極の下方に設けられ、前記第 3 の電極に接続された電気伝導体と、
を備える、半導体記憶装置。

40

【請求項 4】

前記電気伝導体は、前記半導体基板に設けられたウェルを含む、請求項 3 に記載の半導体記憶装置。

【請求項 5】

前記電気伝導体は、前記半導体基板に設けられた第 2 の電界効果トランジスタのゲート

50

電極と同一の層に設けられた導電体を含む、請求項 3 に記載の半導体記憶装置。

【請求項 6】

メモリセルアレイを含む第 1 の領域と、
前記第 1 の領域に並置された第 2 の領域と、
を具備し、
前記メモリセルアレイは、
半導体基板の上方に設けられ、ゲートとソースとドレインとを含み、前記ゲートが第 1
の配線に接続され、前記ソースまたは前記ドレインの一方が第 2 の配線に接続された、電
界効果トランジスタと、

前記電界効果トランジスタの前記ソースまたは前記ドレインの他方に接続された第 1 の
電極と、前記第 1 の電極に対向する第 2 の電極と、前記第 2 の電極に接続されるとともに
前記第 2 の領域まで延在する第 3 の電極と、を含むキャパシタと、

前記第 3 の電極の下方に設けられるとともに前記第 3 の電極に接続された第 4 の電極と
、前記第 4 の電極の下方に設けられた第 5 の電極と、を含む第 2 のキャパシタと、
を備える、半導体記憶装置。

【請求項 7】

前記第 4 の電極は、前記半導体基板に設けられた第 2 の電界効果トランジスタのゲート
電極と同一の層に設けられた導電体を含む、請求項 6 に記載の半導体記憶装置。

【請求項 8】

前記第 5 の電極は、前記半導体基板に設けられたウェルを含む、請求項 6 または請求項
7 に記載の半導体記憶装置。

【請求項 9】

前記第 2 の領域は、前記ウェルを囲み前記第 1 の領域から前記第 2 の領域まで延在する
第 2 のウェルと、前記第 2 のウェルの上方に設けられ、前記第 2 のウェルに接続された第
6 の電極と、を備え、

前記ウェルおよび前記第 2 のウェルは、互いに異なる導電性を有する、請求項 6 ないし
請求項 8 のいずれか一項に記載の半導体記憶装置。

【請求項 10】

前記電界効果トランジスタは、酸化物半導体を含有するチャンネル層を有する、請求項 1
ないし請求項 9 のいずれか一項に記載の半導体記憶装置。

【請求項 11】

前記酸化物半導体は、インジウム - ガリウム - 亜鉛 - 酸化物を含む、請求項 10 に記載
の半導体記憶装置。

【請求項 12】

ダイナミックランダムアクセスメモリである、請求項 1 ないし請求項 11 のいずれか一
項に記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体記憶装置に関する。

【背景技術】

【0002】

ビット線、ワード線、およびこれらに接続されるメモリセル（トランジスタおよびキャ
パシタ）を有する半導体記憶装置が用いられている。ビット線とワード線を選択して、電
圧を印加することで、メモリセルにデータを書き込み、読み出すことができる。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2017 - 168623 号公報

【発明の概要】

10

20

30

40

50

【発明が解決しようとする課題】

【0004】

実施形態の発明が解決しようとする課題は、半導体記憶装置の誤動作を抑制することである。

【課題を解決するための手段】

【0005】

実施形態の半導体記憶装置は、第1のメモリセルアレイを含む第1の領域と、第1の領域に並置された第2の領域と、第2の領域に並置され、第2のメモリセルアレイを含む第3の領域と、を具備する。第1および第2のメモリセルアレイのそれぞれは、半導体基板の上方に設けられ、ゲートとソースとドレインとを含み、ゲートが第1の配線に接続され、ソースまたはドレインの一方第2の配線に接続された、電界効果トランジスタと、電界効果トランジスタのソースまたはドレインの他方に接続された第1の電極と、第1の電極に対向する第2の電極と、第2の電極に接続されるとともに第2の領域まで延在する第3の電極と、を含み、電界効果トランジスタの下方に設けられたキャパシタと、を備える。また、別の実施形態の半導体記憶装置は、第2の領域が、第1および第2のメモリセルアレイの第3の電極を接続する電気伝導体を備える。さらにまた、別の実施形態の半導体記憶装置は、第3の電極の下方に設けられ、第3の電極に接続された電気伝導体を備える。

10

【図面の簡単な説明】

【0006】

【図1】半導体記憶装置の構造例を説明するための断面模式図である。

20

【図2】半導体記憶装置の構造例を説明するための上面模式図である。

【図3】メモリセルアレイの回路構成例を説明するための回路図である。

【図4】キャパシタ30および電界効果トランジスタ51の構造例を説明するための斜視模式図である。

【図5】キャパシタ30および電界効果トランジスタ51の構造例を説明するための断面模式図である。

【図6】半導体記憶装置の他の構造例を説明するための断面模式図である。

【図7】半導体記憶装置の他の構造例を説明するための断面模式図である。

【図8】半導体記憶装置の他の構造例を説明するための上面模式図である。

【図9】コンタクト111の形状例を説明するための平面模式図である。

30

【図10】コンタクト111の形状例を説明するための平面模式図である。

【図11】コンタクト111の形状例を説明するための平面模式図である。

【図12】半導体記憶装置の他の構造例を説明するための断面模式図である。

【図13】半導体記憶装置の他の構造例を説明するための上面模式図である。

【図14】導電体13の形状例を説明するための平面模式図である。

【図15】導電体13の形状例を説明するための平面模式図である。

【図16】導電体13の形状例を説明するための平面模式図である。

【図17】半導体記憶装置の他の構造例を説明するための断面模式図である。

【図18】半導体記憶装置の他の構造例を説明するための上面模式図である。

【発明を実施するための形態】

40

【0007】

以下、実施形態について、図面を参照して説明する。図面に記載された各構成要素の厚さと平面寸法との関係、各構成要素の厚さの比率等は現物と異なる場合がある。また、実施形態において、実質的に同一の構成要素には同一の符号を付し適宜説明を省略する。

【0008】

本明細書において「接続」とは物理的な接続だけでなく電気的な接続も含み、特に指定する場合を除き、直接接続だけでなく間接接続も含む。

【0009】

(第1の実施形態)

図1は、半導体記憶装置の構造例を説明するための断面模式図であり、半導体記憶装置

50

の Y 軸と Y 軸に直交する Z 軸とを含む Y - Z 断面の一部を示す。図 2 は、半導体記憶装置の構造例を説明するための上面模式図であり、半導体記憶装置の Y 軸と直交する X 軸と Y 軸とを含む X - Y 平面の一部を示す。

【 0 0 1 0 】

半導体記憶装置は、ダイナミックランダムアクセスメモリ (D R A M) であって、複数のメモリセルアレイを有する。図 1 および図 2 は、メモリセルアレイ M C A 1 を含む第 1 の領域 R 1 と、第 1 の領域 R 1 に並置された第 2 の領域 R 2 と、第 2 の領域 R 2 に並置されるとともにメモリセルアレイ M C A 2 を含む第 3 の領域 R 3 と、を図示する。図 1 および図 2 において、第 2 の領域 R 2 は第 1 の領域 R 1 と第 3 の領域 R 3 との間に設けられているが、これに限定されない。

10

【 0 0 1 1 】

図 3 は、メモリセルアレイの回路構成例を説明するための回路図である。図 3 は、複数のメモリセル M C と、複数のワード線 W L (ワード線 W L _n、ワード線 W L _{n+1}、ワード線 W L _{n+2}、n は整数) と、複数のビット線 B L (ビット線 B L _m、ビット線 B L _{m+1}、ビット線 B L _{m+2}、m は整数) と、を図示する。

【 0 0 1 2 】

複数のメモリセル M C は、行列方向に配列され、メモリセルアレイを構成する。それぞれのメモリセル M C は、電界効果トランジスタ (F E T) であるメモリトランジスタ M T R と、メモリキャパシタ M C P と、を備える。メモリトランジスタ M T R のゲートは対応するワード線 W L に接続され、ソースまたはドレインの一方は対応するビット線 B L に接続される。メモリキャパシタ M C P の一方の電極はメモリトランジスタ M T R のソースまたはドレインの他方に接続され、他方の電極は図示しないが特定の電位を供給する電源線に接続される。メモリセル M C は、ワード線 W L によるメモリトランジスタ M T R のスイッチングによりビット線 B L からメモリキャパシタ M C P に電荷を蓄積してデータを保持できる。複数のメモリセル M C の数は、図 3 に示す数に限定されない。

20

【 0 0 1 3 】

図 1 および図 2 に示すように、第 1 の領域 R 1 ないし第 3 の領域 R 3 は、回路 1 1 と、キャパシタ 3 0 と、電気伝導体 3 5 と、酸化物導電層 4 1 と、酸化物導電層 4 2 と、電界効果トランジスタ 5 1 と、配線 6 1 と、電気伝導体 6 2 と、配線 7 1 と、電気伝導体 7 2 と、電気伝導体 8 1 と、配線 9 1 と、を備える。図 2 は、便宜のため、回路 1 1 および配線 9 1 を点線で図示する。各構成要素の間には、必要に応じて絶縁体が設けられる。各構成要素は、例えばフォトリソグラフィ技術を用いて形成される。なお、キャパシタ 3 0 および電界効果トランジスタ 5 1 の構造例については、さらに図 4 および図 5 も参照して説明する。図 4 および図 5 は、キャパシタ 3 0 および電界効果トランジスタ 5 1 の構造例を説明するための模式図であり、図 4 は斜視模式図であり、図 5 は断面模式図である。

30

【 0 0 1 4 】

回路 1 1 は、第 2 の領域 R 2 に設けられ、例えばセンスアンプ等の周辺回路を構成する。回路 1 1 は、例えば P チャネル型電界効果トランジスタ (P c h - F E T)、N チャネル型電界効果トランジスタ (N c h - F E T) 等の電界効果トランジスタを有する。回路 1 1 の電界効果トランジスタは、例えば単結晶シリコン基板等の半導体基板を用いて形成可能であり、P c h - F E T および N c h - F E T は、半導体基板にチャネル領域とソース領域とドレイン領域とを有する。なお、半導体基板は P 型の導電型を有していてもよい。なお、図 1 は、便宜のため、回路 1 1 の電界効果トランジスタを図示する。

40

【 0 0 1 5 】

キャパシタ 3 0 は、第 1 の領域 R 1 および第 3 の領域 R 3 のそれぞれにおいて半導体基板の上方および電界効果トランジスタ 5 1 の下方に設けられ、メモリセル M C のメモリキャパシタ M C P を構成する。図 1 および図 2 は、複数のメモリセル M C を構成する複数のキャパシタ 3 0 を図示する。

【 0 0 1 6 】

キャパシタ 3 0 は、いわゆるピラー型キャパシタ、シリンダー型キャパシタ等の 3 次元

50

キャパシタであって、図 1、図 4 および図 5 に示すように、セル電極 3 1 と、絶縁膜 3 2 と、プレート電極 3 3 と、プレート電極 3 4 と、を有する。セル電極 3 1 は、メモリキャパシタ M C P の第 1 の電極として機能する。絶縁膜 3 2 は、メモリキャパシタ M C P の誘電体層として機能し、セル電極 3 1 とプレート電極 3 3 との間に設けられる。プレート電極 3 3 は、メモリキャパシタ M C P の第 2 の電極として機能し、セル電極 3 1 に対向して設けられる。図 1 および図 2 は、それぞれのメモリセルアレイに設けられた複数のキャパシタ 3 0 が互いに共通するプレート電極 3 3 を共有する例を図示する。プレート電極 3 4 は、プレート電極 3 3 に接続されるとともに第 2 の領域 R 2 まで延在する。上記 3 次元キャパシタによりメモリセル M C の面積を小さくできる。

【 0 0 1 7 】

電気伝導体 3 5 は、図 1 および図 2 に示すように、メモリセルアレイ M C A 1 のプレート電極 3 4 とメモリセルアレイ M C A 2 のプレート電極 3 4 とを接続する。電気伝導体 3 5 は、例えばメモリセルアレイ M C A 1、M C A 2 のプレート電極 3 4 と同一の導電体を含む。なお、本明細書において、電気伝導体は、導体に限定されず、例えばドナーやアクセプタ等の不純物元素を含有する半導体も含む。

【 0 0 1 8 】

電気伝導体 3 5 は、図 2 に示すように、X - Y 平面において回路 1 1 と重なることなくメモリセルアレイ M C A 1 のプレート電極 3 4 からメモリセルアレイ M C A 2 のプレート電極 3 4 まで延在することが好ましい。なお、電気伝導体 3 5 の形状は、直線状に限定されず、曲線状であってもよい。

【 0 0 1 9 】

プレート電極 3 4 および電気伝導体 3 5 は、プレート電極 3 3 よりもシート抵抗が小さいことが好ましい。プレート電極 3 4 および電気伝導体 3 5 は、例えばタンゲステン、窒化チタン等の材料を含む。

【 0 0 2 0 】

酸化物導電層 4 1 は、図 1、図 4 および図 5 に示すように、セル電極 3 1 に接して設けられる。酸化物導電層 4 1 は、例えばインジウム - 錫 - 酸化物 (I T O) 等の金属酸化物を含む。

【 0 0 2 1 】

電界効果トランジスタ 5 1 は、図 1 および図 2 に示すように、第 1 の領域 R 1 および第 3 の領域 R 3 のそれぞれにおいて、半導体基板の上方およびキャパシタ 3 0 の上方に設けられ、メモリセル M C のメモリトランジスタ M T R を構成する。図 1 および図 2 は、複数のメモリセル M C を構成する複数の電界効果トランジスタ 5 1 を図示する。

【 0 0 2 2 】

電界効果トランジスタ 5 1 は、図 4 および図 5 に示すように、金属酸化物等の酸化物半導体を含むチャンネル層 5 0 1 と、チャンネル層 5 0 1 を囲むゲート絶縁膜 5 0 2 と、を有する。チャンネル層 5 0 1 の Z 軸方向の一端は、酸化物導電層 4 2 を介して配線 7 1 に接続され、電界効果トランジスタ 5 1 のソースまたはドレインの一方として機能し、他方が酸化物導電層 4 1 に接続され、電界効果トランジスタ 5 1 のソースまたはドレインの他方として機能する。このとき、酸化物導電層 4 1 は、キャパシタ 3 0 のセル電極 3 1 と電界効果トランジスタ 5 1 のチャンネル層 5 0 1 との間に設けられ、電界効果トランジスタ 5 1 のソース電極またはドレイン電極の他方として機能する。酸化物導電層 4 1 は、電界効果トランジスタ 5 1 のチャンネル層 5 0 1 と同様に金属酸化物を含むため、電界効果トランジスタ 5 1 と酸化物導電層 4 1 との接続抵抗を低減できる。

【 0 0 2 3 】

チャンネル層 5 0 1 は、例えばインジウム (I n) を含む。チャンネル層 5 0 1 は、例えば、酸化インジウムと酸化ガリウム、酸化インジウムと酸化亜鉛、又は、酸化インジウムと酸化スズを含む。一例として、インジウム、ガリウム、及び、亜鉛を含む酸化物 (インジウム - ガリウム - 亜鉛 - 酸化物)、いわゆる I G Z O (I n G a Z n O) である。

【 0 0 2 4 】

10

20

30

40

50

ゲート絶縁膜 502 は、例えば、酸化物または酸窒化物（一例として、酸化シリコン）を含む。

【0025】

配線 61 は、図 4 および図 5 に示すように、ゲート絶縁膜 502 を挟んでチャンネル層 501 に対向して設けられ、電界効果トランジスタ 51 のゲート電極として機能する。

【0026】

電界効果トランジスタ 51 は、図 4 に示すように、ゲート電極がチャンネル層 501 を囲んで配置される、いわゆる Surrounding Gate Transistor (SGT) である。SGT により半導体記憶装置の面積を小さくできる。

【0027】

酸化物半導体を含むチャンネル層を有する電界効果トランジスタは、半導体基板に設けられた電界効果トランジスタよりもオフリーク電流が低い。よって、例えばメモリセル MC に保持されたデータを長く保持できるため、リフレッシュ動作の回数を減らすことができる。また、酸化物半導体を含むチャンネル層を有する電界効果トランジスタは、低温プロセスで形成可能であるため、キャパシタ 30 に熱ストレスを与えることを抑制できる。

【0028】

配線 61 は、図 1 および図 2 に示すように、第 1 の領域 R1 および第 3 の領域 R3 のそれぞれに設けられ、X 軸方向に延在し、ワード線 WL を構成する。図 1 および図 2 は、複数の配線 61 を図示する。複数の配線 61 の数は、図 2 に示す数に限定されない。

【0029】

配線 61 は、例えば金属、金属化合物、又は、半導体を含む。配線 61 は、例えば、タングステン (W)、チタン (Ti)、窒化チタン (TiN)、モリブデン (Mo)、コバルト (Co)、およびルテニウム (Ru) からなる群より選ばれる少なくとも一つの材料を含む。

【0030】

電気伝導体 62 は、図 1 に示すように、第 2 の領域 R2 においてプレート電極 34 と配線 91 との間に設けられる。電気伝導体 62 は、ビアを介してプレート電極 34 に接続される。電気伝導体 62 は、例えば配線 61 と同一の層に設けられ、一つの導電層を加工することにより配線 61 と同一工程で形成可能である。

【0031】

酸化物導電層 42 は、図 1、図 4 および図 5 に示すように、電界効果トランジスタ 51 のチャンネル層 501 に接して設けられ、電界効果トランジスタ 51 のソース電極またはドレイン電極の一方として機能する。酸化物導電層 42 は、例えばインジウム - 錫 - 酸化物 (ITO) 等の金属酸化物を含む。酸化物導電層 42 は、電界効果トランジスタ 51 のチャンネル層 501 と同様に金属酸化物を含むため、電界効果トランジスタ 51 と酸化物導電層 42 との接続抵抗を低減できる。

【0032】

配線 71 は、図 1 および図 2 に示すように、第 1 の領域 R1 および第 3 の領域 R3 のそれぞれにおいて配線 61 の上方に設けられ、配線 61 と交差し、Y 軸方向に延在し、ビット線 BL を構成する。図 2 は、複数の配線 71 を図示する。複数の配線 71 の数は、図 2 に示す数に限定されない。

【0033】

配線 71 は、図 4 および図 5 に示すように、電界効果トランジスタ 51 の上方において酸化物導電層 42 に接して設けられ、酸化物導電層 42 を介して電界効果トランジスタ 51 のチャンネル層 501 に接続される。酸化物導電層 42 は、電界効果トランジスタ 51 のソース電極またはドレイン電極の一方として機能する。

【0034】

電気伝導体 72 は、図 1 に示すように、第 2 の領域 R2 において電気伝導体 62 と配線 91 との間に設けられる。電気伝導体 72 は、ビアを介して電気伝導体 62 に接続される。電気伝導体 72 は、例えば配線 71 と同一の層に設けられ、一つの導電層を加工するこ

10

20

30

40

50

とにより配線 7 1 と同一工程で形成可能である。図 2 は、複数の電気伝導体 7 2 を図示する。

【0035】

電気伝導体 8 1 は、図 1 に示すように、第 2 の領域 R 2 において電気伝導体 7 2 と配線 9 1 との間に設けられ、電気伝導体 7 2 と配線 9 1 とを接続する。電気伝導体 8 1 は、ビアを介して電気伝導体 7 2 に接続される。電気伝導体 8 1 は、例えば銅を含む。図 2 は、複数の電気伝導体 8 1 を図示する。

【0036】

電気伝導体 6 2、電気伝導体 7 2、および電気伝導体 8 1 は、プレート電極 3 4 と配線 9 1 とを接続する接続部 1 0 1 の第 1 の部分、第 2 の部分、および第 3 の部分をそれぞれ構成する。図 1 および図 2 は、複数の接続部 1 0 1 を図示するが、複数の接続部 1 0 1 の数は、図 1 および図 2 に示す数に限定されない。また、複数の接続部 1 0 1 の少なくとも一つは、電気伝導体 3 5 の上方に設けられ、電気伝導体 6 2、電気伝導体 7 2、および電気伝導体 8 1 を介して電気伝導体 3 5 と配線 9 1 とを接続してもよい。

10

【0037】

複数の接続部 1 0 1 の第 1 の部分（電気伝導体 6 2）、複数の接続部 1 0 1 の第 2 の部分（電気伝導体 7 2）、および複数の接続部 1 0 1 の第 3 の部分（電気伝導体 8 1）からなる群より選ばれる少なくとも一つは、互いに接続されてもよい。換言すると、複数の接続部 1 0 1 は、互いに共通する第 1 の部分（電気伝導体 6 2）、互いに共通する第 2 の部分（電気伝導体 7 2）、および互いに共通する第 3 の部分（電気伝導体 8 1）からなる群より選ばれる少なくとも一つにより接続されてもよい。図 6 は、半導体記憶装置の他の構造例を説明するための断面模式図であり、半導体記憶装置の Y - Z 断面の一部を示す。図 6 は、複数の接続部 1 0 1 の電気伝導体 6 2 が互いに接続されるとともに、複数の接続部 1 0 1 の電気伝導体 7 2 が互いに接続される例を図示する。

20

【0038】

配線 9 1 は、メモリセルアレイ M C A 1 の上方およびメモリセルアレイ M C A 2 の上方に設けられ、第 2 の領域 R 2 まで延在する。配線 9 1 は、第 1 の領域 R 1 ないし第 3 の領域 R 3 において Y 軸方向に延在し、例えば特定の電位を供給する電源線を構成する。配線 9 1 は、図 1 に示すように、ビアを介して電気伝導体 8 1 に接続される。図 2 は、複数の配線 9 1 を図示する。

30

【0039】

以上のように、本実施形態の半導体記憶装置は、一つのメモリセルアレイのメモリキャパシタ M C P のプレート電極と他の一つのメモリセルアレイのメモリキャパシタ M C P のプレート電極とを接続する電気伝導体を備える。

【0040】

メモリキャパシタ M C P をメモリトランジスタ M T R の下方に設けてメモリセルアレイの面積を小さくする場合、メモリセルアレイの上方に設けられた電源線等の配線とプレート電極との接続経路が長いため高アスペクト比のビアが必要となり、接続抵抗が増加する。これは半導体記憶装置の誤動作の原因となる。これに対し、本実施形態の半導体記憶装置では、複数のメモリセルアレイのプレート電極同士を接続することにより、プレート電極間の電気抵抗を小さくし、プレート電極の電位を適正に保つことができるため、誤動作を抑制できる。

40

【0041】

（第 2 の実施形態）

図 7 は、半導体記憶装置の他の構造例を説明するための断面模式図であり、半導体記憶装置の Y - Z 断面の一部を示す。図 8 は、半導体記憶装置の他の構造例を説明するための上面模式図であり、半導体記憶装置の X - Y 平面の一部を示す。

【0042】

図 7 および図 8 は、メモリセルアレイ M C A を含む第 1 の領域 R 1 と、第 1 の領域 R 1 に並置された第 2 の領域 R 2 と、を図示する。第 1 の領域 R 1 および第 2 の領域 R 2 は、

50

回路 1 1 と、ウェル 1 2 と、キャパシタ 3 0 と、酸化物導電層 4 1 と、酸化物導電層 4 2 と、電界効果トランジスタ 5 1 と、配線 6 1 と、電気伝導体 6 2 と、配線 7 1 と、電気伝導体 7 2 と、電気伝導体 8 1 と、配線 9 1 と、を有する。なお、回路 1 1、キャパシタ 3 0、酸化物導電層 4 1、酸化物導電層 4 2、電界効果トランジスタ 5 1、配線 6 1、電気伝導体 6 2、配線 7 1、電気伝導体 7 2、電気伝導体 8 1、および配線 9 1 は、第 1 の実施形態の回路 1 1、キャパシタ 3 0、酸化物導電層 4 1、酸化物導電層 4 2、電界効果トランジスタ 5 1、配線 6 1、電気伝導体 6 2、配線 7 1、電気伝導体 7 2、電気伝導体 8 1、および配線 9 1 とそれぞれ同じであるため説明を省略する。また、図 7 は、便宜のため、回路 1 1 の電界効果トランジスタを図示する。

【 0 0 4 3 】

ウェル 1 2 は、回路 1 1 と同様に半導体基板に設けられた電気伝導体である。ウェル 1 2 は、キャパシタ 3 0 のプレート電極 3 4 の下方に設けられる。ウェル 1 2 は、ドナーまたはアクセプタ等の不純物元素を含有し、N 型または P 型の導電型を有する。ウェル 1 2 の表面にシリサイド層が設けられていてもよい。ウェル 1 2 は、例えば回路 1 1 の電界効果トランジスタのソース領域およびドレイン領域と同一工程により形成してもよい。

【 0 0 4 4 】

ウェル 1 2 は、図 7 に示すように、ウェル 1 2 とプレート電極 3 4 との間のコンタクト 1 1 1 を介してキャパシタ 3 0 のプレート電極 3 4 に接続される。ウェル 1 2 は、図 7 および図 8 に示すように、第 1 の領域 R 1 から第 2 の領域 R 2 まで延在し、第 2 の領域 R 2 においてコンタクト 1 1 1 を介してプレート電極 3 4 に接続されてもよい。

【 0 0 4 5 】

コンタクト 1 1 1 の形状は、特に限定されない。図 9 ないし図 1 1 は、コンタクト 1 1 1 の形状例を説明するための平面模式図である。図 9 はドット状の複数のコンタクト 1 1 1 を図示し、図 1 0 は、ライン状の複数のコンタクト 1 1 1 を図示し、図 1 1 は格子状のコンタクト 1 1 1 を図示する。コンタクト 1 1 1 の面積を大きくすることによりウェル 1 2 とプレート電極 3 4 との接続抵抗を小さくできる。

【 0 0 4 6 】

以上のように、本実施形態の半導体記憶装置は、メモリセルアレイのメモリキャパシタ M C P のプレート電極に接続されたウェルを含む電気伝導体を備える。

【 0 0 4 7 】

メモリキャパシタ M C P をメモリトランジスタ M T R の下方に設けてメモリセルアレイの面積を小さくする場合、メモリセルアレイの上方に設けられた電源線等の配線とプレート電極との接続経路が長い場合高アスペクト比のビアが必要となり、接続抵抗が増加する。これは半導体記憶装置の誤動作の原因となる。これに対し、本実施形態の半導体記憶装置では、メモリキャパシタ M C P のプレート電極と半導体基板に設けられたウェルとを接続することにより、プレート電極の電気抵抗を小さくし、プレート電極内での電位分布のばらつきを抑制できるため、誤動作を抑制できる。

【 0 0 4 8 】

本実施形態は、他の実施形態と適宜組み合わせることができる。

【 0 0 4 9 】

(第 3 の実施形態)

図 1 2 は、半導体記憶装置の他の構造例を説明するための断面模式図であり、半導体記憶装置の Y - Z 断面の一部を示す。図 1 3 は、半導体記憶装置の他の構造例を説明するための上面模式図であり、半導体記憶装置の X - Y 平面の一部を示す。

【 0 0 5 0 】

図 1 2 および図 1 3 は、メモリセルアレイ M C A を含む第 1 の領域 R 1 と、第 1 の領域 R 1 に並置された第 2 の領域 R 2 と、を図示する。第 1 の領域 R 1 および第 2 の領域 R 2 は、回路 1 1 と、導電体 1 3 と、キャパシタ 3 0 と、酸化物導電層 4 1 と、酸化物導電層 4 2 と、電界効果トランジスタ 5 1 と、配線 6 1 と、電気伝導体 6 2 と、配線 7 1 と、電気伝導体 7 2 と、電気伝導体 8 1 と、配線 9 1 と、を有する。なお、回路 1 1、キャパシ

10

20

30

40

50

タ 3 0、酸化物導電層 4 1、酸化物導電層 4 2、電界効果トランジスタ 5 1、配線 6 1、電気伝導体 6 2、配線 7 1、電気伝導体 7 2、電気伝導体 8 1、および配線 9 1 は、第 1 の実施形態の回路 1 1、キャパシタ 3 0、酸化物導電層 4 1、酸化物導電層 4 2、電界効果トランジスタ 5 1、配線 6 1、電気伝導体 6 2、配線 7 1、電気伝導体 7 2、電気伝導体 8 1、および配線 9 1 とそれぞれ同じであるため説明を省略する。また、図 1 2 は、便宜のため、回路 1 1 の電界効果トランジスタを図示する。

【 0 0 5 1 】

導電体 1 3 は、回路 1 1 の電界効果トランジスタのゲート電極と同一の層に設けられた電気伝導体である。導電体 1 3 は、キャパシタ 3 0 のプレート電極 3 4 の下方に設けられる。導電体 1 3 は、例えば一つの導電層を加工することにより電界効果トランジスタのゲート電極と同一工程で形成可能である。導電体 1 3 は、例えばタンゲステン、窒化チタン、ポリシリコン等の材料を含む。

10

【 0 0 5 2 】

導電体 1 3 は、導電体 1 3 とプレート電極 3 4 との間のコンタクト 1 1 1 を介してキャパシタ 3 0 のプレート電極 3 4 に接続される。導電体 1 3 は、図 1 2 および図 1 3 に示すように、第 1 の領域 R 1 から第 2 の領域 R 2 まで延在し、第 2 の領域 R 2 においてコンタクト 1 1 1 を介してプレート電極 3 4 に接続されてもよい。

【 0 0 5 3 】

導電体 1 3 の形状は、特に限定されない。図 1 4 ないし図 1 6 は、導電体 1 3 の形状例を説明するための平面模式図である。図 1 4 は平板状の導電体 1 3 を図示し、図 1 5 は、ライン状の複数の導電体 1 3 を図示し、図 1 6 は格子状の導電体 1 3 を図示する。導電体 1 3 の面積を大きくすることにより導電体 1 3 とプレート電極 3 4 との接続抵抗を小さくできる。

20

【 0 0 5 4 】

以上のように、本実施形態の半導体記憶装置は、メモリセルアレイのメモリキャパシタ M C P のプレート電極に接続された導電体を含む電気伝導体を備える。

【 0 0 5 5 】

メモリキャパシタ M C P をメモリトランジスタ M T R の下方に設けてメモリセルアレイの面積を小さくする場合、メモリセルアレイの上方に設けられた電源線等の配線とプレート電極との接続経路が長いこと高アスペクト比のビアが必要となり、接続抵抗が増加する。これは半導体記憶装置の誤動作の原因となる。これに対し、本実施形態の半導体記憶装置では、メモリキャパシタ M C P のプレート電極と導電体とを接続することにより、プレート電極の電気抵抗を小さくし、プレート電極内での電位分布のばらつきを抑制できるため、誤動作を抑制できる。

30

【 0 0 5 6 】

本実施形態は、他の実施形態と適宜組み合わせることができる。

【 0 0 5 7 】

(第 4 の実施形態)

図 1 7 は、半導体記憶装置の他の構造例を説明するための断面模式図であり、半導体記憶装置の Y - Z 断面の一部を示す。図 1 8 は、半導体記憶装置の他の構造例を説明するための上面模式図であり、半導体記憶装置の X - Y 平面の一部を示す。

40

【 0 0 5 8 】

図 1 7 および図 1 8 は、メモリセルアレイ M C A を含む第 1 の領域 R 1 と、第 1 の領域 R 1 に並置された第 2 の領域 R 2 と、を図示する。第 1 の領域 R 1 および第 2 の領域 R 2 は、回路 1 1 と、ウェル 1 4 と、ウェル 1 5 と、導電体 1 6 と、キャパシタ 3 0 と、キャパシタ 3 6 と、電極 3 7 と、酸化物導電層 4 1 と、酸化物導電層 4 2 と、電界効果トランジスタ 5 1 と、配線 6 1 と、電気伝導体 6 2 と、配線 7 1 と、電気伝導体 7 2 と、電気伝導体 8 1 と、配線 9 1 と、を有する。なお、回路 1 1、キャパシタ 3 0、酸化物導電層 4 1、酸化物導電層 4 2、電界効果トランジスタ 5 1、配線 6 1、電気伝導体 6 2、配線 7 1、電気伝導体 7 2、電気伝導体 8 1、および配線 9 1 は、第 1 の実施形態の回路 1 1、

50

キャパシタ 30、酸化物導電層 41、酸化物導電層 42、電界効果トランジスタ 51、配線 61、電気伝導体 62、配線 71、電気伝導体 72、電気伝導体 81、および配線 91 とそれぞれ同じであるため説明を省略する。また、便宜のため、図 18 は、ウェル 14、ウェル 15、および導電体 16 を点線で図示する。

【0059】

ウェル 14 は、回路 11 と同様に半導体基板に設けられた電気伝導体である。ウェル 14 は、キャパシタ 30 のプレート電極 34 の下方に設けられる。ウェル 14 は、ドナーまたはアクセプタの一方の不純物元素を含有し、N 型または P 型の導電性を有する。ウェル 14 の表面にシリサイド層が設けられていてもよい。ウェル 14 は、図 17 および図 18 に示すように、第 1 の領域 R1 から第 2 の領域 R2 まで延在してもよい。ウェル 14 は、例えば回路 11 の電界効果トランジスタのソース領域およびドレイン領域と同一工程により形成してもよい。

10

【0060】

ウェル 15 は、回路 11 と同様に半導体基板に設けられた電気伝導体である。ウェル 15 は、図 17 に示すように、導電体 16 の下方に設けられ、ウェル 14 を囲む。ウェル 15 は、ドナーまたはアクセプタの他方の不純物元素を含有し、N 型または P 型の導電性を有する。

【0061】

ウェル 14 およびウェル 15 は、互いに異なる導電性を有する。例えば、ウェル 14 が N 型の導電性を有するとき、ウェル 15 は P 型の導電性を有し、ウェル 14 が P 型の導電性を有するとき、ウェル 15 は N 型の導電性を有する。

20

【0062】

ウェル 15 は、図 17 および図 18 に示すように、第 1 の領域 R1 から第 2 の領域 R2 まで延在し、第 2 の領域 R2 においてコンタクトを介して電極 37 に接続される。コンタクトの形状は、特に限定されない。

【0063】

導電体 16 は、回路 11 の電界効果トランジスタのゲート電極と同一の層に設けられた電気伝導体である。導電体 16 は、プレート電極 34 の下方に設けられる。導電体 16 は、例えば一つの導電層を加工することにより電界効果トランジスタのゲート電極と同一工程で形成可能である。導電体 16 は、例えばタンゲステン、窒化チタン、ポリシリコン等の材料を含む。

30

【0064】

導電体 16 は、コンタクトを介してキャパシタ 30 のプレート電極 34 に接続される。導電体 16 は、図 17 および図 18 に示すように、第 1 の領域 R1 から第 2 の領域 R2 まで延在し、第 2 の領域 R2 においてコンタクトを介してプレート電極 34 に接続されてもよい。導電体 16 の形状は、特に限定されない。

【0065】

ウェル 14 および導電体 16 は、ウェル 14 と導電体 16 の間の絶縁体とともにキャパシタ 36 を構成する。キャパシタ 36 は、導電体 16 を含む電極と、ウェル 14 を含む電極と、を有する金属 - 絶縁体 - 半導体キャパシタ (MIS キャパシタ) である。キャパシタ 36 の容量は、例えばキャパシタ 30 の容量よりも大きい。

40

【0066】

電極 37 は、ウェル 15 の上方に設けられ、コンタクトを介してウェル 15 に接続される。電極 37 は、例えば図示しない特定の電位を供給する配線に接続される。電極 37 は、例えば一つの導電層を加工することによりプレート電極 34 と同一工程で形成可能である。

【0067】

以上のように、本実施形態の半導体記憶装置は、メモリセルアレイのメモリキャパシタ MCP のプレート電極に接続された MIS キャパシタを備える。

【0068】

50

メモリキャパシタMCPをメモリトランジスタMTRの下方に設けてメモリセルアレイの面積を小さくする場合、メモリセルアレイの上方に設けられた電源線等の配線とプレート電極との接続経路が長いこと高アスペクト比のビアが必要となり、接続抵抗が増加する。これは半導体記憶装置の誤動作の原因となる。これに対し、本実施形態の半導体記憶装置では、メモリキャパシタMCPのプレート電極にMISキャパシタを接続することにより、ノイズを低減できるため、誤動作を抑制できる。

【0069】

本実施形態は、他の実施形態と適宜組み合わせることができる。

【0070】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

10

【符号の説明】

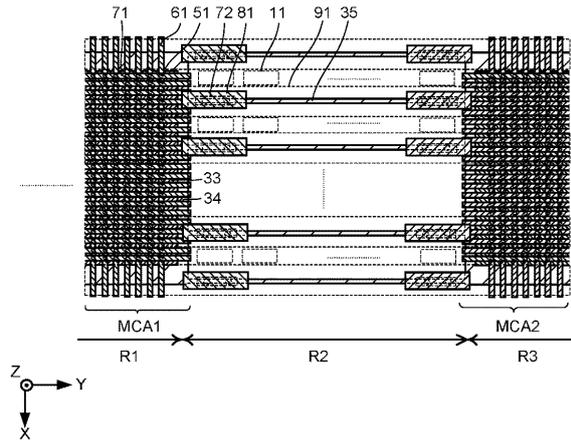
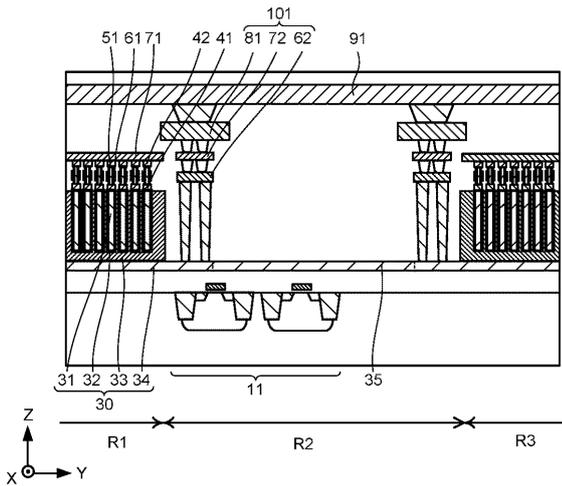
【0071】

11...回路、12...ウェル、13...導電体、14...ウェル、15...ウェル、16...導電体、30...キャパシタ、31...セル電極、32...絶縁膜、33...プレート電極、34...プレート電極、35...電気伝導体、36...キャパシタ、37...電極、41...酸化物導電層、42...酸化物導電層、51...電界効果トランジスタ、61...配線、62...電気伝導体、71...配線、72...電気伝導体、81...電気伝導体、91...配線、101...接続部、111...コンタクト、501...チャンネル層、502...ゲート絶縁膜、WL...ワード線、BL...ビット線、MC...メモリセル、MCA...メモリセルアレイ、MCP...メモリキャパシタ、MTR...メモリトランジスタ、R1...第1の領域、R2...第2の領域、R3...第3の領域。

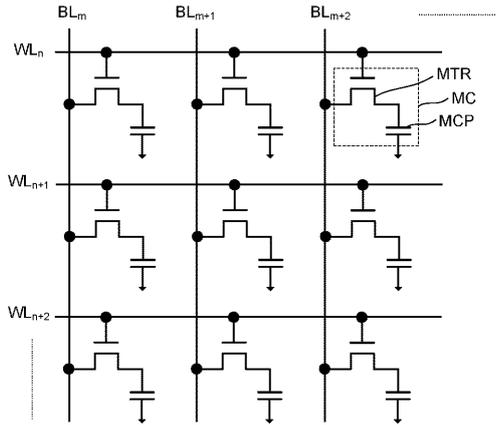
20

【図1】

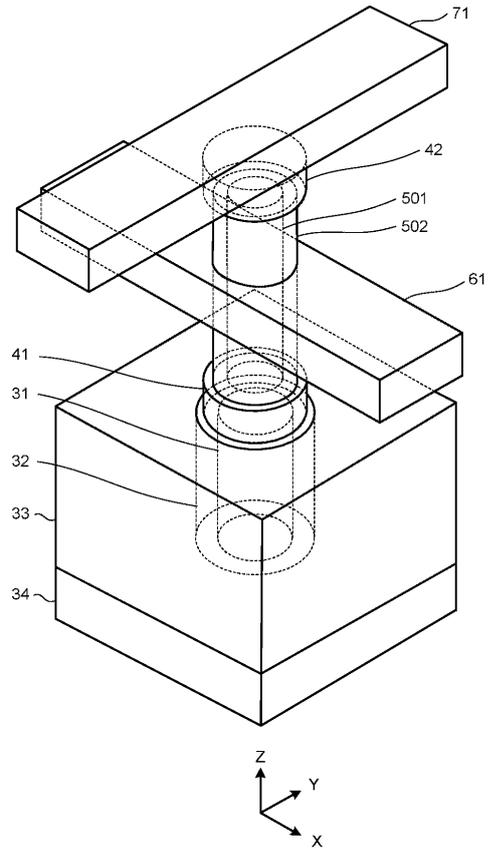
【図2】



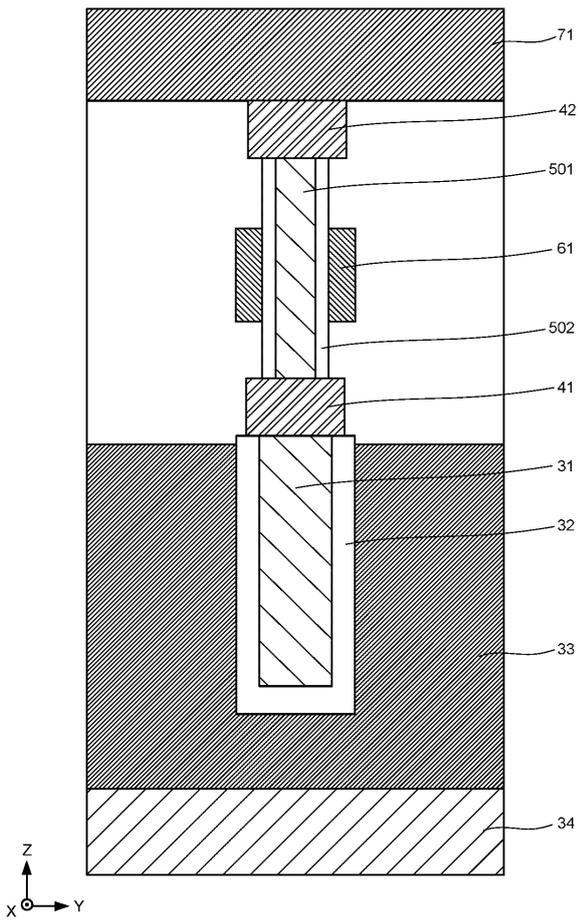
【 図 3 】



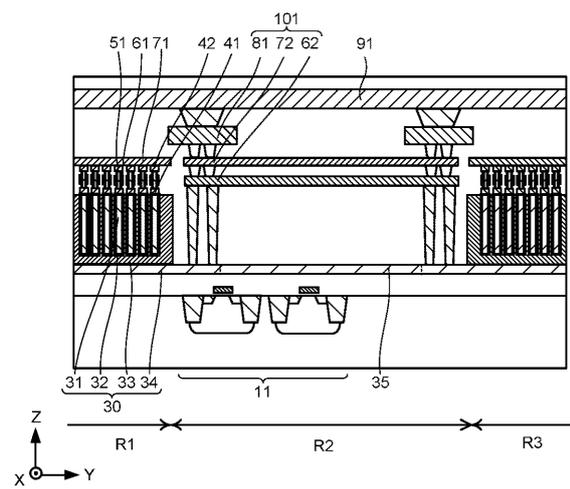
【 図 4 】



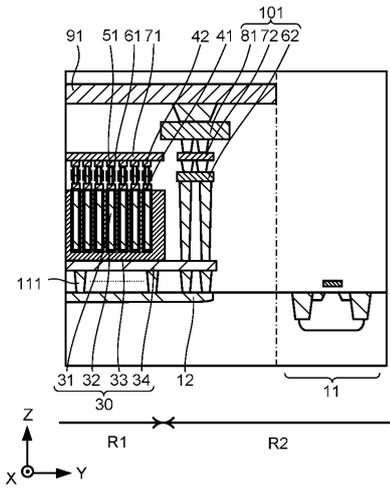
【 図 5 】



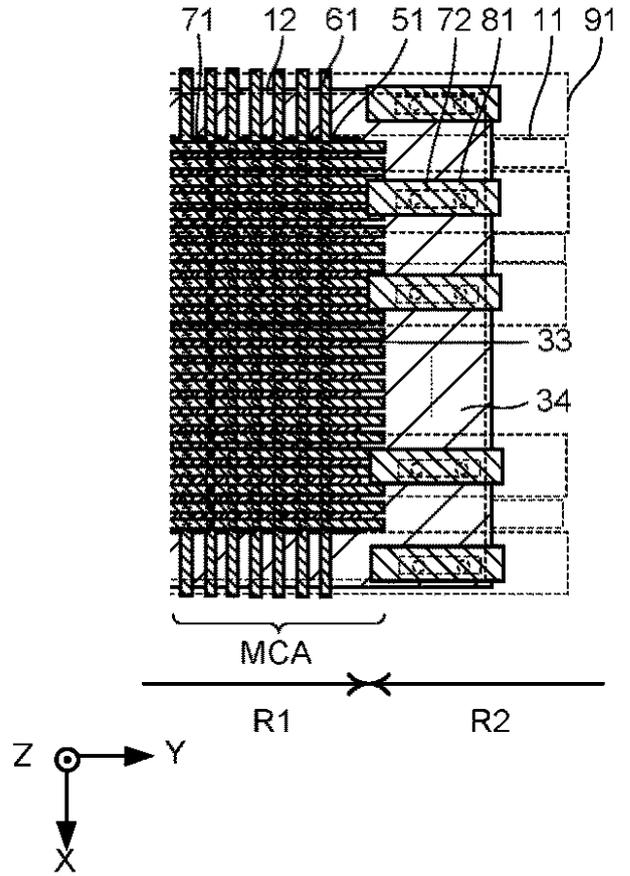
【 図 6 】



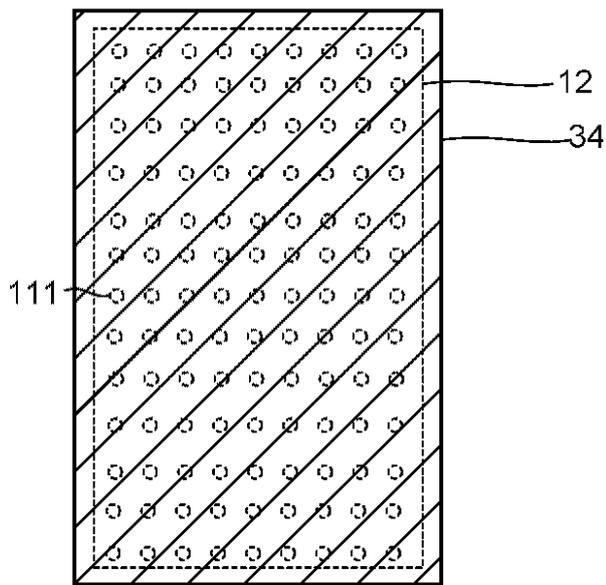
【 図 7 】



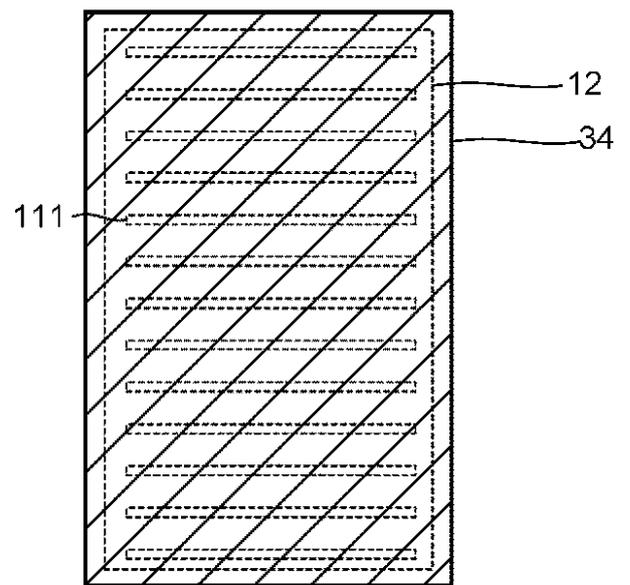
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 29/78 6 2 6

(72)発明者 宮野 信治

東京都港区芝浦三丁目1番21号 キオクシア株式会社内

Fターム(参考) 5F083 AD02 AD06 AD24 AD31 GA02 GA06 GA09 GA10 GA11 HA06
JA02 JA05 JA37 JA39 JA40 JA60 MA06 MA16 MA19 ZA04
5F110 AA06 AA30 BB06 BB11 CC09 CC10 DD05 DD11 EE02 EE04
EE06 EE08 EE24 FF02 FF04 GG01 GG23 HK07 NN72 NN74
NN78