



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년10월30일
(11) 등록번호 10-0924377
(24) 등록일자 2009년10월23일

- (51) Int. Cl.
G11C 16/34 (2006.01)
- (21) 출원번호 10-2003-7014008
(22) 출원일자 2001년11월14일
심사청구일자 2006년07월27일
(85) 번역문제출일자 2003년10월24일
(65) 공개번호 10-2004-0015161
(43) 공개일자 2004년02월18일
(86) 국제출원번호 PCT/US2001/043730
(87) 국제공개번호 WO 2002/089144
국제공개일자 2002년11월07일
(30) 우선권주장
09/842,288 2001년04월25일 미국(US)
(56) 선행기술조사문헌
US6181599
US6198664
US6205059
US6011722

- (73) 특허권자
어드밴스드 마이크로 디바이스즈, 인코포레이티드
미국 캘리포니아 94088-3453 서니베일 원 에이엠
디 플레이스 메일 스톱68
(72) 발명자
패스토우리치드엠.
미국캘리포니아95014큐퍼티노아파트먼트2파크우드
드라이브10203
해다드새미어
미국캘리포니아95123산호세블로섬에비뉴6277
클레브랜드리
미국캘리포니아95051산타클라라세인트매리스플레
이스3428
(74) 대리인
박장원

전체 청구항 수 : 총 12 항

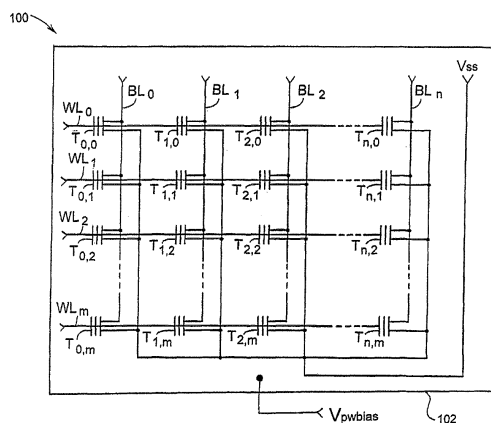
심사관 : 홍승무

(54) 높은 칼럼 누설이 존재하는 NOR 플래시 메모리 셀들을위한 정확한 검증 장치 및 방법

(57) 요약

소거 검증동안 플래시 EEPROM 디바이스(10)에서 칼럼 누설을 감소시키기 위한 기술이 제공되며, 그럼으로써 거짓 검증을 방지할 수 있다. 본 기술은 다수의 셀들(100)이 나란히 연결된 NOR 어레이들 또는 다른 유형의 어레이들에 적용될 수 있다. 본 기술은 병렬의 비선택 셀들의 누설을 감소시켜 검증될 선택 셀에 영향을 미쳐, 그럼으로써 거짓 검증을 방지한다. 본 기술은 또한 소프트 프로그래밍, APDE, 또는 다양한 다른 V_{th} 치밀화 기법들 등과 같은, 칼럼 누설을 감소시키기 위한 다른 기법들과 결합하여 사용될 수 있다.

대표도



특허청구의 범위

청구항 1

반도체 기판의 p웰(102)에 형성되어, 로우들과 칼럼들에서 동작되도록 배열된 플래쉬 메모리 셀들(100)의 어레이를 갖는 플래쉬 메모리 디바이스(10)에서 검증 동작을 위한 방법-여기서 동일한 칼럼의 셀들(100)은 각각 대응하는 동일한 워드라인(WL_i)에 연결된 제어 게이트를 갖고, 상기 동일한 칼럼의 셀들(100)은 각각 대응하는 동일한 비트 라인(BL_j)에 연결된 드레인을 갖고, 그리고 각각의 셀들(100)은 소스 전위에 연결된 소스를 갖는다-으로서,

- i) 동일한 칼럼에 대응하는 비트 라인(BL_j)과 선택될 적어도 하나의 셀에 대응하여 연결된 워드라인(들)(WL_i)에 제 1 전압을 인가하고, 상기 동일한 칼럼의 비선택 셀들에 대응하여 연결된 나머지 워드라인들에 제 2 전압을 인가함으로써 상기 동일한 칼럼의 셀들(100) 중 적어도 한 셀을 선택하는 단계 -상기 제 1 전압은 상기 제 2 전압보다 높음- 와;
- ii) 검증 동작 동안 상기 p웰(102)에 선택적으로 음의 바이어스 전압(V_{pwbias})을 인가하는 단계와;
- iii) 상기 검증 동작동안 대응하는 음의 바이어스 전압을 기준 셀의 p웰에 인가하는 단계와;
- iv) 상기 선택된 적어도 하나의 셀의 비트 라인(BL_j)을 통한 전류와 상기 기준 셀의 전류를 비교하는 단계와; 그리고
- v) 상기 비교에 근거하여 상기 선택된 적어도 하나의 셀이 올바르게 동작하는지 여부를 검증하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 2

제 1항에 있어서,
 상기 음의 바이어스 전압(V_{pwbias}) 인가는 상기 선택된 적어도 하나의 셀과 동일한 비트 라인(BL_j)에 연결된 상기 비선택 셀들의 임계 전압(V_{th})을 증가시키고, 상기 동일한 비트 라인(BL_j)에 연결된 상기 비선택 셀들을 통한 누설 전류를 감소시키도록 기능하는 것을 특징으로 하는 방법.

청구항 3

삭제

청구항 4

제 1 항에 있어서,
 상기 메모리 셀들(100)의 p웰(102)에 인가된 상기 음의 바이어스 전압(V_{pwbias})은 상기 기준 셀의 p웰에 인가된 상기 음의 바이어스 전압과 같은 것을 특징으로 하는 방법.

청구항 5

제 1 항에 있어서,
 상기 메모리 셀들(100)의 p웰(102)에 인가된 상기 음의 바이어스 전압(V_{pwbias})은 상기 기준 셀의 p웰에 인가된 상기 음의 바이어스 전압과 다른 것을 특징으로 하는 방법.

청구항 6

제 1 항에 있어서,
 상기 단계 i) 내지 단계 v) 는 플래쉬 메모리 셀들(100)의 어레이의 각 셀에 대하여 반복되는 것을 특징으로 하

는 방법.

청구항 7

제 1항에 있어서,

상기 검증 동작은 소거 검증, 프로그래밍 검증, 소프트 프로그래밍 검증 및 APDE 검증 중 적어도 어느 하나인 것을 특징으로 하는 방법.

청구항 8

반도체 기판의 p웰(102)에 형성되어 로우들 및 칼럼들에서 동작하도록 배열된 플래쉬 메모리 셀들(100)의 어레이 -상기 동일한 열에 존재하는 셀들(100)은 대응하는 동일한 워드라인(WL_i)에 연결된 제어 게이트를 각각 갖고, 동일한 칼럼에 존재하는 셀들(100)은 대응하는 동일한 비트 라인(BL_j)에 연결된 드레인을 각각 갖고, 그리고 각 셀들(100)은 소스 전위에 연결된 소스를 갖는다-와; 그리고

상기 셀들(100)의 검증 동작을 위한 제어 회로를 포함하여 이루어지며,

상기 제어회로는,

- i) 동일한 칼럼에 대응하는 비트 라인(BL_j)과 선택될 적어도 하나의 셀에 대응하여 연결된 워드라인(들)(WL_i)에 제 1 전압을 인가하고, 상기 동일한 칼럼의 비선택 셀들에 대응하여 연결된 나머지 워드라인들에 제 2 전압을 인가함으로써 상기 동일한 칼럼의 셀들(100) 중 적어도 한 셀을 선택하는 단계 -상기 제 1 전압은 상기 제 2 전압보다 높음- 와;
- ii) 검증 동작 동안 상기 p웰(102)에 선택적으로 음의 바이어스 전압(V_{pwbias})을 인가하는 단계와;
- iii) 상기 검증 동작동안 대응하는 음의 바이어스 전압을 기준 셀의 p웰에 인가하는 단계와;
- iv) 상기 선택된 적어도 하나의 셀의 비트 라인(BL_j)을 통한 전류와 상기 기준 셀의 전류를 비교하는 단계와; 그리고
- v) 상기 비교에 근거하여 상기 선택된 적어도 하나의 셀이 올바르게 동작하는지 여부를 검증하는 단계를 수행하는 것을 특징으로 하는 플래쉬 메모리 디바이스.

청구항 9

제 8 항에 있어서,

상기 음의 바이어스 전압(V_{pwbias}) 인가는 상기 선택된 적어도 하나의 셀과 동일한 비트 라인(BL_j)에 연결된 상기 비선택 셀들의 임계 전압(V_{th})을 증가시키고, 상기 동일한 비트 라인(BL_j)에 연결된 상기 비선택 셀들을 통한 누설 전류를 감소시키도록 기능하는 것을 특징으로 하는 플래쉬 메모리 디바이스.

청구항 10

삭제

청구항 11

제 8 항에 있어서,

상기 메모리 셀들(100)의 p웰(102)에 인가된 상기 음의 바이어스 전압(V_{pwbias})은 상기 기준 셀의 p웰에 인가된 상기 음의 바이어스 전압과 같은 것을 특징으로 하는 플래쉬 메모리 디바이스.

청구항 12

제 8 항에 있어서,

상기 메모리 셀들(100)의 p웰(102)에 인가된 상기 음의 바이어스 전압(V_{pwbias})은 상기 기준 셀의 p웰에 인가된

상기 음의 바이어스 전압과 다른 것을 특징으로 하는 플래쉬 메모리 디바이스.

청구항 13

제 8 항에 있어서, 상기 제어 회로는,

상기 단계 i) 내지 단계 v)를 플래쉬 메모리 셀들(100)의 어레이의 각 셀에 대하여 반복하는 것을 특징으로 하는 플래쉬 메모리 디바이스.

청구항 14

제 8 항에 있어서,

상기 검증 동작은 소거 검증, 프로그래밍 검증, 소프트 프로그래밍 검증 및 APDE 검증 중 적어도 어느 하나인 것을 특징으로 하는 플래쉬 메모리 디바이스.

명세서

기술분야

<1> 본 발명은 플래쉬 EEPROM 셀들의 어레이를 포함하는 집적 회로 메모리에 관한 것으로, 더욱 구체적으로는 높은 칼럼 누설(high column leakage) 존재하에 정확한 검증을 제공하기 위한 회로에 관한 것이다.

배경기술

<2> 마이크로 전자 플래쉬 또는 블록 소거 전기적 소거 프로그램 가능 판독 전용 메모리(Flash EEPROM)는 독립적으로 프로그래밍되고 판독될 수 있는 셀들의 어레이를 포함한다. 각 셀의 사이즈와 이에 의한 메모리는 셀들이 독립적으로 소거될 수 있도록 하는 선택 트랜지스터들을 생략함으로써 작아지게 된다. 모든 셀들은 하나의 블록으로서 함께 소거된다.

<3> 이 유형의 메모리는 개별적인 MOS(금속 산화물 반도체) 전계 효과 트랜지스터 메모리 셀들을 포함하고, 이 셀들의 각각은 이진수 1 또는 0으로 셀을 프로그램 하거나, 또는 모든 셀들을 소거하기 위한 다양한 전압들이 인가되는 소스, 드레인, 플로팅 게이트 및 제어게이트를 포함한다. 셀들은 로우(rows)와 칼럼(columns)의 직교 어레이로 연결되고, 로우에 존재하는 셀들의 제어 게이트는 각각 워드라인에 연결되고, 칼럼에 존재하는 셀들의 드레인은 각각 비트 라인에 연결된다. 셀들의 소스는 다같이 연결된다. 이러한 배열이 NOR 메모리 구조로서 공지되어 있다.

<4> 전형적으로는 제어 게이트에 9V(볼트), 드레인에 5V가 인가되고 소스가 접지됨으로써 셀이 프로그래밍되며, 이는 드레인 공핍 영역으로부터 플로팅 게이트로 주입될 핫 전자들(hot electrons)을 발생시킨다. 프로그래밍 전압들이 제거되면, 주입된 전자들은 플로팅 게이트안에 트래핑되고, 그 안에 약 4V가 넘는 값까지 셀 임계 전압을 증가시키는 음 전하를 생성한다.

<5> 셀은 전형적으로는 제어 게이트에 5V, 드레인이 연결되는 비트 라인에 1V를 인가하고, 소스를 접지하고, 비트 라인 전류를 감지함으로써 판독된다. 만약 셀이 프로그래밍되어 임계 전압이 상대적으로 높다면(예를 들면, 4V), 비트 라인 전류는 0이거나 또는 적어도 비교적 낮을 것이다. 만약 셀이 프로그래밍되거나 소거되지 않는다면, 임계 전압은 비교적 낮을 것이고(예를 들면, 2V), 제어 게이트 전압은 채널을 증가시킬 것이며, 비트 라인 전류는 비교적 높을 것이다.

<6> 몇개의 방법으로 셀이 소거될 수 있다. 한 장치에서, 전형적으로는 소스에 12V를 인가하고, 제어 게이트를 접지시키며, 드레인이 플로팅 되도록 함으로써 셀이 소거된다. 이는 프로그래밍동안 플로팅 게이트에 주입되었던 전자들이 파울러 노르다임 터널링(Fowler-Nordheim tunneling)에 의해 플로팅 게이트로부터 얇은 터널 옥사이드층을 통해 소스로 제거되도록 한다. 다른 방법으로는, 제어 게이트에 -10V 정도의 음의 전압을 인가하고, 소스에 5V의 전압을 인가하며, 드레인이 플로팅 되도록 함으로써 셀이 소거될 수 있다. 다른 방법으로는, 제어 게이트에 -10V 정도의 음의 전압을 인가하고, p웰(p-well)에 +10V 정도의 양의 전압을 인가함으로써 셀이 소거될 수 있다.

<7> 종래의 플래쉬 EEPROM 셀 장치들의 문제는, 제작 오차 때문에 다른 셀들이 충분히 소거되기 전에 몇몇 셀들이 과도 소거된다는 것이다. 따라서, 각각의 소거 절차 후에, 소거 검증 과정 또는 소거 검증 절차(이하, '소거 검

증'이라 함)가 수행된다. 특히, 소거 검증은 어레이의 각 셀이 한계치(예를 들면, 3V)보다 큰 임계치를 갖는지, 즉 셀이 "부족 소거(undererased)" 되었는지 여부를 결정하기 위해 셀마다 수행된다. 만약 부족 소거된 셀이 검출되면, 추가의 소거 펄스가 모든 어레이에 인가된다. 이와 같은 소거 절차로, 부족 소거되지 않은 셀 또한 반복적으로 소거되며, 이 셀의 플로팅 게이트는 실질적으로 0V보다 낮은 임계치를 가질 수 있다. 소거 임계치가 0V보다 낮은 셀은 "과도 소거(overerased)"로 불린다.

- <8> 과도소거 셀들은 메모리가 동작하지 않도록 할 수 있는 프로그래밍 또는 판독 절차를 동안 비트 라인 누설 전류를 생성하기 때문에 바람직하지 않다. 과도 소거 셀의 플로팅 게이트는 전자들이 공핍되어 양의 전하를 띤다. 이는 과도 소거 셀들이 그들의 제어 게이트에 인가되는 정상 동작 전압(normal operating voltage)에 의해 턴오프(turn off)될 수 없는 공핍 모드 트랜지스터로서 기능하게 하며, 후속의 프로그램 및 판독 동작 동안에 누설을 발생시킨다.
- <9> 반대로, 부족 소거 셀들은 예를 들면 불완전한 데이터 저장과 같은 문제를 야기하기 때문에 또한 바람직하지 못하다. 예를 들면, 실제로 셀이 프로그래밍된 이진 값 0을 가지려고 의도하는 경우, 부족 소거 셀이 프로그래밍된 이진 값 1을 가지는 것으로 판독될 수 있다. 따라서, 소거 검증 절차가 적절히 소거된 셀의 존재를 정확히 검출하는 것이 중요하다. 소거 검증 절차가, 부족 소거 셀이 완전히 소거되었다고 거짓으로 확인되는 "거짓 검증(false verify)"을 피하는 것이 중요하다.
- <10> 과거에 과도 소거 셀의 비트 라인 누설 전류가 발생하는 문제가 있었고, 이는 소거 검증 과정 동안 부족 소거 셀의 거짓 검증을 야기할 수 있다. 보다 구체적으로는, 소거 검증 동안, 테스트중인 선택된 셀을 포함하는 로우 셀들의 제어 게이트들에 연결된 오직 한 워드라인만이 일시에 하이(high)로 유지된다. 다른 워드라인들은 접지된다. 양의 전압들이 선택된 셀을 포함한 칼럼의 모든 셀들의 드레인에 인가된다. 만약 칼럼의 선택되지 않은 셀(들)의 임계 전압이 0 또는 음이라면, 선택되지 않은 셀(들)의 소스, 채널 및 드레인을 통해 누설 전류가 흘러 거짓 검증을 야기할 수 있다.
- <11> 이 바람직하지 못한 효과는 도 1에 도시된다. 플로팅 게이트 셀 트랜지스터들(T_0 에서 T_m)의 칼럼의 드레인들은 비트 라인(BL)에 연결되며, 이 BL은 자체적으로 비트 라인 구동기(1)에 연결된다. 트랜지스터들(T_0 에서 T_m)의 소스들은 전형적으로는 그라운드에 연결된다. 소거 검증 절차를 위해 한번에 트랜지스터들(T_0 에서 T_m) 중 하나가 선택되고, 트랜지스터를 턴온(turn on)하는 그것의 제어 게이트에 양의 전압(예를 들면, 5V)이 인가된다. 이 칼럼에 선택되지 않은 트랜지스터들의 제어 게이트들은 그라운드에 연결된다.
- <12> 도 1에 보여지는 바와 같이, 턴온한 트랜지스터 T_1 에 5V가 인가된다. 전류 I_1 이 트랜지스터 T_1 을 통해, 그라운드로부터 그것의 소스, 채널(미도시), 및 드레인을 통해, 비트 라인(BL)을 통해 구동기(1)로 흐른다. 이상적으로는, 비트 라인 전류(I_{BL})는 I_1 과 같아야 하며, 비트 라인 전류는 감지 증폭기(미도시)로 감지된다. 감지 증폭기는 비트 라인 전류(I_{BL})를, 충분히 소거된 셀을 표시하는 기준 셀(미도시)의 전류 I_{ref} (검증 전류)에 비교한다. 트랜지스터 T_1 이 충분히 소거된 경우, 감지 증폭기에 의해 결정되는 것과 같이 비트 라인 전류 I_{BL} (또는 I_1)는 기준 셀의 전류 I_{ref} 와 같다. 트랜지스터 T_1 이 충분히 소거되지 않은 경우, 감지 증폭기에 의해 결정되는 것과 같이 비트 라인 전류 I_{BL} (또는 I_1)는 기준 셀의 전류 I_{ref} 보다 작다. 따라서, 트랜지스터 T_1 이 충분히 소거된 경우 감지 증폭기의 출력에 근거하여 검증할 수가 있다.
- <13> 그러나, 만약 하나 이상의 선택되지 않은 트랜지스터들, 예를 들면 도 1에 도시된 트랜지스터 T_2 가 과도 소거되었다면, 그 임계 전압은 0 또는 음이 될 것이며, 배경 누설 전류는 I_2 로 표시된 바와 같이 트랜지스터 T_2 를 통해 흐를 것이다. 트랜지스터 T_1 의 소거 검사동안 비트 라인 전류 I_{BL} 는 이제 더 이상 I_1 과 같지 않고, I_1 과 배경 누설 전류 I_2 의 합과 같다.
- <14> 전형적인 플래시 EEPROM에서, 도 1에 도시된 것과 같이 많은 수(예를 들면, 512개)의 트랜지스터 셀들의 드레인들이 각 비트 라인(칼럼)에 연결된다. 비트 라인 상의 상당한 수의 셀들이 배경 누설 전류를 발생시킨다면, 소거 검증 과정동안 비트 라인 상의 총 누설 전류는 선택된 셀들로부터의 전류와 합쳐져 기준 셀의 전류 I_{ref} 과 같거나 클 수 있다. 이것은 선택 셀이 부족 소거 상태임에도 불구하고 비트 라인 상의 누설 전류의 영향 때문에 소거된 것으로 검증되는, 거짓 검증 환경을 야기할 수 있다.
- <15> 종래의 플래시 EEPROM 디바이스들과 관계된 기술한 단점들에 있어서, 높은 칼럼 누설이 존재하는 경우라도 정확

한 소거 검사를 제공하기 위한 장치 및 방법이 당업계에서 강하게 요구된다. 게다가, 높은 칼럼 누설이 존재하는 경우라도 거짓 검증 없이 다른 유형의 검증을 수행하기 위한 장치 및 방법이 당업계에서 강하게 요구된다.

발명의 상세한 설명

- <16> 본 발명은 검증 과정 동안 플래쉬 EEPROM 디바이스의 칼럼 누설을 감소시키기 위한 기술을 제공하며, 그럼으로써 거짓 검증을 방지한다. 본 발명은 NOR 어레이들 또는 다수의 셀들이 병렬로 연결된 다른 유형의 어레이들에 적용될 수 있다. 본 발명은 병렬로 연결된 비선택 셀들의 누설을 감소시켜 선택 셀(들)을 검증하며, 그럼으로써 거짓 검증을 방지한다. 또한, 본 발명은 소프트 프로그래밍, APDE(automatic programming disturb erase) 또는 다양한 다른 V_{th} 치밀화 기법 등과 같은 다른 기술들과 함께 사용될 수 있다. 본 발명에 따른 검증 과정 동안, 어레이의 선택 셀(들)의 전류는 검증 기준 셀 전류 I_{ref} 에 비교된다. 비선택 셀들로부터의 누설 전류는 셀들의 어레이가 위치한 p웰에 음의 바이어스(예를 들면, 0V 내지 -5V보다 작음)를 인가함으로써 감소된다. 셀들의 바디효과(body effect)는 각 셀들에 대해 증가된 임계 전압(V_{th})을 발생시킬 것이며, 그럼으로써 누설 전류를 감소시킬 것이다. 기준 셀의 p웰에 같은 음의 바이어스를 인가함으로써, 선택 셀(들)의 전류와 기준 셀의 전류는 비선택 셀들로부터의 누설을 수반하지 않고 정확히 비교될 수 있다. 이에 따라, 이는 검증 과정동안 거짓 검증을 피한다.
- <17> 본 발명의 일 태양에 따라서, 플래쉬 메모리 디바이스가 제공된다. 플래쉬 메모리 디바이스는 반도체 기판의 p웰에 형성되어 로우들 및 칼럼들에 동작 가능하게 배열된 플래쉬 메모리 셀들의 어레이를 포함하며, 동일한 로우에 존재하는 셀들은 대응하는 동일한 워드라인에 연결된 제어 게이트를 각각 갖고, 동일한 칼럼의 셀들은 대응하는 동일한 비트 라인에 연결된 드레인을 갖고, 각 셀들은 소스 전위에 연결된 소스를 갖는다. 또한, 플래쉬 메모리 디바이스는 셀들이 소거되었는지 여부를 검증하기 위한 제어 회로를 포함한다. 이 제어 회로는 i) 동일한 칼럼에 대응하는 비트 라인(BL_j)과 선택된 적어도 한 셀에 대응하여 연결된 워드라인(들)(WL_i)에 높은 전압을 인가하고, 상기 동일한 칼럼의 비선택 셀들에 대응하여 연결된 나머지 워드라인들에 낮은 전압을 인가함으로써 상기 동일한 칼럼의 셀들 중 적어도 한 셀을 선택하는 단계와; ii) 검증 동작 동안 상기 p웰에 선택적으로 음의 바이어스 전압(V_{pbias})을 인가하는 단계와; iii) 상기 선택된 적어도 한 셀의 비트 라인(BL_j)을 통한 전류를 기준 셀과 비교하는 단계와; 그리고 iv) 상기 비교에 근거하여 상기 선택된 적어도 한 셀이 적절히 동작하는지 여부를 검증하는 단계를 수행하도록 구성된다.
- <18> 본 발명의 또 다른 태양에 따라서, 반도체 기판의 p웰에 형성되어 로우들 및 칼럼들에 동작 가능하게 배열된 플래쉬 메모리 셀들의 어레이를 갖는 플래쉬 메모리 디바이스에서의 검증 동작을 위한 방법이 제공되며, 여기서 동일한 로우에 존재하는 셀들은 대응하는 동일한 워드라인에 연결된 제어 게이트를 각각 갖고, 동일한 칼럼에 존재하는 셀들은 대응하는 동일한 비트 라인에 연결된 드레인을 각각 갖고, 각 셀들은 소스 전위에 연결된 소스를 갖는다. 이 방법은 i) 동일한 칼럼에 대응하는 비트 라인(BL_j)과 선택된 적어도 한 셀에 대응하여 연결된 워드라인(들)(WL_i)에 높은 전압을 인가하고, 상기 동일한 칼럼의 비선택 셀들에 대응하여 연결된 나머지 워드라인들에 낮은 전압을 인가함으로써 상기 동일한 칼럼의 셀들 중 적어도 한 셀을 선택하는 단계와; ii) 검증 동작 동안 상기 p웰에 선택적으로 음의 바이어스 전압(V_{pbias})을 인가하는 단계와; iii) 상기 선택된 적어도 한 셀의 비트 라인(BL_j)을 통한 전류를 기준 셀과 비교하는 단계와; 그리고 iv) 상기 비교에 근거하여 상기 선택된 적어도 한 셀이 적절히 동작하는지 여부를 검증하는 단계를 포함한다.
- <19> 전술한 목적 및 이와 관련된 목적을 달성하기 위하여, 본 발명은 이하에서 완전히 기술되고 청구항에서 특별히 지시되는 특징들을 포함한다. 후술의 설명 및 첨부된 도면은 본 발명의 몇몇 예시적인 실시예들을 상세히 설명한다. 이러한 실시예들이 개시되나, 이는 본 발명의 원리가 채용될 수 있는 다양한 방식 중 소수이다. 본 발명의 다른 목적, 이점 및 신규한 특징들은 도면을 참조하여, 후술의 본 발명의 상세한 설명으로부터 명백해질 것이다.

실시예

- <25> 본 발명은 이제 도면들을 참조로 기술될 것이며, 도면의 동일한 참조 번호는 전체를 통해 동일한 구성요소를 지칭하는데 사용된다.
- <26> 먼저 도 2를 참조하면, 플래쉬 EEPROM 디바이스(10)가 본 발명에 따라서 도시된다. EEPROM 디바이스(10)는, 어

레이의 메모리 셀들이 플래쉬 EEPROM 메모리 어레이(100)와, 이 어레이(100)의 메모리 셀들을 위한 프로그래밍, 소거, 판독, 과도 소거 보정 등이 가능한 회로를 포함하는 집적 회로이다. 플래쉬 EEPROM 어레이(100)는 도 3에서 보다 상세히 도시된 바와 같이 개개의 셀들로 구성된다.

- <27> 도 3에 도시된 바와 같이, 어레이(100)는 m+1개의 로우들과 n+1개의 칼럼들의 어레이에 배열된 플로팅 게이트 트랜지스터 셀 T를 포함한다. 소정 칼럼의 각 개별 셀 $T_{i,j}$ (i=0 내지 m; j=0 내지 n)은 비트 라인 BL_j (j=0 내지 n)에 연결된 드레인을 갖는다. 각 어레이 셀들 $T_{i,j}$ 의 소스는 소스 공급 전압(source supply voltage) V_{ss} 에 연결된다. 소정 로우의 각 개별 셀 $T_{i,j}$ 은 워드라인 WL_i 에 연결된다(i=0 내지 m).
- <28> 플래쉬 EEPROM 디바이스(10)가 형성된 반도체 기판에 대하여, 도 3에 도시된 바와 같이 p웰에 어레이 셀들 $T_{i,j}$ 이 형성된다. 본 발명에 따라, p웰(102)은 검증 과정 또는 절차 동안 소정 칼럼에서 누설 전류를 감소시키도록 기능하는 제어된 바이어스 전압 V_{pbias} 을 선택적으로 받는다. p웰(102)에 음의 바이어스 전압(예를 들면, $V_{pbias} \leq 0V$ 내지 $-5V$)을 선택적으로 제공함으로써, 셀들 $T_{i,j}$ 의 바디 효과는 각 셀들의 증가된 임계 전압 V_{th} 을 야기한다. 결과적으로, 누설 전류는, 예를 들면 소거 검증 과정 동안 비선택 셀 및 잠정적으로 과도 소거된 셀들 가운데서 발생한다.
- <29> 게다가 본 발명에 따라, 대응하는 음의 바이어스 전압이 선택 셀(들)과 관계된 기준 셀이 위치한 p웰에 제공된다. 결과적으로, 선택 셀의 비트 라인 상의 전류와 기준 셀의 전류의 비교는 정확한 검증(예를 들면, 선택 셀이 적절히 소거되었는지 여부에 관한 검증)을 야기한다.
- <30> 다시 도 2를 참조하면, 소정 칼럼의 셀들의 드레인들에 연결된 각 비트 라인 BL(예를 들면, BL_0, BL_1, \dots, BL_n)은 비트 라인 풀업 회로(bitline pull up circuit)(106)와 디바이스(10)에 포함된 칼럼 디코더(108)에 연결된다. 소정 로우의 셀들의 게이트들에 연결된 워드라인들(예를 들면, WL_0, WL_1, \dots, WL_m)은 로우 디코더(row decoder)(110)에 연결된다.
- <31> 로우 디코더(110)는 전원 공급 장치(power supply)(112)로부터 전압 신호들을 받아서, 프로세서 또는 상태 기계(state machine)(114)로부터 수신된 로우 어드레스에 의해 제어되는 워드라인들 WL에 개개의 전압 신호들을 분배한다. 마찬가지로, 비트 라인 풀업 회로(106)는 전원 공급 장치(112)로부터의 전압 신호들을 받아서, 프로세서(114)로부터의 신호에 의해 제어되는 비트 라인들 BL에 개개의 전압 신호들을 분배한다. 전원 공급 장치(112)에 의해 공급되는 전압들은 프로세서(114)로부터 수신된 신호들에 의해 제어되어 공급된다.
- <32> 칼럼 디코더(108)는 개개의 비트 라인들 BL로부터의 신호들을 프로세서(114)로부터 수신된 신호들에 의해 제어되는 감지 증폭기(sense amplifiers)들 또는 비교기들(comparators)(116)에 공급한다. 감지 증폭기들(116)은 기준 어레이(118)의 기준 셀들로 부터의 신호를 더 수신한다. 칼럼 디코더(108)로부터의 신호와 기준 어레이(118)로부터의 신호를 수신한 감지 증폭기(116)는 데이터 래치들(data latches) 또는 버퍼들(buffers)(120)을 통해 기준 셀 라인에 연결된 비트 라인 BL의 상태를 표시하는 신호를 프로세서(114)에 각각 제공한다.
- <33> 플래쉬 메모리 어레이(100)의 셀 T를 프로그래밍하기 위해, 전원 공급장치(112)로부터 높은 게이트 및 드레인 전압 펄스들이 셀 T에 공급된다. 셀의 소스와 p웰은 접지되거나 또는 0이 아닌 전위로 설정될 수 있다. 높은 게이트 및 드레인 전압 펄스들은 소스로부터 드레인으로 흐르는 전자들이 에너지 장벽을 극복할 수 있도록 하여, 전자들이 셀의 플로팅 게이트에 누적될 수 있도록 하는 얇은 유전체 층을 가로질러 가속될 "핫 전자들"을 발생시킨다. 이것은 셀에 대한 임계 전압 V_{th} 의 증가를 야기하며, 이 임계치는 도통하기 위해 셀 T에 대해 요구되는 게이트 대 소스 전압이다.
- <34> 플래쉬 메모리 어레이(100)의 셀을 소거하기 위하여, 파울러 노르다임 터널링이 이용되어, 예를 들면 비교적 높은 음의 게이트 대 p웰 전압 펄스들이 각각 몇 밀리초 동안 인가된다. 큰 음의 게이트 대 p웰 전압 펄스들은 전자들이 셀의 플로팅 게이트로부터 터널링 할 수 있도록 하여, 그 임계치를 감소시킨다.
- <35> 셀의 판독에 있어서, 3.0V 내지 6.5V(전형적으로는, 5V) 범위의 제어 게이트 전압이 인가된다. 5V 판독 펄스는 어레이 셀의 게이트와, 그리고 거의 3V의 임계치를 갖는 기준 어레이(118)의 셀에 인가된다. 5V보다 큰 임계치를 갖는 어레이(100)의 어레이 셀이 프로그래밍된 상태에서, 3V의 임계치를 갖는 기준 셀에 의해 제공되는 전류는 프로그래밍된 셀이 존재한다는 것을 더 잘 표시할 것이다. 어레이(100)의 어레이 셀의 임계치가 3V 보다 낮은 소거 상태에서, 어레이 셀에 의해 공급되는 전류는 소거 셀을 표시하는 3V의 임계치를 갖는 기준 셀보다 클 것이다. 셀들 T의 프로그래밍, 소거, 판독에 대한 상세한 사항은 당업계에 공지되었으므로, 본 발명과 밀접한

관계가 있는 것은 아니다. 따라서, 간결함을 위하여 더 상세한 설명은 생략되었다(예를 들면, 발명의 명칭이 "과도 소거를 제한하고 소거 검증 에러를 방지하는 플래쉬 메모리에 대한 과도 소거 보정(Overerase Correction for Flash Memory Which Limits Overerase and Prevents Erase Verify Errors)"인 미국 특허 제5,642,311호를 참조하기 바란다).

- <36> 예를 들면, 프로그래밍, 소프트 프로그래밍 또는 소거를 검증하기 위하여, 판독 전압이 어레이의 셀과 기준 어레이(118)의 셀들 모두에 인가된다. 예를 들면, 프로그래밍에 대하여 4.5V의 임계치를 갖는 기준 셀이 비교에 사용되는 반면, 소거에 대하여는 2.5V의 임계치를 갖는 기준 셀이 비교에 사용된다.
- <37> 본 발명의 검증 절차는 이제 소거 검증 절차와 관련하여 더욱 상세하게 기술될 것이다. 그러나, 본 발명은 높은 칼럼 누설의 효과를 감소시키는 것이 바람직한 다양한 다른 유형의 검증(예를 들면, 프로그래밍, 소프트 프로그래밍, APDE 등)에 적용될 수 있다는 것을 알 수 있을 것이다.
- <38> 예시적인 플래쉬 EEPROM(10)에서, 모든 셀들(10)은 동시에 소거된다. 메모리 셀들 T의 소거는 전술한, 어레이(100)의 각각의 셀들에 인가되는 짧은 소거 펄스들의 반복적인 인가에 의해 수행된다. 각 소거 펄스 다음에, 어레이의 각 셀이 예를 들면 2.5V와 같은 한계치보다 작은 임계치를 갖는지 여부를 결정하기 위해 셀마다 소거 검증이 수행된다. 만약 부족 소거된 셀이 검출되면, 추가적인 소거 펄스가 전체 어레이에 인가된다.
- <39> 도 4를 참조하면, 소정 선택 셀(예를 들면, T₁)에 대한 소거 검증 과정이 이하와 같이 일어난다. 전술한 바와 같이, 소거 검증은 한 번에 한 셀을 선택하여 셀마다 수행된다. 예를 들면, 프로세서(114)는 T₁의 드레인에 연결된 개별 비트 라인 BL과 T₁의 게이트에 연결된 개별 워드라인 WL₁에 인가될 높은 전압(예를 들면, 5V)을 발생 시킴으로써 셀 T₁을 선택한다. 다른 모든 비트 라인들 BL과 워드라인들 WL은 낮은 전압(예를 들면, 0V)을 받아, T₁ 이외의 셀들은 비선택 상태로 남는다. 부가적으로, 소거 검증 절차동안 프로세서(114)는 전원 공급 장치(112)가 음의 바이어스 전압 V_{pwbias}를 비선택 셀들이 존재하는, 선택 셀 T₁과 동일한 비트 라인 BL을 공유하는 p웰(102)(도 3)에 공급하도록 한다. 음의 바이어스 전압 V_{pwbias}은 예를 들면 0V 내지 -5V의 전압일 수 있다. 유사하게, 프로세서(114)는 전원 공급 장치(112)가 기준 셀이 존재하는, 선택 셀 전류가 비교 될 기준 어레이(118)의 p웰에 동일한 음의 바이어스 전압 V_{pwbias}을 공급하도록 한다.
- <40> p웰(102)에 인가된 음의 바이어스 전압에 기인한 바디 효과의 결과로서, 선택 셀 T₁의 비트 라인을 공유하는 모든 셀들의 임계 전압 V_{th}은 상승할 것이다. 따라서, 그렇지 못한 경우에 p웰(102)에 인가된 종래의 판독 상태 전압들과 함께 존재하는 어떠한 누설 전류(예를 들면, 도 1의 누설 전류)도 감소되거나 그리고/또는 제거될 것이다. 소거 검증 절차 동안 각 셀들 T의 임계 전압 V_{th}는 증가하므로, 임의의 과도 소거셀에 의한 전류 누설이 발생하지 않는다. 따라서, 비트 라인 BL상의 전류는 선택 셀 T₁에 의한 전류 I₁과 실질적으로 같을 것이다. 이것은 거짓 검증 상태의 가능성을 감소 시켜, 증가된 임계 전압들 V_{th}를 가진 비선택 셀들이 거짓 검증 상태를 야기하는 누설 전류에 기여하지 않을 것이다.
- <41> 선택 셀 T₁의 p웰에 인가된 전압 바이어스는 기준 어레이(118)의 대응하는 기준 셀에 또한 인가되므로, 선택 셀 T₁의 전압과 기준 셀의 전압은 동등하게 영향을 받을 것이다. 따라서, 감지 증폭기들(116)은 판독 동작에서와 동일한 방식으로 비트 라인 전류를 기준 셀 전류에 간단히 비교한다. 대안적으로, 기준 셀의 임계 전압 V_{th}가 적절히 조절되는 한 선택 셀의 p웰과 기준 셀의 p웰에 다른 바이어스 전압들이 인가될 수 있다.
- <42> 전술한 과정은 소거 검증 절차의 일부로서 어레이(100)의 각 셀들에 대하여 반복된다. 소거 검증 절차가 완료된 다음, 프로세서(114)는 어레이(100)에 대한 p웰과 기준 어레이(118)에 대한 p웰의 바이어스 레벨들이 그것들의 종래의 바이어스 레벨들로 회복되도록 한다(즉, 판독 상태 바이어스 레벨로 바이어스 레벨들을 회복시킨다).

산업상 이용 가능성

- <43> 본 발명의 소거 검증 절차는 다른 종래의 소거 과정과 다른 부분일 수 있다. 대안적으로, 소거 검증 절차는 APDE(예를 들면, 전술한 미국 특허 제5,642,311호에서 기술된 바와 같은) 등과 같은 진보한 소거 기술 및 소거 검증 기술의 일부를 이룰 수 있다. 이 경우, APDE 절차는 종래의 검증 방법(즉, p웰=0V)이나, 본 발명에서 제안된 새로운 방법(즉, p웰<0V)을 사용할 수 있다. 또한, 본 발명은 소프트 프로그래밍, APDE 또는 다양한 다른 V_{th}

치밀화 기법들 등과 같은 칼럼 누설을 감소시키기 위한 다른 기술들과 결합될 수 있다. 예를 들면, 소거 검증 동안 인가된 음의 바이어스 전압 V_{pbias} 은 본 명세서에서 기술된 바와 같이 셀들의 칼럼 누설을 감소시키고, APDE 펄스들의 수를 감소시키는 것으로 밝혀졌다(APDE 검증이 사용될 때). 또한, 본 발명은 V_{th} 분배를 치밀화하고, 소프트 프로그래밍 오버슈트를 제거하고, 슬로우 비트들(slow bits)이 존재할 때 기능하는 것으로 알려진, 이하의 기술과 함께 구현될 수 있다.

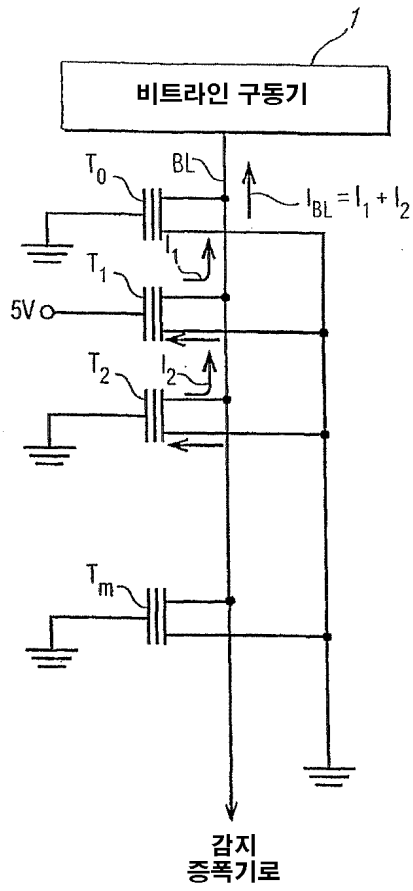
- <44> 도 5는 본 발명의 태양들이 구현된 예시적인 소거 절차(200)를 요약한다. 단계(202)에서 시작하여, 초기 소거가 종래의 소거/APDE 과정을 이용하여 수행된다. 단계(202)에서, 상기 기술한 소거 검증 및 APDE 검증이 p웰(102)에 인가된 음의 바이어스 전압 V_{pbias} 을 사용하여 수행된다. 그 다음, 단계(204)에서 V_{th} 치밀화(compacting)가 수행된다. 예를 들면, 미리 정해진 임계치보다 작은 모든 비트들이 하나의 소프트 프로그래밍 펄스를 받고, 다시 검증이 p웰(102)에 인가된 음의 바이어스를 사용하여 수행된다. 그 다음, 단계(206)에서 APDE로 재소거(erase back)가 수행된다. 그러나 단계(206)에서, 음의 p웰 바이어스가 사용될 수도 있지만, APDE로 재소거하는 것은 치밀화 후 낮은 칼럼 누설 때문에 p웰(102)에 음의 바이어스를 인가하지 않고도 바람직하게 수행된다. 마지막으로, 만약 필요하다면 단계(208)에서 검증 동안 음의 p웰 바이어스를 가지고 또는 음의 p웰 바이어스 없이 인텔리전트 소프트 프로그래밍(intelligent soft programming)이 수행된다.
- <45> 본 발명은 또한 거짓 검증들을 제거하기 위해 높은 칼럼 전류의 존재를 선택적으로 감소시키는 것이 바람직한 다른 유형의 검증 과정들(예를 들면, 프로그래밍, 소프트 프로그래밍, APDE 등)에 응용될 수 있다. 본 발명은 의도된 범주내의 그러한 응용들을 포함한다. 소정 칼럼의 각 셀들은 상기 예에서와 같이 한 번에 하나씩 선택될 수도 있고, 아니면 둘 이상의 그룹으로 선택될 수도 있다. 음의 p웰 바이어스 전압을 인가함으로써, 비선택 셀들의 임계 전압이 증가하여, 검증 과정동안 누설 전류를 피할 수 있다.
- <46> 본 발명은 몇몇 바람직한 실시예들에 대하여 도시되고 기술되었지만, 본 명세서를 읽고 이해한 당업자에게 본 발명의 균등물 및 변형물이 떠오를 것임은 자명하다. 본 발명은 그러한 모든 균등물 및 변형물을 포함하며, 오직 이하의 청구항의 범주에 의해서만 한정된다.

도면의 간단한 설명

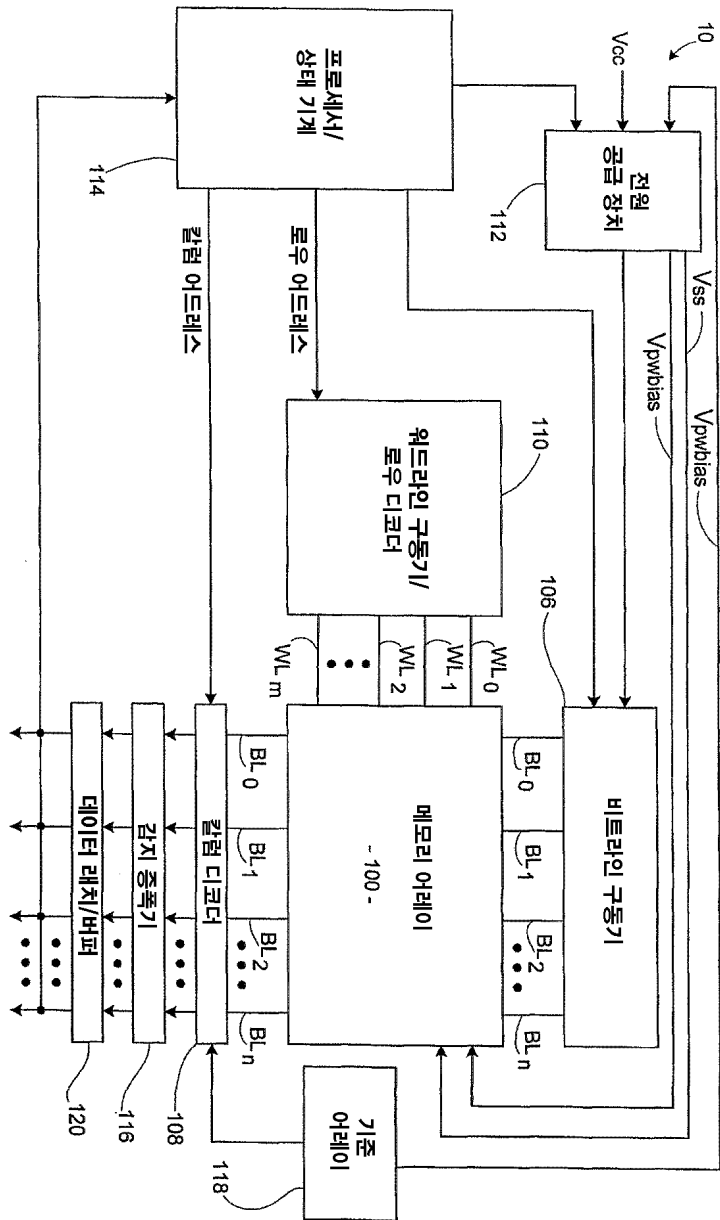
- <20> 도 1은 종래 기술 플래쉬 EEPROM 디바이스에서 누설 전류가 발생하는 방법을 도시한 단순화 된 전기적 개략도이다;
- <21> 도 2는 본 발명에 따른 플래쉬 EEPROM 디바이스의 블록도이다;
- <22> 도 3은 본 발명에 따른 도 2의 플래쉬 EEPROM 디바이스의 메모리 셀들의 어레이의 개략도이다;
- <23> 도 4는 본 발명에 따른 플래쉬 EEPROM 디바이스에서 누설 전류가 감소되는 방법을 도시한 단순화된 전기적 개략도이다;
- <24> 도 5는 본 발명의 특징들이 구현된 소거 및 과도 소거 보정 과정을 도시한 흐름도이다.

도면

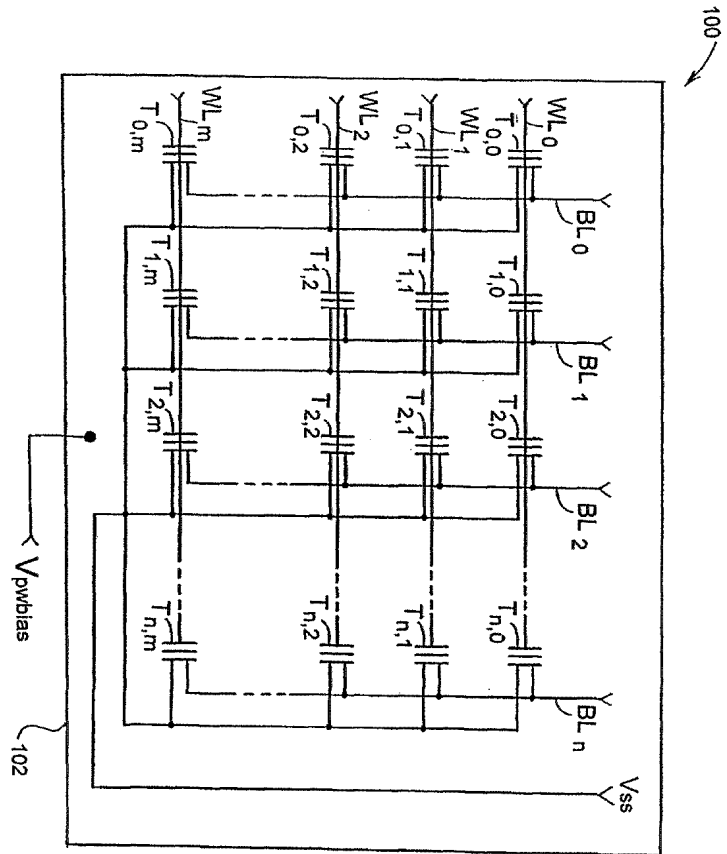
도면1



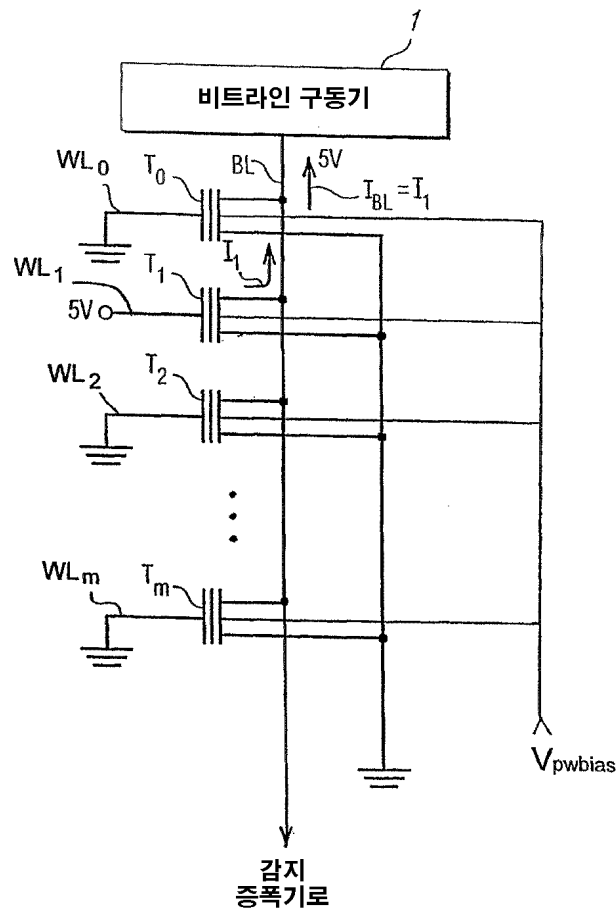
도면2



도면3



도면4



도면5

