



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I532177 B

(45) 公告日：中華民國 105 (2016) 年 05 月 01 日

(21) 申請案號：102105958 (22) 申請日：中華民國 102 (2013) 年 02 月 21 日

(51) Int. Cl. : H01L29/78 (2006.01) H01L21/28 (2006.01)

(30) 優先權：2012/04/12 德國 10 2012 205 977.6

(71) 申請人：格羅方德半導體公司(美國) GLOBALFOUNDRIES US INC. (US)  
美國

(72) 發明人：史奇西希爾 提爾 SCHLOESSER, TILL (DE)；巴爾斯 彼特 BAARS, PETER (DE)

(74) 代理人：洪武雄；陳昭誠

(56) 參考文獻：

TW	200407986	TW	200520237
TW	200943438A1	TW	201115649A1
TW	201135927A1		

審查人員：許智誠

申請專利範圍項數：8 項 圖式數：2 共 39 頁

(54) 名稱

形成半導體設備之方法

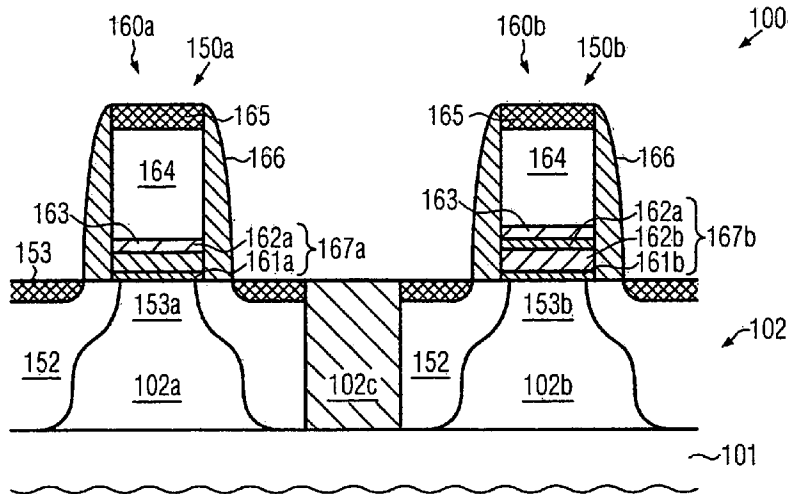
METHOD FOR FORMING A SEMICONDUCTOR DEVICE

(57) 摘要

基於氧化鈣可形成鐵電電路元件(例如，場效電晶體或電容器)，在製造快速電晶體的精密高介電金屬閘極電極結構期間也可使用氧化鈣。為此目的，在任何適當的製造階段可圖案化有適當厚度及材料組合物的鈣基氧化物，而不會不適當地影響用於製造精密高介電金屬閘極電極結構的整體製程流程。

Ferroelectric circuit elements, such as field effect transistors or capacitors may be formed on the basis of hafnium oxide, which may also be used during the fabrication of sophisticated high-k metal gate electrode structures of fast transistors. To this end, the hafnium-based oxide having appropriate thickness and material composition may be patterned at any appropriate manufacturing stage, without unduly affecting the overall process flow for fabricating a sophisticated high-k metal gate electrode structure.

指定代表圖：



第1h圖

符號簡單說明：

- 100 . . . 半導體設備
- 101 . . . 基板
- 102 . . . 半導體層
- 102a . . . 主動區
- 102b . . . 單一主動區
- 102c . . . 隔離結構
- 150a . . . 電晶體
- 150b . . . 鐵電電路元件
- 152 . . . 汲極/源極區
- 153 . . . 金屬矽化物區
- 153a、153b . . . 通道區
- 160a . . . 第一電極結構
- 160b . . . 第二電極結構
- 161a . . . 適當的基底層
- 161b . . . 適當的基底層或介面層
- 162a、162b . . . 高介電常數介電層
- 163 . . . 電極材料
- 164 . . . 另一電極材料
- 165 . . . 一個或多個犧牲層
- 166 . . . 間隔體結構
- 167a . . . 閘極介電層
- 167b . . . 對應閘極介電層

## 發明摘要

※申請案號：102105958

※申請日：102.2.21

※IPC 分類：H01L 29/78 (2006.01)  
H01L 21/28 (2006.01)

## 【發明名稱】(中文/英文)

形成半導體設備之方法

METHOD FOR FORMING A SEMICONDUCTOR  
DEVICE

## 【中文】

基於氧化鈣可形成鐵電電路元件(例如，場效電晶體或電容器)，在製造快速電晶體的精密高介電金屬閘極電極結構期間也可使用氧化鈣。為此目的，在任何適當的製造階段可圖案化有適當厚度及材料組合物的鈣基氧化物，而不會不適當地影響用於製造精密高介電金屬閘極電極結構的整體製程流程。

## 【英文】

Ferroelectric circuit elements, such as field effect transistors or capacitors may be formed on the basis of hafnium oxide, which may also be used during the fabrication of sophisticated high-k metal gate electrode structures of fast transistors. To this end, the hafnium-based oxide having appropriate thickness and material composition may be patterned at any appropriate manufacturing stage, without unduly affecting the overall process flow for fabricating a sophisticated high-k metal gate electrode structure.

## 【代表圖】

【本案指定代表圖】：第（1h）圖。

【本代表圖之符號簡單說明】：

100	半導體設備	101	基板
102	半導體層	102a	主動區
102b	單一主動區	102c	隔離結構
150a	電晶體	150b	鐵電電路元件
152	汲極/源極區	153	金屬矽化物區
153a、153b	通道區	160a	第一電極結構
160b	第二電極結構	161a	適當的基底層
161b	適當的基底層或介面層		
162a、162b	高介電常數介電層		
163	電極材料	164	另一電極材料
165	一個或多個犧牲層	166	間隔體結構
167a	閘極介電層	167b	對應閘極介電層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

本案無化學式。

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

形成半導體設備之方法

METHOD FOR FORMING A SEMICONDUCTOR  
DEVICE

## 【技術領域】

【0001】本揭示內容大體有關於積體電路的領域，且更特別的是，有關於包含場效電晶體及非揮發性資訊儲存區的半導體。

## 【先前技術】

【0002】積體電路根據特定電路佈局通常包含在給定晶片區域上的大量電路元件，其中先進設備可包含可用場效電晶體(在此也被稱作 MOS 電晶體)形成的數百萬個訊號節點。因此，場效電晶體可為現代半導體產品的主要組件，其中向提高效能及壓低整合體積的推進主要與減小基本電晶體結構的尺寸有關連。一般係實施多種製程技術，其中對於複雜的電路，例如微處理器、儲存晶片、ASIC(特殊應用積體電路)及其類似者，MOS 技術是目前最有前景的方法之一，因為由操作速度及/或耗電量及/或成本效率看來，它具有優異的特性。在用 MOS 技術製造複雜積體電路期間，在包含結晶半導體層的基板上形成數百萬個場效電

晶體，亦即，n型通道電晶體及/或p型通道電晶體。不論考量的是n型通道電晶體還是p型通道電晶體，MOS電晶體都包含所謂的pn接面，其係由配置於汲極區、源極區之間的高度摻雜汲極/源極區與逆向或弱摻雜通道區的介面形成。用形成於通道區域附近以及用細薄絕緣層隔離的閘極電極來控制通道區的導電率，亦即，導電通道的驅動電流能力。

【0003】由於電路元件減小尺寸，不僅可增加個別電晶體元件的效能，也可改善它們的封裝密度(packaging density)，從而有潛力增加給定晶片區內的功能。因此之故，已開發出高度複雜的電路，這些可包括不同種類的電路，例如類比電路、數位電路及其類似者，從而在單晶片(SoC)上可提供整個系統。此外，在精密微處理器設備及其他複雜電路中，在晶片上可提供越來越多的儲存容量，從而也顯著增強複雜電子系統的整體效能。同樣，在許多類型的控制電路中，可加入不同的類型的儲存設備以便在晶粒面積耗用量及資訊儲存密度與操作速度之間提供可接受的折衷。例如，在CPU核心附近可提供快速或暫時緩衝記憶體，即所謂的快取記憶體，其中可將各個快取記憶體設計成相較於外部儲存設備有減少的存取時間。

【0004】另一方面，有越來越多的非揮發性記憶體可能必須加入精密半導體設備，其中快閃記憶體技術為有前景的技術之一，其中MOS技術可有效地用來形成儲存單元。為此目的，基本上，提供場效電晶體，其中一方面是

用閘極電極控制電晶體操作，另一方面，如上述，它另外包含“浮動”閘極，其係與控制閘極電極以及與場效電晶體之通道區及汲極區電性絕緣。浮動閘極為在場效電晶體之控制閘極電極內的介電電荷儲存區以及可保存“靜止”電荷載子，接著它會影響場效電晶體的電流流動性能。在建立特定的操作模式時，可注入浮動閘極中的靜止電荷載子，這也被稱作記憶體單元的程式化，其中可利用任何一種的洩露電流產生機構以便導致電荷載子加入電荷儲存區域。結果，在正常操作模式下，電荷儲存區域的注入電荷載子因而可顯著影響流動通過電晶體之通道區的電流，這可用適當的控制電路偵測。另一方面，在“抹除”記憶體單元時，可移除電荷儲存區域的電荷載子，例如藉由建立適當的電壓條件，從而建立場效電晶體在正常操作模式期間可偵測的不同操作性能，亦即，在用標準供給電壓操作期間。儘管快閃記憶體單元(亦即，包含浮動閘極之場效電晶體)的概念提供有中高資訊密度及短存取時間的非揮發性儲存機構，然而仍有顯著的缺點，例如相對長的寫入時間以及複雜的抹除周期和耐用性降低的儲存機構可能導致此法吸引力較差，特別是與快速邏輯電路元件(例如，基於精密高介電金屬閘極的電晶體)結合。

【0005】除了快閃記憶體設備以外，其他概念已成為深入調查的主題，以便提供非揮發性記憶體設備。在此方面，已調查過鐵電材料，因為鐵電性一般可為用以實作非揮發性記憶體的極具吸引力概念。例如，基於鐵電介電材

料，可形成高效電容器，其中基於施加至鐵電材料的適當電場，可調整鐵電材料的極化狀態，以便“程式化”該電容器。由於可保留極化狀態，除非施加對應高電場或高溫，因而在切斷電容器的供給電源後可保留極化狀態所反映的資訊。因此，與習知儲存電容器相反，也不需要更新電容器的狀態。因此，基於鐵電介電材料所形成的電容器不僅可供用於非揮發性設備，也可有優於習知電容器的效能。

【0006】此外，關於進一步減小必要的晶片區域，可基於鐵電閘極介電材料來形成場效電晶體，藉此在適當地調整鐵電閘極介電材料之極化度後實現穩定的電晶體狀態。亦即，取決於可得到顯著不同之驅動電流/閘極電壓特性的極化狀態，因而這可用來定義不同的邏輯狀態。也在此情形下，極化狀態是穩定的，除非施加充分高的電壓及/或高溫使得場效電晶體本身可用作非揮發性記憶單元。

【0007】儘管鐵電場效電晶體或鐵電電容器對於非揮發性儲存設備為極有前景的概念，然而已證明識別適當的鐵電材料是困難的任務，特別是，在鐵電組件(例如，鐵電場效電晶體)要與常用於複雜邏輯電路的精密電晶體結構組合時。不過，最近的研究結果顯示基於氧化鈦的介電材料可為提供鐵電性能之材料的有前景之候選者。例如，在 T. S. Böske, J. Müller, D. Bräuhäus, U. Schröder, U. Böttger 發表於 IEDM 2011 的 “Ferroelectricity in Hafnium Oxide:CMOS compatible Ferroelectric Field Effect Transistors”中，其全部內容併入本文作為參考資料，摻雜



二氧化矽的氧化鉛已被確定為材料，因此可建立考慮到鐵電性能的適當結晶狀態。結果，可基於摻雜二氧化矽的氧化鉛來形成電路元件(例如，場效電晶體、電容器及其類似者)以便提供複雜積體電路的優異機能，例如與開發鐵電性能有關的，以便形成非揮發性儲存元件。另一方面，上述文獻與製程技術及半導體設備無關，其中可提供與鐵電電路元件結合以及通常使用於邏輯電路的精密電晶體。

【0008】鑑於上述情況，本揭示內容係有關於數種製造技術及包含鐵電電路元件(特別是，鐵電場效電晶體)的半導體設備，同時避免或至少減少上述問題中之一或更多的影響。

#### 【發明內容】

【0009】本揭示內容大體提供數種製造技術及半導體設備，其中基於有效的製造流程可形成與精密電晶體設備結合的介電電路元件，它可包含高介電金屬閘極電極結構因此可使用於需要優異電晶體特性的訊號部件，例如在切換速度、電流驅動能力及其類似者方面。為此目的，在一些示範具體實施例中，基於其中已加入鉛的介電材料，可形成精密電晶體之閘極電極結構的高介電常數介電材料，同時基於鉛也可形成鐵電電路元件的介電材料，然而，不會干擾精密電晶體之閘極介電層的特性。在一些示範具體實施例中，可以非揮發性儲存設備(例如，電容器或鐵電場效電晶體)的形式提供鐵電電路元件。以此方式，基於與用以形成精密場效電晶體之製程流程高度相容的製程，可使

非揮發性記憶體區成爲複雜積體電路之一部份，精密場效電晶體爲用於邏輯電路的優異操作特性或需要優異電晶體特性的任何其他積體電路所需。因此，根據揭示於本文的原理，可調整精密閘極電極結構的電子特性與介電層(例如，電晶體的鐵電閘極介電層)的特性而沒有不適當的附加製程複雜度而且實質不影響製程流程以及精密高介電金屬閘極結構的最終達成特性。

【0010】揭示於本文之一示範半導體設備包括：第一電路元件，其係包括包含第一高介電常數介電層的第一電極結構，其中該第一高介電常數介電層包含鉛以及有第一厚度。該半導體設備更包括第二電路元件，其係包括包含具有鐵電性能之第二高介電常數介電層的第二電極結構，其中該第二高介電常數介電層有第二厚度以及包含鉛，以及其中該第二厚度大於該第一厚度。

【0011】揭示於本文之一示範方法包括：形成高介電常數介電層於第一主動區及第二主動區上面以便用作鐵電層。該方法更包括：由該第一主動區上面移除該高介電常數介電層以及保留在該第二主動區上面的該高介電常數介電層。另外，該方法包括形成第一電極結構於該第一主動區上面以及形成第二電極結構於該第二主動區上面。

【0012】揭示於本文之另一示範方法包括：形成第一閘極電極結構於第一主動區上面，以及該第一閘極電極結構包含有第一厚度的第一鉛基介電材料。該方法更包括形成第二閘極電極結構於第二主動區上面，其中該第二閘極

電極結構包含具有鐵電性能的第二鉛基介電材料，以及其中該第二鉛基介電材料有大於該第一厚度的第二厚度。另外，該方法包括在該第一及該第二主動區中形成汲極和源極區。

### 【圖式簡單說明】

#### 【0013】

本揭示內容的其他具體實施例皆定義於隨附申請專利範圍中，閱讀以下參考附圖的詳細說明可更加明白該等具體實施例。

第 1a 圖至第 1h 圖的橫截面圖根據示範具體實施例示意圖示在不同製造階段的半導體設備，其係形成與鐵電電路元件(例如，可用作非揮發性儲存設備的場效電晶體)結合的精密電晶體；以及

第 2a 圖及第 2b 圖的橫截面圖根據其他示範具體實施例示意圖示在基於高介電常數介電材料用取代閘極法形成與鐵電電晶體結合之快速電晶體期間的半導體設備。

### 【實施方式】

【0014】儘管用如以下詳細說明及附圖所圖解說明的具體實施例來描述本揭示內容，然而應瞭解，以下詳細說明及附圖並非旨在限定本揭示內容為所揭示的特定示範具體實施例，而是所描述的具體實施例只是用來舉例說明本揭示內容的各種態樣，本發明的範疇係由隨附的申請專利範圍定義。

【0015】本揭示內容大體提供數種製造技術及半導體

設備，其中鈣基高介電常數介電材料可用來形成形式為快速電晶體的精密電路元件而可提供精密應用(例如，邏輯電路)的必要效能特性，同時此材料也可用來實現其他電路元件(例如，場效電晶體或電容器)的鐵電性能，由於有鐵電性能而可作為非揮發性儲存設備。

【0016】眾所周知，基於氧化鈣之介電材料在複雜製造策略中可用來提供閘極結構的高介電常數介電層而可展現優異的溫度穩定性，從而使得精密閘極電極結構的必要電子特性能夠調整。根據最近的研究結果，如上述，基於氧化鈣之材料(可包含一定比例之二氧化矽)有鐵電性能而可以電晶體的閘極介電材料形式開發及/或作為電容器電介質，其中藉由施加適當的電場可調整鈣基介電材料的極化度。然後，在用不超過臨界電場的工作電壓操作電路元件(例如，電晶體或電容器)後，可按照要求保留經調整之極化度，用以改變前一個調整極化度。根據揭示於本文的原理，可形成有適當材料特性的鈣基介電材料，亦即，有必要厚度、材料組合物及結晶狀態，以便呈現必要的鐵電性能，同時在另一方面，可使用公認有效的製程技術，而不會不適當地干擾用於調整精密閘極電極結構之鈣基介電材料之特性所需的其他製程。

【0017】例如，當基於氧化鈣之材料處於實質非晶態時，基於複數個公認有效之濕化學蝕刻處方或基於電漿之蝕刻技術，可高效率蝕刻基於氧化鈣之介電材料。在建立實質非晶態時，可移除其他設備區的氧化鈣基介電材料(就

層厚度及材料組合物而言，已針對可達成所欲鐵電性能來選定它的特性)而不會不適當地影響底下的任何材料，例如精密電晶體的主動區。以此方式，可局部選擇性地提供鐵電材料，同時可在其他設備區提供鉛基介電材料以便符合精密電晶體的要求。此外，在一些示範具體實施例中，基於有調整厚度及材料組合物之鉛來提供鐵電材料的步驟可整合於用以形成快速電晶體之精密閘極電極結構的製程流程，其中在有些情形下，在早期製造階段可形成閘極電極結構。亦即，在此情形下，在圖案化閘極電極結構之後以及在完成基本電晶體組態之前，可建立最終組態及電子特性。

【0018】在其他示範具體實施例中，藉由應用所謂的取代閘極法，在很前面的製造階段可提供快速電晶體之精密閘極電極結構的最終特性，亦即，在完成基本電晶體組態後。也在此情形下，可提供鐵電電路元件(例如，電晶體及/或電容器)，而不會不適當地干擾取代閘極法。

【0019】此時參考附圖更詳細地描述其他的示範具體實施例。

【0020】第 1a 圖的橫截面圖示意圖示包含上面可形成半導體層 102 之基板 101 的半導體設備 100。當形成埋藏絕緣層(未圖示)於半導體層 102 下時，基板 101 與半導體層 102 可形成 SOI(絕緣體上半導體或矽)組態。另一方面，在塊狀組態下，半導體層 102 可與基板 101 的結晶半導體材料直接接觸。此外，應瞭解，半導體層 102 可能已

有多個隔離結構 102c 形成於其中，它們可根據設備 100 的整體佈局適當地橫向劃定各個設備區的界限。例如，第一設備區 110a 可為設備 170 中可形成一個或多個精密電晶體的區域，它有適當的特性以便符合用於精密應用之電晶體(例如，邏輯電路的電晶體及其類似者)的要求。為此目的，在設備區 110a 中，提供例如半導體區的主動區 102a，在其中及上面要基於高介電金屬閘極電極結構來形成至少一個電晶體。不過，應瞭解，設備區 110a 可包含多個主動區，在其中及上面可根據整體設備要求形成對應之 p 型通道電晶體及/或 n 型通道電晶體，例如用以實現精密訊號路徑及其類似者。

【002'】同樣，可用隔離結構 102c 定義第二設備區 110b 的橫向尺寸及形狀，其中，為了方便，也圖示單一主動區 102b 以便代表其中及上面將會形成鐵電電路元件的主動區。在一個示範具體實施例中，可提供形式為場效電晶體的對應鐵電電路元件，這在以下會有更詳細的解釋，而在其他情形下，在主動區 102b 中及上面可提供例如形式為電容器的任何其他鐵電電路元件。

【0022】此外，在圖示製造階段中，可形成高介電常數介電層 162b 於主動區 102a、102b 上面，其中介電層 162b 可包含形式為氧化鈣的鈣以及一定比例的矽，藉此賦予層 162b 的所欲鐵電性能，若進一步加工期間可建立想要的結晶狀態，例如在任何熱處理及其類似者期間。例如，上述文獻有指出用於氧化鈣基介電材料的適當材料特性。例

如，在一些示範具體實施例中，可提供厚度 8 奈米及更大(例如，10 奈米及更大)的介電層 162b，其中根據用以得到所欲鐵電性能的要求，可選定矽在層 162b 之中的含量。此外，在一些示範具體實施例中，在適當的基底層或介面層 161b 上可形成基於氧化鉛之介電層 162b，它可由任何適當的材料組成，例如二氧化矽、氮及富矽二氧化物 (riched silicon dioxide)、氮化矽及其類似者。應瞭解，可選定基底層 161b 的特性以便符合待形成於主動區 102b 中及上面之鐵電電路元件的要求。例如，若要形成鐵電電晶體，基底層 161b 可具有適當的特性以便得到整體電子性能，例如在臨界電壓、功函數及其類似者方面，結合鉛基介電層 162b 以及可能結合在後面的製造階段要形成於層 162b 上面的其他材料層。

【0023】此外，在一些示範具體實施例中，若認為後續基於阻劑材料來圖案化該等層不適當時，例如以氮化矽及其類似者之形式提供的硬遮罩層 103 可形成於介電層 162b 上面。

【0024】基於下列製程，可形成如第 1a 圖所示的半導體設備 100。

【0025】基於公認有效的微影、蝕刻、沉積、退火及平坦化技術，可形成隔離結構 102C 以便提供淺溝槽隔離區以便定義設備區 110a、110b 的橫向尺寸及形狀。此外，在更精細縮放的隔離結構 102c 上也可定義對應主動區 102a、102b 的橫向尺寸及位置，其中應瞭解，設備區 110a、

110b 以及主動區 102a、102b 不一定為如第 1a 圖所示的相鄰區域，而可用任何中間的其他主動或隔離區域(未圖示)隔開。在形成隔離結構 102c 之前或之後，可建立主動區 102a、102b 的整體電子條件，例如藉由用公認有效的遮罩方案及植入處方來植入各個摻雜物種。接下來，如有必要，可形成基底層 161b，例如藉由氧化、氮化及其類似者，或藉由沉積技術，這取決於所欲材料組合物及特性。以此方式，基於公認有效的製程技術，可調整基底層 161b 的厚度及其材料組合物以便得到待形成於主動區 102b 上面之電極結構的最後所欲整體特性。之後，用任何適當的沉積技術可形成鉛基介電層 162b，例如基於公認有效之前驅物材料的原子層沉積。應瞭解，在形成精密高介電金屬閘極電極結構時，鉛基材料的沉積為公認有效的製程步驟。此外，在沉積製程期間，可加入有所欲含量的矽，也如以上所明示的，以便製備考慮到得到鐵電特性的介電層 162b，在用層 162b 的材料(例如，經受高溫處理)來得到所欲結晶狀態時，這通常在進一步的製造流程期間需要。應瞭解，在一些示範具體實施例中，可選擇在沉積層 162b 期間的製程條件以便得到材料 162b 的實質非晶態，從而考慮到基於公認有效之濕化學蝕刻處方及/或電漿輔助蝕刻製程可有效地蝕刻層 162b 之材料的可能性。

【0026】之後，如有必要，用任何公認有效的沉積處方可沉積硬遮罩層 103。也在此情形下，可選定材料 103 的厚度以便得到想要的抗蝕性(etch resistivity)以便保護主



動區 102b 上面之層 162b。

【0027】第 1b 圖示意圖示處於更進一步製造階段的半導體設備 100，其中在蝕刻製程 105 期間可使用遮罩 104，例如阻劑遮罩，以便由設備區 110a 上面從而由主動區 102a 上面移除至少層 162b。為此目的，在一些示範具體實施例中，遮罩 104 可用來圖案化硬遮罩材料 103，然後在製程 105 期間，它可用來作為另一蝕刻遮罩以便移除材料 162b。在其他情形下，如上述，阻劑遮罩 104 對於層 162b 可提供足夠的保護。移除材料 162b 的蝕刻製程 105 可包括基於濕化學蝕刻化學(例如，熱磷酸，以乙二醇(HFEG)稀釋的氫氟酸或氫氟酸及鹽酸(HF/HCl)的混合液)來執行的蝕刻步驟。在其他情形下，可應用公認有效的電漿輔助蝕刻處方，其中在圖案化高介電金屬閘極電極結構期間通常也可使用任何此類處方。在一些具體實施例中，如第 1b 圖所示，蝕刻製程 105 可包含額外的蝕刻步驟以便由主動區 102a 上面移除基底層 161b，這也可用公認有效的濕化學蝕刻處方(例如用於移除二氧化矽、氮化矽及其類似者)實現。應瞭解，若使用對於基底層 161b 有顯著蝕刻選擇性的對應蝕刻處方，在移除介電層 162b 的暴露部份時，基底層 161b 可用來作為有效的蝕刻中止材料。在其他示範具體實施例(未圖示)中，基底層 161b 可在蝕刻製程 105 後移除，例如在移除遮罩 104 及/或硬遮罩 103 時，這也可基於任何公認有效的蝕刻處方來實現。例如，用濕化學移除製程或電漿灰化製程(plasma ash process)可有效地移除

阻劑材料，而在硬遮罩材料的情形下，可應用任何其他濕化學或電漿輔助蝕刻處方。結果，可由主動區 102a 上面移除介電層 162b 的暴露部份而不會不適當地影響半導體材料的表面，因而它可用來形成精密閘極電極結構的適當介電材料。

【0028】應瞭解，至少在製程 105 的蝕刻步驟(其係移除介電材料 162b 的暴露部份)期間，至少在材料 162b 的暴露部份可建立非晶態，以便增強應用蝕刻化學的效率。在一些示範具體實施例中，如果認為提供或處理材料 162b 以便處於用以實現鐵電特性的實質結晶狀態是適當的，藉由應用植入製程 131，可顯著破壞從而非晶化該結晶結構，在此期間，可使用有適當能量的適當植入物種，例如鍺及其類似者，以及可製備層 162b 之暴露部份以用於後續移除製程者。應瞭解，基於有給定材料特性之層 162b 的模擬及實驗，可輕易決定製程 131 的適當製程參數，以避免植入物種不適當地滲入主動區 102a。

【0029】第 1c 圖示意圖示處於更進一步製造階段的半導體設備 100，在此可形成高介電常數介電材料 162a 於主動區 102a 及主動區 102b 上面，其中層 162a 的材料可包含基於氧化鉛之材料而有特性得以符合待形成於主動區 102a 上面之精密閘極電極結構的要求。例如，取決於仍待形成之電晶體的要求，層 162a 可以形成為有適當厚度(例如，1 奈米至 5 奈米)的氧化鉛材料。在圖示於第 1c 圖的具體實施例中，可形成與適當基底層 161a(例如，二氧化矽

層、富氮二氧化矽材料及其類似者)結合的介電層 162a，以便提供想要的介面特性。因此，可提供有適當特性的層 161a 及 162a 以便符合精密之傳導電晶體(pass transistor)的要求，而實質不受層 161b、162b 的存在影響，接著是提供層 161b、162b 以便得到所欲鐵電性能，如上述。

【0030】應瞭解，介電層 162a 可包含兩種或更多不同的高介電常數介電材料，其中至少有一者是以鈣基材料的形式提供。例如，可提供與另一高介電常數介電組件結合的適度薄二氧化鈣材料，其中基於該適度薄二氧化鈣材料可調整相關電子特性，例如藉由在沉積另一高介電常數介電材料之前，加入適當的功函數金屬物種。

【0031】在一些示範具體實施例中，至少也可形成層 162a 於材料 162b 上以及在形成適當的電極結構於主動區 102b 上面時，至少可部份保留層 162a。另一方面，例如藉由局部氧化、局部加氮(local nitrogen incorporation)及其類似者，可在主動區 102A 中局部形成基底層 161a。在其他情形下，當認為主動區 102b 上面的這些材料中之任一的存在不合適時，可圖案化層 162a、161a 以便由主動區 102b 上面移除彼之一部份。為此目的，可應用與蝕刻化學結合的適當遮罩方案，也如以上在說明層 162b 之圖案化時所述。不過，應瞭解，相較於層 162b 的厚度，層 162a 的厚度通常明顯較小，使得層 162a 可用作附加緩衝層，這不會不適當地影響層 162b 的整體介電特性。此外，由於層 162a 的材料特性及層厚度事先已知，在調整層 162b 的適當材料

特性時，這些特性也可納入考量，以便一起得到所欲鐵電性能。應瞭解，基於公認有效的製程技術，可形成層 161a、162a。

【0032】第 1d 圖示意圖示處於更進一步製造階段的半導體設備 100。如圖示，由材料層組成的堆疊包含先前形成的介電層 162a、162b，可能結合對應之基底層 161a、161b，以及例如形式為氮化鈦及其類似者的至少一個含金屬電極材料 163。此外，該層堆疊(layer stack)可包含例如形式為半導體材料(例如，多晶矽、矽/鍺及其類似者)的另一電極材料 164。另外，可提供形式為氮化矽、二氧化矽及其類似者的一個或多個犧牲層 165，例如介電蓋層。

【0033】至少一個含金屬電極材料 163 的形成可根據任何適當的製造策略，按照需要調整待形成於主動區 102a 上面之精密閘極電極結構的電子特性。例如，可提供材料 163 以便得到所欲功函數，這可藉由沉積可擴散至底下介電材料 162a 的任何適當功函數金屬物種來實現，接著是移除及/或沉積另一含金屬電極材料，例如氮化鈦，作為層 162a。應瞭解，通常要在設備區 110a(參考第 1a 圖)中提供不同類型的電晶體，例如 p 型通道電晶體與 n 型通道電晶體，這通常是加入不同類型的功函數物種，這可藉由對應之沉積及圖案化方案來實現。如果認為對應之圖案化策略不適合於待形成於主動區 102b 上面之電極結構的電子特性，可修改圖案化及/或沉積策略，以便，除材料 162a 外或替換地，提供不同類型的電極材料 163b。例如，材料 163b

可為數種含金屬電極材料的組合，該等含金屬電極材料可獨立地提供給在其他設備區的不同類型電晶體。結果，如有必要，對於形成於主動區 102a 上面之層堆疊的特性，可獨立地調整在主動區 102b 上面之所得之層堆疊的電子特性。

【0034】在提供含金屬電極材料 163(可能結合材料 163b)後，基於任何公認有效的沉積處方，可沉積材料 164、165。

【0035】第 1e 圖示意圖示半導體設備 100，其係具有第一電極結構 160a，在一些示範具體實施例中，為仍待形成於主動區 102a 中及上面之電晶體的閘極電極結構。同樣，第二電極結構 160b 可形成於主動區 102b 上面，以及根據一個示範具體實施例，可為仍待形成於主動區 102b 中及上面之鐵電電晶體的閘極電極結構。在此製造階段中，電極結構 160b 可能不被完全地圖案化，因為層 162b、161b 可能仍然覆蓋整個主動區 102b。

【0036】根據任何適當的圖案化策略，可圖案化如第 1d 圖所示的層堆疊，例如應用精密微影技術，以便圖案化一個或多個犧牲層 165(參考第 1d 圖)，然後它們可當作硬遮罩用以轉印 (transfer) 所欲橫向尺寸至底下的材料層。為此目的，可應用任何公認有效的技術，例如用高效及公認有效的電漿輔助蝕刻處方蝕刻電極材料 164。此外，可蝕刻含金屬電極材料 163，接著是公認有效的蝕刻處方用以蝕刻穿過材料 162a，通常其係經設計成可避免不適當地

腐蝕層 163 的材料。最後，在一些示範具體實施例中，可移除層 161a 的暴露部份，而在其他情形下，在後面的製造階段可實現該層的移除。在上述圖案化順序期間，形成於主動區 102b 上面的層 162b 可用作控制材料用以可靠地控制蝕刻製程而不會不適當地促進橫向移除閘極電極結構 160b 的層 163 材料。為此目的，在一些示範具體實施例中，在製程準則是由閘極電極結構 160a 決定時，可停止用於圖案化電極結構 160a 的製程順序。結果，由於可適當地調整製程參數，例如避免閘極電極結構 160a 的層 163 不適當地損失材料，也可防止閘極電極結構 160b 損失新材料。

【0037】在一些示範具體實施例中，可用任何適當的沉積技術形成有適當厚度(例如，1 至數個奈米)、例如由氮化矽及其類似者組成的內襯(liner)160 以便覆蓋閘極電極結構 160b 的材料 163，特別是它的暴露側壁部份。在其他情形下，可繼續進一步加工而不沉積內襯材料 106。

【0038】第 1f 圖示意圖示半導體設備 100，其係有遮罩 107 形成於主動區 102a 上面藉此可靠地覆蓋主動區 102a 及閘極電極結構 160a 的暴露部份。為此目的，可使用任何適當的硬遮罩材料，例如二氧化矽及其類似者，而在其他情形下，可施加聚合物材料及其類似者，如果在用以移除層 162b 之暴露部份的後續蝕刻製程期間，這些材料可提供充分抗蝕性的話。基於公認有效之微影技術，可實現蝕刻遮罩 107 的圖案化，其中用可用於圖案化遮罩 107 的阻劑材料可適當地覆蓋沒有材料層 162b 的設備區，例如設備區

110a(參考第 1a 圖)。在一些示範具體實施例中，可應用蝕刻順序 132 以便首先移除一部份的內襯 106(若有的話)，藉此得到在閘極電極結構 160b 側壁上的個別間隔體 106s，從而在可移除材料 162b 之暴露部份的進一步加工 132 期間可靠地覆蓋電極材料 163 的側壁。應瞭解，材料 162b 可處於非非晶態(non-amorphous)，例如由前面的沉積處方及/或在前的熱處理，彼等係已執行以便調整電極結構 160a、160b 的整體特性。就此情形而言，可應用以電漿為基礎基於高溫的適當蝕刻處方以便蝕刻穿過層 162b，其中基底層 161b 可用作保護材料以免不適當地損壞主動區 102b 的暴露部份。

【0039】在其他示範具體實施例中，在實際移除材料 162b 之前，可應用另一植入製程 133 以便顯著破壞暴露的材料部份，不過，而不會不適當地影響閘極電極結構 160b 之中的材料 162b。如上述，也在此情形下，在層 162b 的暴露部份中可建立實質非晶態，藉此大幅增強公認有效之濕化學蝕刻處方及電漿輔助蝕刻處方的移除速率。應瞭解，在此製造階段，非晶化植入 133 不會不適當地影響閘極電極結構 160b，因為犧牲蓋層(sacrificial cap layer)165 仍在原位。

【0040】之後，在有些情形下，可移除基底層 161B，而在其他情形下，可移除遮罩 107，同時基底層 161B 仍可保護，至少在一定的程度上，底下的區域 102b 之半導體區。在有些情形下，在繼續加工設備 100 之前，可移除剩

餘內襯 106 及間隔體 106s，而在其他情形下，可保留內襯 106 或圖案化爲對應之間隔體(未圖示)以便在閘極電極結構 160a 中提供有優異完整性的敏感材料。

【0041】第 1g 圖示意圖示處於更進一步製造階段的半導體設備 100。如圖示，閘極電極結構 160a 可包含保護間隔體 107s，接著它可爲內襯 106(參考第 1f 圖)之一部份，可能結合額外的內襯材料。同樣，電極結構 160b 可包含間隔體 107s，可能結合間隔體 106s(參考第 1f 圖)，這可基於任何公認有效的沉積及圖案化方案來實現。應瞭解，敏感閘極材料在精密電晶體設備中的囊封爲公認有效的程序，因而可應用於閘極電極結構 160a 及電極結構 160b。此外，在一些示範具體實施例中，在主動區 102a、102b 中之一或兩者中實作額外的效能增強機構。例如，應變誘發半導體合金 151(例如，矽/鍍合金)可加入主動區 102a，這可基於任何公認有效的製程策略來實現，例如各自形成空腔於其中，同時覆蓋其他設備區，例如主動區 102b。之後，可應用磊晶成長技術以便形成想要的半導體材料 151，同時基於適當的遮罩材料，可抑制此材料沉積於主動區 102b 中。不過，應瞭解，可根據需求應用任何其他效能增強機構於精密電晶體。此外，如果認爲對於考量到之鐵電電路元件的整體電子特性是合適的話，在待形成於主動區 102b 中及上面的設備中也可實作任何此類效能增強機構。例如，如果要提供鐵電場效電晶體，則另外基於對應之效能增強機構來調整電子特性是有利的。例如，如有必要，對應之應



變誘發材料也可加入主動區 102b 用以調整整體電晶體特性。

【0042】之後，藉由應用用以完成電晶體結構的任何公認有效製程策略可繼續該加工，其中，在一些示範具體實施例中，這些其他製程可共同應用於形成於主動區 102b 及主動區 102b 之中及上面的兩個設備。在其他情形下，可應用適當的遮罩方案以便在例如需要特別調整製程參數時，在主動區 102b 中及上面形成阻劑遮罩及其類似者。

【0043】第 1h 圖示意圖示處於更進一步製造階段的半導體設備 100。如圖示，電晶體 150a 可形成於主動區 102a 中及上面而且可包含閘極電極結構 160a。因此，閘極電極結構 160a 可包含為基底層 161a(若有的話)與高介電常數介電層 162a 之組合的閘極介電層 167a，接著是電極材料 163 及 164。此外，在閘極電極結構 160a 中可形成金屬矽化物 168 與間隔體結構 166。如上述，例如考慮到通常由用於邏輯電路之快速精密電晶體提供的快速切換性能、電流驅動能力及其類似者，可按需要選擇閘極電極結構 160a 的特性，例如閘極長度、功函數及其類似者以便得到電晶體 150a 的效能特性。此外，在主動區 102a 中可形成與金屬矽化物區 153 結合的汲極/源極區 152，其中如有必要，通道區 153a 中也可存在特定的應變條件(strain condition)。

【0044】同樣，在一個示範具體實施例中，為鐵電電晶體的鐵電電路元件 150b 可包括閘極電極結構 160b，其中對應之閘極介電層 167b 可由材料 161b、162b、162a 組

成，其中，特別是，層 162b 可賦予閘極電極結構 160b 的鐵電特性。此外，材料 163，可能結合任何附加含金屬電極材料，如前述，以及另一電極材料 164 可用作與金屬矽化物 168 結合的有效電極材料。此外，可提供間隔體結構 166。因此，基本上，閘極電極結構 160b 可具有與閘極電極結構 160a 相同的組態，除了鐵電性能以及可能其他橫向尺寸(例如，閘極長度與閘極寬度)以外。同樣，設備 150b 可包含與金屬矽化物區 153 結合的汲極/源極區 152，同時通道區 153b 的長度及應變條件可與電晶體 150a 的對應特性不同。

【0045】如上述，用於完成如第 1h 圖所示之電晶體組態的製程策略通常可應用於電晶體 150a、150b，其中，如有必要，應用適當的遮罩方案，可建立對應之不同的製程參數。在圖示具體實施例中，如果設備 150a、150b 的導電型一樣的話，可在共同製程順序中形成各種組件使得汲極/源極區在摻質分布 (dopant profile) 有類似的特性。另一方面，如上述，藉由施加適當的電場，取決於建立於閘極電極結構 160b 的極化狀態，電晶體 150b 在電流驅動能力方面有顯著的差異。結果，在此情形下，電晶體 150b 有可視為不同邏輯狀態的兩個可區別操作性能，而施加適當的電場並越過閘極電極結構 160b 的電壓允許調整電晶體 150b 的所欲極化狀態以及操作性能。因此，此電晶體可有效地用作非揮發性儲存設備，因而可供減少面積耗用量以及沒有任何不適當的製程修改。因此，可一起提供鐵電電

晶體的優異特性(例如，快速的讀寫時間及其類似者)與包括高介電金屬閘極電極結構之精密電晶體的優異效能特性。

【0046】此時參考第 2a 圖及第 2b 圖，更詳細地描述其他的示範具體實施例，其中應用所謂的取代閘極法，在完成基本電晶體組態後，可完成閘極電極結構的最終組態。

【0047】第 2a 圖的橫截面圖示意圖示包含半導體層 202 可形成於其上之基板 201 的半導體設備 200，半導體層 202 接著可包括設於對應設備區 210a、210b 的多個主動區 202a、202b。區域 210a、210b 及主動區 202a、202b 橫向可以隔離結構 202c 為界。該等組件也可適用先前在說明半導體設備 100 時所述的準則。

【0048】在圖示製造階段中，電晶體 250a 可包含形成於主動區 202a 的汲極/源極區 252，可能結合金屬矽化物區 253。同樣，第二電晶體 250B 可包含形成於主動區 202b 的汲極/源極區。此外，電晶體 250a 可包含閘極電極結構 260a，其中可移除對應材料 264、269。因此，在圖示製造階段中，閘極電極結構 260a 可包含橫向以側壁間隔體結構 266 為界的開口或溝槽，接著使它埋入接觸層級 220，這可包括例如形式為氮化矽的適當介電材料，例如層 221，以及例如以二氧化矽之形式提供的層 222，及其類似者。

【0049】另一方面，電晶體 250b 可包含閘極電極結構 260b，其中對應溝槽或開口橫向可以間隔體結構 266 為界，同時開口的底部可由高介電常數介電材料 262b 形成，

其係鐵電鉛基材料，也如先前在說明半導體設備 100 時所述。此外，在高介電常數介電層 262b 下面可形成介電基底層 261b。

【0050】基於下列製程可形成如第 2a 圖所示的設備 200。基於如以上在說明設備 100 時所述的製程策略，可形成主動區 202a、202b 與隔離結構 202c。之後，根據任何適當的製程策略可形成層 261b、262b，以及可實現該等層的圖案化，也如以上在說明設備 100 時所述。應瞭解，基底層 269 在層 262b 之圖案化後可用個別製程步驟形成，而在其他情形下，材料 269 基本上可為基底層 261b 之一部份，它可留在主動區 202a 中。之後，可繼續進一步加工，如上述，圖案化閘極電極結構 260a、260b 以及在形成汲極/源極區 252 時完成基本電晶體組態。如有必要，可形成金屬矽化物 253，而在其他情形下，接觸層級 220 的介電材料可直接形成於主動區的暴露部份上。在適當地平坦化所得結構後，基於公認有效的蝕刻處方，可移除電極或佔位材料(place holder material)264，其中材料 269 及 262b 可用作有效的蝕刻中止層。之後，可移除層 269 以便暴露一部份之主動區 202a 以便必要時在其上形成適當的基礎介電材料，例如二氧化矽、氮化矽、彼等之任何組合及其類似者。應瞭解，如有必要，在對應製程期間，可遮罩材料 262b，如果認為與對應製程環境的相互作用不適當的話。在其他情形下，可個別移除閘極電極結構 260b 的材料 264 以避免材料 262b 在形成閘極電極結構 260a 的開口時暴露。

【0051】第 2b 圖示意圖示處於更進一步製造階段的設備 200。如圖示，如有必要，可在閘極電極結構 260a 中形成基底層 261a 以及可在側壁 260s 上及主動區 202a 上或上面形成高介電常數介電層 262a 而有適當的材料特性及厚度以便符合電晶體 250a 的要求。層 262a 可包含鉛，可能結合其他高介電常數介電材料，這取決於整體的設備要求。此外，可提供至少一個含金屬電極層 263 以便調整閘極電極結構 260a 的適當功函數，接著是至少一個高導電電極金屬 268，例如鋁、鋁合金及其類似者。在圖示具體實施例中，在閘極電極結構 260b 中也可提供材料層 262a、263 及 268，其中，如有必要，例如藉由改變材料層的數目及類型(如果認為適當的話)可實現電子特性的其他修改。應瞭解，通過不同類型的電晶體可能必須提供不同的功函數金屬，例如層 263，這可能需要個別的沉積及圖案化策略。結果，如果認為材料在閘極電極結構 260a、260b 之中的相同順序不合適的話，可適當地修改對應的製程順序以便在閘極電極結構 260b 中提供有想要類型及數目的功函數金屬。

【0052】之後，用適當的平坦化技術可移除任何多餘材料，藉此提供作為電隔離結構的閘極電極結構 260a、260b。結果，也在此情形下，由於設有層 262b 而可提供有介電性能的閘極電極結構 260b，而實質不影響用以提供電晶體 250a 之精密高介電金屬閘極電極結構的取代閘極法。

【0053】在如第 2a 圖及第 2b 圖所示的具體實施例

中，在取代閘極法的後期製造階段，可提供基於用於閘極電極結構 260a 之鉛的高介電常數介電材料，而在其他情形下，可在早期製造階段提供此一材料，如以上在說明設備 100 時所述，同時在取代閘極法期間，可沉積高導電電極金屬，例如材料 268。此外，就此情形而言，上述製程順序可有利地用來得到精密閘極電極結構同時另外提供鐵電電路組件。

【0054】結果，本揭示內容提供數種製造技術及半導體設備，其係可有效地製造鐵電電路元件以及包括高介電金屬閘極電極結構的精密電晶體。為此目的，用含有鉛的至少一個介電材料可形成鐵電電路元件及精密閘極電極結構，其中可實現鐵電材料層的有效圖案化而不干擾用於實作高介電金屬閘極電極結構的公認有效製程策略。以此方式，非揮發性儲存設備可加入精密電路設計而不會不適當地修改整體製程流程。此外，鐵電電路元件可供作為其中閘極電極結構可與有精密閘極電極結構之快速電晶體一起形成的電晶體，而在其他情形下，電極結構可以形成為電容器的組件，它可用來作為與適當電晶體元件結合的非揮發性組件。就此情形而言，根據如上所述的製程策略，可形成精密電晶體的閘極電極結構與電容器的電極結構，同時可實現對應的修改以根據公認有效的電容器組態在主動區中裝設電容器電極。

【0055】熟諳此藝者基於本說明可明白本揭示內容的其他修改及變體。因此，本說明應被視為僅供圖解說明而

且目的是用來教導熟諳此藝者實施本揭示內容的一般方式。應瞭解，應將圖示及描述於本文的形式應視為目前為較佳的具體實施例。

### 【符號說明】

#### 【0056】

100	半導體設備	101	基板
102	半導體層	102a	主動區
102b	單一主動區	102c	隔離結構
103	硬遮罩層	104	遮罩
105	蝕刻製程	106	內襯材料
106s	間隔體	107	遮罩
107s	保護間隔體	110a	第一設備區
110b	第二設備區	131	植入製程
132	蝕刻順序	133	另一植入製程
150a	電晶體	150b	鐵電電路元件
151	應變誘發半導體合金	152	汲極/源極區
153	金屬矽化物區	153a、153b	通道區
160	內襯	160a	第一電極結構
160b	第二電極結構	161a	適當的基底層
161b	適當的基底層或介面層		
162a、162b	高介電常數介電層		
163、163b	電極材料	164	另一電極材料
165	一個或多個犧牲層	166	間隔體結構
167a	閘極介電層	167b	對應閘極介電層

168	金屬矽化物	170	設備
200	半導體設備	201	基板
202	半導體層	202a、202b	主動區
202c	隔離結構	210a、210b	設備區
220	接觸層級	221、222	層
250a、250b	電晶體	252	汲極/源極區
253	金屬矽化物	260a、260b	閘極電極結構
260s	側壁	261a	基底層
261b	介電基底層		
262a、262b	高介電常數介電材料		
263	至少一個含金屬電極層	264、269	材料
266	側壁間隔體結構	268	高導電電極金屬



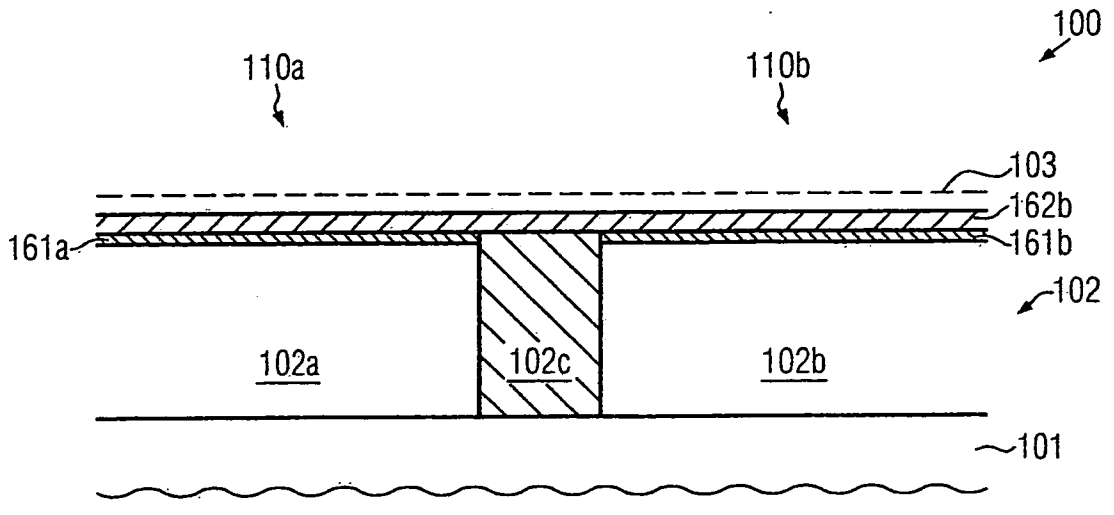
## 申請專利範圍

1. 一種形成半導體設備之方法，其係包含下列步驟：
  - 形成高介電常數介電層於第一主動區及第二主動區上面以使用作鐵電層；
  - 移除在該第一主動區上面的該高介電常數介電層以及保留在該第二主動區上面的該高介電常數介電層；以及
  - 在該第一主動區上面形成第一電極結構以及在該第二主動區上面形成第二電極結構，其中，移除在該第一主動區上面之該高介電常數介電層的步驟包括：建立該高介電常數介電層的非晶態以及在該高介電常數介電層處於該非晶態時執行蝕刻製程。
2. 如申請專利範圍第 1 項所述之方法，其中，建立該高介電常數介電層之非晶態的步驟包括執行植入製程。
3. 如申請專利範圍第 1 項所述之方法，復包括：形成第二高介電常數介電層於該第一主動區之至少一部份上面以及於該高介電常數介電層之至少一部份上面。
4. 如申請專利範圍第 3 項所述之方法，其中，該高介電常數介電層及該第二高介電常數介電層包含鉛。
5. 如申請專利範圍第 3 項所述之方法，其中，在形成該第二高介電常數介電層之後，形成該第一及該第二電極結構。
6. 如申請專利範圍第 5 項所述之方法，其中，形成該第一及該第二電極結構的步驟包括：用在該第二主動區

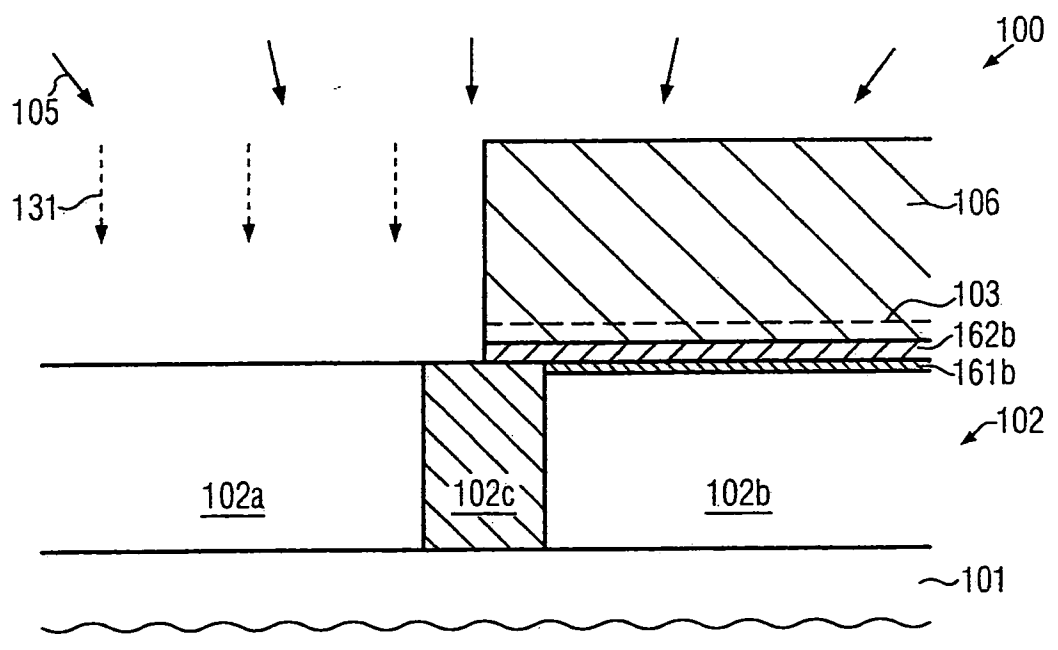
上面作為中止材料的該高介電常數介電材料圖案化形成於該第一及該第二主動區上面的層堆疊，以及移除該高介電常數介電層的暴露部份同時遮罩該第一電極結構。

7. 如申請專利範圍第 6 項所述之方法，其中，形成該第一及該第二電極結構的步驟更包括：在移除該高介電常數介電層的該暴露部份之前，形成保護間隔體於該第二電極結構的側壁上。
8. 如申請專利範圍第 3 項所述之方法，其中，在形成該第一及該第二電極結構之後，形成該第二高介電常數介電層。

圖式

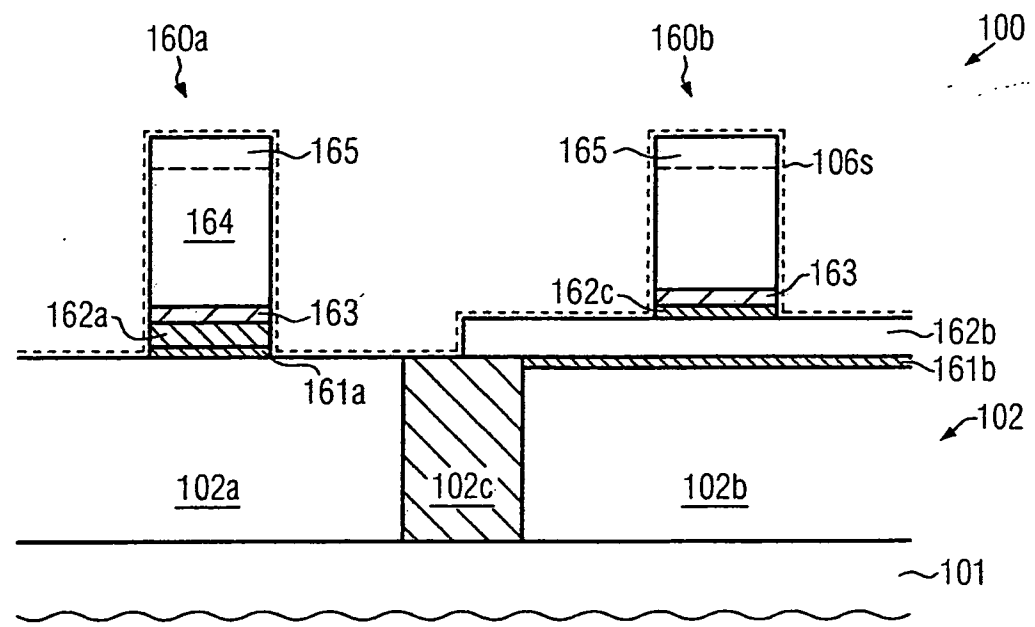


第1a圖

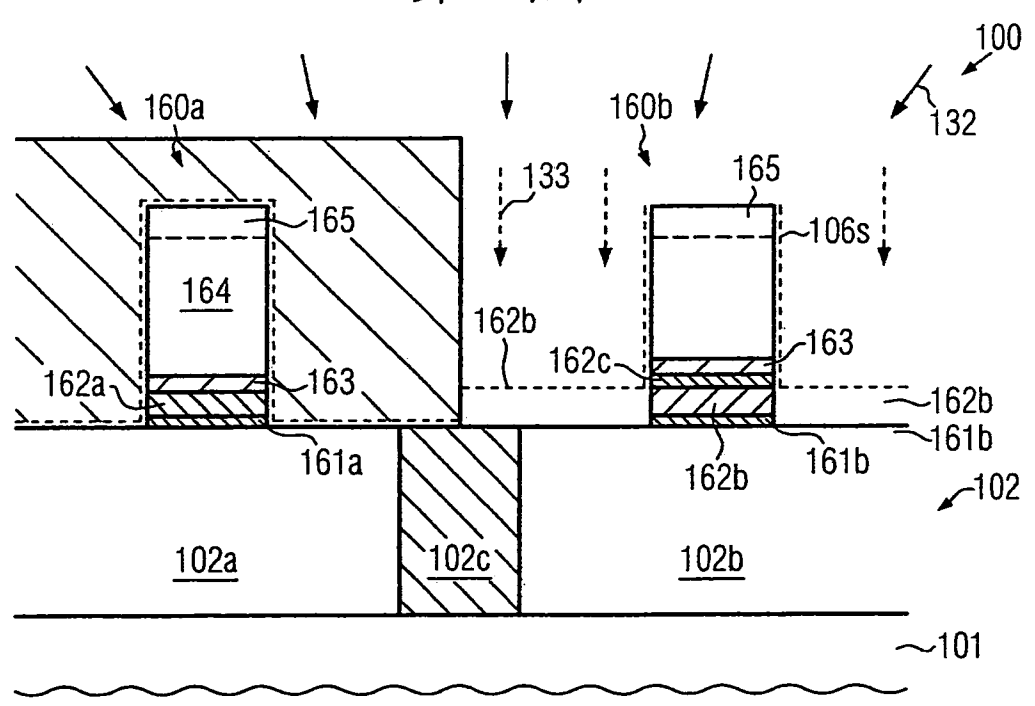


第1b圖

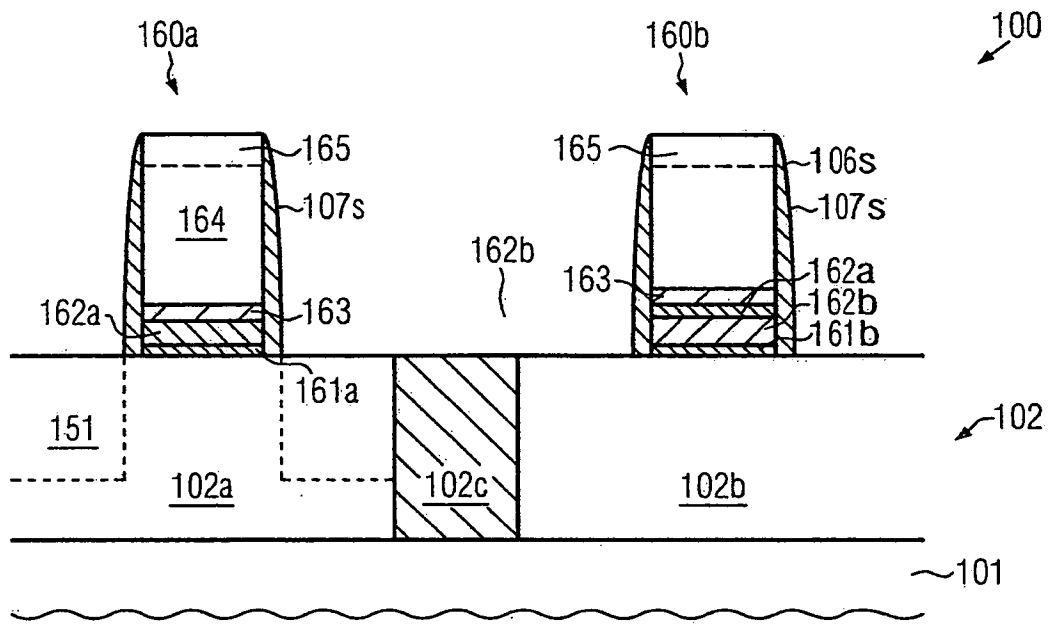




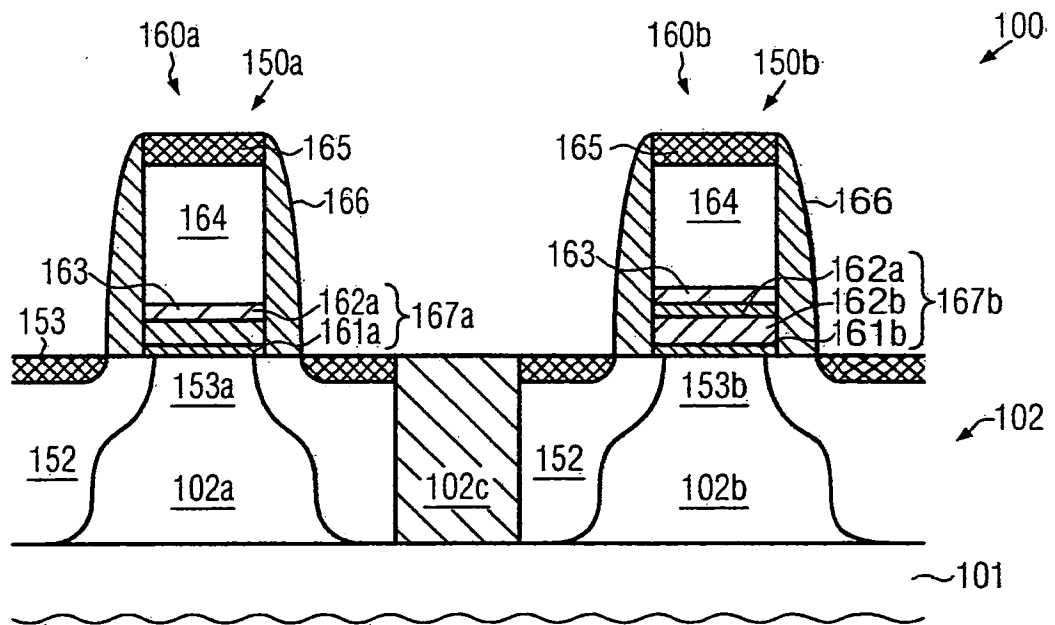
第1e圖



第1f圖



第1g圖



第1h圖

