



(12) 发明专利申请

(10) 申请公布号 CN 103631529 A

(43) 申请公布日 2014. 03. 12

(21) 申请号 201210298808. 3

(22) 申请日 2012. 08. 21

(71) 申请人 群联电子股份有限公司

地址 中国台湾苗栗县

(72) 发明人 林纬 郑国义 张俊彦

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 史新宏

(51) Int. Cl.

G06F 3/06 (2006. 01)

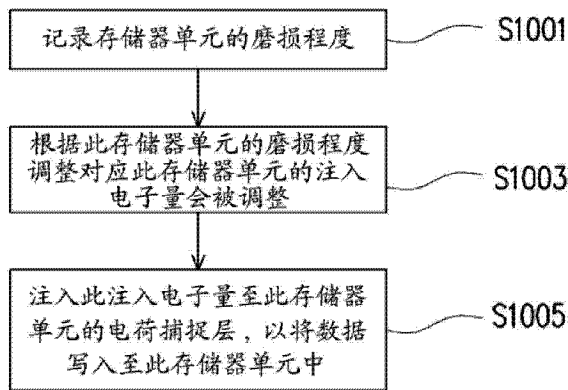
权利要求书4页 说明书16页 附图13页

(54) 发明名称

数据写入方法、存储器控制器与存储器存储装置

(57) 摘要

本公开提出一种数据写入方法、存储器控制器与存储器存储装置。本数据写入方法包括记录此存储器单元的磨损程度值,并且根据此存储器单元的磨损程度值,调整对应此存储器单元的初始写入电压与写入电压脉冲时间的至少其中之一。本数据写入方法还包括使用对应此存储器单元的初始写入电压与写入电压脉冲时间编程此存储器单元,以将数据写入至此存储器单元中。基于此,本发明可精确地将数据存储至可复写式非易失性存储器模块中。



1. 一种数据写入方法,用于将数据写入至一可复写式非易失性存储器模块的一存储器单元,该数据写入方法包括:

记录所述存储器单元的磨损程度值;以及

根据所述存储器单元的磨损程度值调整对应所述存储器单元的一注入电子量,并且对所述存储器单元的一电荷捕捉层注入所述注入电子量,以将所述数据写入至所述存储器单元中。

2. 如权利要求 1 所述的数据写入方法,其中上述根据所述存储器单元的磨损程度值调整对应所述存储器单元的注入电子量,并且对所述存储器单元的电荷捕捉层注入所述注入电子量,以将所述数据写入至所述存储器单元中的步骤包括:

根据所述存储器单元的磨损程度值,调整对应所述存储器单元的一初始写入电压与一写入电压脉冲时间的至少其中之一;以及

使用对应所述存储器单元的所述初始写入电压与所述写入电压脉冲时间编程所述存储器单元,以将所述数据写入至所述存储器单元。

3. 如权利要求 2 所述的数据写入方法,其中上述根据所述存储器单元的磨损程度值调整对应所述存储器单元的所述初始写入电压与所述写入电压脉冲时间的至少其中之一步骤包括:

随着所述存储器单元的磨损程度值增加,降低对应所述存储器单元的所述初始写入电压。

4. 如权利要求 3 所述的数据写入方法,其中上述随着所述存储器单元的磨损程度值增加,降低对应所述存储器单元的所述初始写入电压的步骤包括:

判断所述存储器单元的磨损程度值是否小于一第一阈值;

倘若所述存储器单元的磨损程度值小于所述第一阈值时,使用一第一写入电压作为所述初始写入电压;

倘若所述存储器单元的磨损程度值非小于所述第一阈值时,判断所述存储器单元的磨损程度值是否小于一第二阈值;

倘若所述存储器单元的磨损程度值小于所述第二阈值时,使用一第二写入电压作为所述初始写入电压;

倘若所述存储器单元的磨损程度值非小于所述第二阈值时,使用一第三写入电压作为所述初始写入电压,

其中所述第一写入电压大于所述第二写入电压,并且所述第二写入电压大于所述第三写入电压。

5. 如权利要求 2 所述的数据写入方法,其中上述根据所述存储器单元的磨损程度值调整对应所述存储器单元的所述初始写入电压与所述写入电压脉冲时间的至少其中之一步骤包括:

随着所述存储器单元的磨损程度值增加,减少对应所述存储器单元的所述写入电压脉冲时间。

6. 如权利要求 5 所述的数据写入方法,其中所述随着所述存储器单元的磨损程度值增加,减少对应所述存储器单元的所述写入电压脉冲时间的步骤包括:

判断所述存储器单元的磨损程度值是否小于一第一阈值;

倘若所述存储器单元的磨损程度值小于所述第一阈值时,使用一第一时间作为所述写入电压脉冲时间;

倘若所述存储器单元的磨损程度值非小于所述第一阈值时,判断所述存储器单元的磨损程度值是否小于一第二阈值;

倘若所述存储器单元的磨损程度值小于所述第二阈值时,使用一第二时间作为所述写入电压脉冲时间;

倘若所述存储器单元的磨损程度值非小于所述第二阈值时,使用一第三时间作为所述写入电压脉冲时间,

其中所述第一时间大于所述第二时间,并且所述第二时间大于所述第三时间。

7. 如权利要求 1 所述的数据写入方法,其中所述存储器单元的磨损程度值是依据所述存储器单元的一擦除次数、一写入次数、一错误位数、一错误位比例及一读取次数的至少其中之一来决定。

8. 一种存储器控制器,用于将数据写入至一可复写式非易失性存储器模块的一存储器单元,该存储器控制器包括:

一主机接口,用以电性连接至一主机系统;

一存储器接口,用以电性连接至所述可复写式非易失性存储器模块;以及

一存储器管理电路,电性连接至所述主机接口与所述存储器接口,

其中所述存储器管理电路用以记录所述存储器单元的磨损程度值,

其中所述存储器管理电路还用以根据所述存储器单元的磨损程度值调整对应所述存储器单元的一注入电子量,并且对所述存储器单元的一电荷捕捉层注入所述注入电子量,以将所述数据写入至所述存储器单元中。

9. 如权利要求 8 所述的存储器控制器,其中在上述根据所述存储器单元的磨损程度值调整对应所述存储器单元的注入电子量,并且对所述存储器单元的电荷捕捉层注入所述注入电子量,以将所述数据写入至所述存储器单元中的操作中,所述存储器管理电路根据所述存储器单元的磨损程度值调整对应所述存储器单元的一初始写入电压与一写入电压脉冲时间至少其中之一,并且使用对应所述存储器单元的所述初始写入电压与所述写入电压脉冲时间编程所述存储器单元,以将所述数据写入至所述存储器单元。

10. 如权利要求 9 所述的存储器控制器,其中在上述根据所述存储器单元的磨损程度值调整对应所述存储器单元的所述初始写入电压与所述写入电压脉冲时间的至少其中之一,所述存储器管理电路用以随着所述存储器单元的磨损程度值增加,降低对应所述存储器单元的所述初始写入电压。

11. 如权利要求 10 所述的存储器控制器,其中在上述随着所述存储器单元的磨损程度值增加而降低对应所述存储器单元的所述初始写入电压的操作中,所述存储器管理电路判断所述存储器单元的磨损程度值是否小于一第一阈值,

倘若所述存储器单元的磨损程度值小于所述第一阈值时,所述存储器管理电路使用一第一写入电压作为所述初始写入电压,

倘若所述存储器单元的磨损程度值非小于所述第一阈值时,所述存储器管理电路判断所述存储器单元的磨损程度值是否小于一第二阈值,

倘若所述存储器单元的磨损程度值小于所述第二阈值时,所述存储器管理电路使用一

第二写入电压作为所述初始写入电压，

倘若所述存储器单元的磨损程度值非小于所述第二阈值时，所述存储器管理电路使用一第三写入电压作为所述初始写入电压，

其中所述第一写入电压大于所述第二写入电压，并且所述第二写入电压大于所述第三写入电压。

12. 如权利要求 9 所述的存储器控制器，其中在上述根据所述存储器单元的磨损程度值调整对应所述存储器单元的所述初始写入电压与所述写入电压脉冲时间的至少其中之一的操作中，所述存储器管理电路用以随着所述存储器单元的磨损程度值增加，减少对应所述存储器单元的所述写入电压脉冲时间。

13. 如权利要求 12 所述的存储器控制器，其中在所述随着所述存储器单元的磨损程度值增加而减少对应所述存储器单元的所述写入电压脉冲时间的操作中，所述存储器管理电路会判断所述存储器单元的磨损程度值是否小于一第一阈值，

倘若所述存储器单元的磨损程度值小于所述第一阈值时，所述存储器管理电路会使用一第一时间作为所述写入电压脉冲时间，

倘若所述存储器单元的磨损程度值非小于所述第一阈值时，所述存储器管理电路会判断所述存储器单元的磨损程度值是否小于一第二阈值，

倘若所述存储器单元的磨损程度值小于所述第二阈值时，所述存储器管理电路会使用一第二时间作为所述写入电压脉冲时间，

倘若所述存储器单元的磨损程度值非小于所述第二阈值时，所述存储器管理电路会使用一第三时间作为所述写入电压脉冲时间，

其中所述第一时间大于所述第二时间，并且所述第二时间大于所述第三时间。

14. 如权利要求 8 所述的存储器控制器，其中所述存储器单元的磨损程度值是依据所述存储器单元的一擦除次数、一写入次数、一错误位数、一错误位比例及一读取次数的至少其中之一来决定。

15. 一种存储器存储装置，包括：

一连接器，用以电性连接至一主机系统；

一可复写式非易失性存储器模块；以及

一存储器控制器，电性连接至所述连接器与所述可复写式非易失性存储器模块，

其中所述存储器控制器用以将数据写入至所述可复写式非易失性存储器模块的一存储器单元，

其中所述存储器控制器用以记录所述存储器单元的磨损程度值，

其中所述存储器控制器还用以根据所述存储器单元的磨损程度值调整对应所述存储器单元的一注入电子量，并且对所述存储器单元的一电荷补捉层注入所述注入电子量，以将所述数据写入至所述存储器单元中。

16. 如权利要求 15 所述的存储器存储装置，其中在上述根据所述存储器单元的磨损程度值调整对应所述存储器单元的注入电子量，并且对所述存储器单元的电荷补捉层注入所述注入电子量，以将所述数据写入至所述存储器单元中的操作中，所述存储器控制器根据所述存储器单元的磨损程度值调整对应所述存储器单元的一初始写入电压与一写入电压脉冲时间的至少其中之一，并且通过使用对应所述存储器单元的所述初始写入电压与所述

写入电压脉冲时间编程所述存储器单元,以将所述数据写入至所述存储器单元。

17. 如权利要求 16 所述的存储器存储装置,其中在上述根据所述存储器单元的磨损程度值调整对应所述存储器单元的所述初始写入电压与所述写入电压脉冲时间的至少其中之一的操作中,所述存储器控制器用以随着所述存储器单元的磨损程度值增加,降低对应所述存储器单元的所述初始写入电压。

18. 如权利要求 17 所述的存储器存储装置,其中在上述随着所述存储器单元的磨损程度值增加而降低对应所述存储器单元的所述初始写入电压的操作中,所述存储器控制器判断所述存储器单元的磨损程度值是否小于一第一阈值,

倘若所述存储器单元的磨损程度值小于所述第一阈值时,所述存储器控制器使用一第一写入电压作为所述初始写入电压,

倘若所述存储器单元的磨损程度值非小于所述第一阈值时,所述存储器控制器判断所述存储器单元的磨损程度值是否小于一第二阈值,

倘若所述存储器单元的磨损程度值小于所述第二阈值时,所述存储器控制器使用一第二写入电压作为所述初始写入电压,

倘若所述存储器单元的磨损程度值非小于所述第二阈值时,所述存储器控制器使用一第三写入电压作为所述初始写入电压,

其中所述第一写入电压大于所述第二写入电压,并且所述第二写入电压大于所述第三写入电压。

19. 如权利要求 16 所述的存储器存储装置,其中在上述根据所述存储器单元的磨损程度值调整对应所述存储器单元的所述初始写入电压与所述写入电压脉冲时间的至少其中之一的操作中,所述存储器控制器用以随着所述存储器单元的磨损程度值增加,减少对应所述存储器单元的所述写入电压脉冲时间。

20. 如权利要求 19 所述的存储器存储装置,其中在所述随着所述存储器单元的磨损程度值增加而减少对应所述存储器单元的所述写入电压脉冲时间的操作中,所述存储器控制器会判断所述存储器单元的磨损程度值是否小于一第一阈值,

倘若所述存储器单元的磨损程度值小于所述第一阈值时,所述存储器控制器会使用一第一时间作为所述写入电压脉冲时间,

倘若所述存储器单元的磨损程度值非小于所述第一阈值时,所述存储器控制器会判断所述存储器单元的磨损程度值是否小于一第二阈值,

倘若所述存储器单元的磨损程度值小于所述第二阈值时,所述存储器控制器会使用一第二时间作为所述写入电压脉冲时间,

倘若所述存储器单元的磨损程度值非小于所述第二阈值时,所述存储器控制器会使用一第三时间作为所述写入电压脉冲时间,

其中所述第一时间大于所述第二时间,并且所述第二时间大于所述第三时间。

21. 如权利要求 15 所述的存储器存储装置,其中所述存储器单元的磨损程度值是依据所述存储器单元的一擦除次数、一写入次数、一错误位数、一错误位比例及一读取次数的至少其中之一来决定。

数据写入方法、存储器控制器与存储器存储装置

技术领域

[0001] 本发明涉及一种用于可复写式非易失性存储器模块的数据写入方法及使用此方法的存储器控制器与存储器存储装置。

背景技术

[0002] 数字相机、手机与 MP3 在这几年来的成长十分迅速,使得消费者对存储介质的需求也急速增加。由于可复写式非易失性存储器(rewritable non-volatile memory)具有数据非易失性、省电、体积小、无机械结构、读写速度快等特性,最适于可携式电子产品,例如笔记型计算机。固态硬盘就是一种以快闪存储器作为存储介质的存储装置。因此,近年快闪存储器产业成为电子产业中相当热门的一环。

[0003] 图 1 是根据已知技术所绘示的快闪存储器元件的示意图。

[0004] 请参照图 1,快闪存储器元件 1 包含用于存储电子的电荷捕捉层(charge trapping layer)2、用于施加偏压的控制栅极(Control Gate)3、穿隧氧化层(Tunnel Oxide)4 与多晶硅间介电层(Interpoly Dielectric)5。当欲写入数据至快闪存储器元件 1 时,可通过将电子注入电荷捕捉层 2 以改变快闪存储器元件 1 的临界电压,由此定义快闪存储器元件 1 的数字高低态,而实现存储数据的功能。在此,注入电子至电荷捕捉层 2 的过程称为编程。反之,当欲将所存储的数据移除时,通过将所注入的电子从电荷捕捉层 2 中移除,则可使快闪存储器元件 1 回复为未被编程前的状态。

[0005] 在写入与擦除过程中,快闪存储器元件 1 会随着电子的多次的注入与移除而造成磨损,导致电子写入速度增加并造成临界电压分布变宽。因此,在快闪存储器元件 1 被编程后无法被正确地识别其存储状态,而产生错误位。

发明内容

[0006] 本发明提供一种数据写入方法,其能够有效地防止过度编程并减少错误位的发生。

[0007] 本发明提供一种存储器控制器,其能够有效地防止过度编程并减少错误位的发生。

[0008] 本发明提供一种存储器存储装置,能够有效地防止过度编程并减少错误位的发生。

[0009] 本发明范例实施例提出一种数据写入方法,用于将数据写入至可复写式非易失性存储器模块的存储器单元(memory cell,又称之为“记忆胞”)。本数据写入方法包括记录此存储器单元的磨损程度值。本数据写入方法还包括根据此存储器单元的磨损程度值调整对应此存储器单元的注入电子量,并且对此存储器单元的电荷捕捉层注入此注入电子量,以将上述数据写入至存储器单元中。

[0010] 在本发明的一实施例中,上述根据此存储器单元的磨损程度值调整对应此存储器单元的注入电子量,并且对此存储器单元的电荷捕捉层注入此注入电子量,以将上述数据

写入至存储器单元中的步骤包括：根据此存储器单元的磨损程度值，调整对应此存储器单元的初始写入电压与写入电压脉冲时间的至少其中之一，并且使用对应此存储器单元的初始写入电压与写入电压脉冲时间编程此存储器单元，以将数据写入至此存储器单元中。

[0011] 在本发明的一实施例中，上述根据存储器单元的磨损程度值调整对应此存储器单元的初始写入电压与写入电压脉冲时间的至少其中之一的步骤包括：随着此存储器单元的磨损程度值增加，降低对应此存储器单元的初始写入电压。

[0012] 在本发明的一实施例中，上述随着存储器单元的磨损程度值增加，降低对应此存储器单元的初始写入电压的步骤包括：判断此存储器单元的磨损程度值是否小于第一阈值；倘若此存储器单元的磨损程度值小于第一阈值时，使用第一写入电压作为所述初始写入电压；倘若此存储器单元的磨损程度值非小于第一阈值时，判断此存储器单元的磨损程度值是否小于第二阈值；倘若此存储器单元的磨损程度值小于第二阈值时，使用第二写入电压作为初始写入电压；倘若此存储器单元的磨损程度值非小于第二阈值时，使用第三写入电压作为所述初始写入电压，其中第一写入电压大于第二写入电压，并且第二写入电压大于第三写入电压。

[0013] 在本发明的一实施例中，上述根据存储器单元的磨损程度值调整对应此存储器单元的初始写入电压与写入电压脉冲时间的至少其中之一的步骤包括：随着此存储器单元的磨损程度值增加，减少对应此存储器单元的写入电压脉冲时间。

[0014] 在本发明的一实施例中，所述随着存储器单元的磨损程度值增加，减少对应此存储器单元的所述写入电压脉冲时间的步骤包括：判断此存储器单元的磨损程度值是否小于第一阈值；倘若此存储器单元的磨损程度值小于第一阈值时，使用第一时间作为写入电压脉冲时间；倘若此存储器单元的磨损程度值非小于第一阈值时，判断此存储器单元的磨损程度值是否小于第二阈值；倘若存储器单元的磨损程度值小于第二阈值时，使用第二时间作为写入电压脉冲时间；倘若存储器单元的磨损程度值非小于第二阈值时，使用第三时间作为写入电压脉冲时间，其中第一时间大于第二时间，并且第二时间大于第三时间。

[0015] 在本发明的一实施例中，上述存储器单元的磨损程度值是依据此存储器单元的擦除次数、写入次数、错误位数、错误位比例及读取次数的至少其中之一来决定。

[0016] 本发明一范例实施例提出一种存储器控制器，用于将数据写入至可复写式非易失性存储器模块的存储器单元。本存储器控制器包括主机接口、存储器接口与存储器管理电路。主机接口用以电性连接至主机系统。存储器接口用以电性连接至可复写式非易失性存储器模块。存储器管理电路电性连接至主机接口与存储器接口。存储器管理电路用以记录此存储器单元的磨损程度值，并且根据此存储器单元的磨损程度值调整对应此存储器单元的注入电子量，并且对此存储器单元的电荷捕捉层注入此注入电子量，以将上述数据写入至存储器单元中。

[0017] 在本发明的一实施例中，在上述根据此存储器单元的磨损程度值调整对应此存储器单元的注入电子量，并且对此存储器单元的电荷捕捉层注入此注入电子量，以将上述数据写入至存储器单元中的操作中，存储器管理电路会根据此存储器单元的磨损程度值，调整对应此存储器单元的初始写入电压与写入电压脉冲时间的至少其中之一，并且使用对应此存储器单元的初始写入电压与写入电压脉冲时间编程此存储器单元，以将数据写入至此存储器单元中。

[0018] 在本发明的一实施例中,在上述根据存储器单元的磨损程度值调整对应此存储器单元的初始写入电压与写入电压脉冲时间的至少其中之一的操作中,存储器管理电路用以随着此存储器单元的磨损程度值增加,降低对应此存储器单元的初始写入电压。

[0019] 在本发明的一实施例中,在上述随着此存储器单元的磨损程度值增加而降低对应此存储器单元的所述初始写入电压的操作中,存储器管理电路判断此存储器单元的磨损程度值是否小于第一阈值。倘若此存储器单元的磨损程度值小于第一阈值时,存储器管理电路使用第一写入电压作为所述初始写入电压。倘若此存储器单元的磨损程度值非小于第一阈值时,存储器管理电路会判断此存储器单元的磨损程度值是否小于第二阈值。倘若此存储器单元的磨损程度值小于第二阈值时,存储器管理电路会使用第二写入电压作为初始写入电压。倘若存储器单元的磨损程度值非小于第二阈值时,存储器管理电路使用第三写入电压作为初始写入电压,其中第一写入电压大于第二写入电压,并且第二写入电压大于该第三写入电压。

[0020] 在本发明的一实施例中,在上述根据存储器单元的磨损程度值调整对应此存储器单元的初始写入电压与写入电压脉冲时间的至少其中之一的操作中,存储器管理电路用以随着此存储器单元的磨损程度值增加,减少对应此存储器单元的所述写入电压脉冲时间。

[0021] 在本发明的一实施例中,在随着存储器单元的磨损程度值增加而减少对应此存储器单元的写入电压脉冲时间的操作中,存储器管理电路会判断此存储器单元的磨损程度值是否小于第一阈值。倘若此存储器单元的磨损程度值小于第一阈值时,存储器管理电路会使用第一时间作为写入电压脉冲时间。倘若此存储器单元的磨损程度值非小于第一阈值时,存储器管理电路会判断此存储器单元的磨损程度值是否小于第二阈值。倘若此存储器单元的磨损程度值小于第二阈值时,存储器管理电路会使用第二时间作为写入电压脉冲时间。倘若此存储器单元的磨损程度值非小于第二阈值时,存储器管理电路会使用第三时间作为写入电压脉冲时间,其中第一时间大于第二时间,并且第二时间大于第三时间。

[0022] 本发明一范例实施例提出一种存储器存储装置,其包括连接器、可复写式非易失性存储器模块与存储器控制器。连接器用以电性连接至主机系统。存储器控制器电性连接至连接器与可复写式非易失性存储器模块。存储器控制器用以记录此存储器单元的磨损程度值,并且根据此存储器单元的磨损程度值调整对应此存储器单元的注入电子量,并且对此存储器单元的电荷捕捉层注入此注入电子量,以将上述数据写入至存储器单元中。

[0023] 在本发明的一实施例中,在上述根据此存储器单元的磨损程度值调整对应此存储器单元的注入电子量,并且对此存储器单元的电荷捕捉层注入此注入电子量,以将上述数据写入至存储器单元中的操作中,存储器控制器会根据此存储器单元的磨损程度值,调整对应此存储器单元的初始写入电压与写入电压脉冲时间的至少其中之一,并且使用对应此存储器单元的初始写入电压与写入电压脉冲时间编程此存储器单元,以将数据写入至此存储器单元中。

[0024] 在本发明的一实施例中,在上述根据存储器单元的磨损程度值调整对应此存储器单元的初始写入电压与写入电压脉冲时间的至少其中之一的操作中,存储器控制器用以随着此存储器单元的磨损程度值增加,降低对应此存储器单元的初始写入电压。

[0025] 在本发明的一实施例中,在上述随着此存储器单元的磨损程度值增加而降低对应此存储器单元的所述初始写入电压的操作中,存储器控制器判断此存储器单元的磨损程度

值是否小于第一阈值。倘若此存储器单元的磨损程度值小于第一阈值时,存储器控制器使用第一写入电压作为所述初始写入电压。倘若此存储器单元的磨损程度值非小于第一阈值时,存储器控制器会判断此存储器单元的磨损程度值是否小于第二阈值。倘若此存储器单元的磨损程度值小于第二阈值时,存储器控制器会使用第二写入电压作为初始写入电压。倘若存储器单元的磨损程度值非小于第二阈值时,存储器控制器使用第三写入电压作为初始写入电压,其中第一写入电压大于第二写入电压,并且第二写入电压大于该第三写入电压。

[0026] 在本发明的一实施例中,在上述根据存储器单元的磨损程度值调整对应此存储器单元的初始写入电压与写入电压脉冲时间的至少其中之一的操作中,存储器控制器用以随着此存储器单元的磨损程度值增加,减少对应此存储器单元的所述写入电压脉冲时间。

[0027] 在本发明的一实施例中,在随着存储器单元的磨损程度值增加而减少对应此存储器单元的写入电压脉冲时间的操作中,存储器控制器会判断此存储器单元的磨损程度值是否小于第一阈值。倘若此存储器单元的磨损程度值小于第一阈值时,存储器控制器会使用第一时间作为写入电压脉冲时间。倘若此存储器单元的磨损程度值非小于第一阈值时,存储器控制器会判断此存储器单元的磨损程度值是否小于第二阈值。倘若此存储器单元的磨损程度值小于第二阈值时,存储器控制器会使用第二时间作为写入电压脉冲时间。倘若此存储器单元的磨损程度值非小于第二阈值时,存储器控制器会使用第三时间作为写入电压脉冲时间,其中第一时间大于第二时间,并且第二时间大于第三时间。

[0028] 基于上述,本发明范例实施例的数据写入方法、存储器控制器与存储器存储装置能够根据存储器单元的磨损,调整注入至存储器单元的电子,由此正确地将数据写入至存储器单元中。

[0029] 为了让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合附图作详细说明如下。

附图说明

[0030] 图 1 是根据已知技术所绘示的快闪存储器元件的示意图。

[0031] 图 2 是根据本发明范例实施例所绘示的数据写入方法的流程图。

[0032] 图 3 是根据第一范例实施例所绘示的主机系统与存储器存储装置。

[0033] 图 4 是根据一范例实施例所绘示的计算机、输入 / 输出装置与存储器存储装置的示意图。

[0034] 图 5 是根据一范例实施例所绘示的主机系统与存储器存储装置的示意图。

[0035] 图 6 是绘示根据第一范例实施例所绘示的存储器存储装置的概要方块图。

[0036] 图 7 是根据第一范例实施例所绘示的可复写式非易失性存储器模块的概要方块图。

[0037] 图 8 是根据第一范例实施例所绘示存储于存储器单元阵列中的写入数据所对应的栅极电压的统计分配图。

[0038] 图 9 是根据第一范例实施例所绘示的编程存储器单元的示意图。

[0039] 图 10 是根据第一范例实施例所绘示的验证存储器单元的存储状态的示意图。

[0040] 图 11 是根据另一范例实施例所绘示的验证存储器单元的存储状态的示意图。

- [0041] 图 12 是根据第一范例实施例所绘示的存储器控制器的概要方块图。
- [0042] 图 13 是根据本发明第一范例实施例所绘示的数据写入方法的流程图。
- [0043] 图 14 是根据第一范例实施例所绘示的调整对应存储器单元的初始写入电压的流程图。
- [0044] 图 15- 图 17 是根据第二范例实施例所绘示的编程存储器单元的示意图。
- [0045] 图 18 是根据本发明第二范例实施例所绘示的数据写入方法的流程图。
- [0046] 图 19 是根据第二范例实施例所绘示的调整对应存储器单元的写入电压脉冲时间的流程图。
- [0047] 图 20 是根据本发明第三范例实施例所绘示的数据写入方法的流程图。
- [0048] **【主要元件符号说明】**
- [0049] 1 :快闪存储器元件
- [0050] 2 :电荷捕捉层
- [0051] 3 :控制栅极
- [0052] 4 :穿隧氧化层
- [0053] 5 :多晶硅间介电层
- [0054] S1001、S1003、S1005 :数据写入方法的步骤
- [0055] 1000 :主机系统
- [0056] 1100 :计算机
- [0057] 1102 :微处理器
- [0058] 1104 :随机存取存储器
- [0059] 1106 :输入 / 输出装置
- [0060] 1108 :系统总线
- [0061] 1110 :数据传输接口
- [0062] 1202 :鼠标
- [0063] 1204 :键盘
- [0064] 1206 :显示器
- [0065] 1252 :打印机
- [0066] 1256 :随身碟
- [0067] 1214 :存储卡
- [0068] 1216 :固态硬盘
- [0069] 1310 :数字相机
- [0070] 1312 :SD 卡
- [0071] 1314 :MMC 卡
- [0072] 1316 :记忆棒
- [0073] 1318 :CF 卡
- [0074] 1320 :嵌入式存储装置
- [0075] 100 :存储器存储装置
- [0076] 102 :连接器
- [0077] 104 :存储器控制器

- [0078] 106 :可复写式非易失性存储器模块
- [0079] 2202 :存储器单元阵列
- [0080] 2204 :字线控制电路
- [0081] 2206 :位线控制电路
- [0082] 2208 :列解码器
- [0083] 2210 :数据输入 / 输出缓冲器
- [0084] 2212 :控制电路
- [0085] VA :第一阈值电压
- [0086] VB :第二阈值电压
- [0087] VC :第三阈值电压
- [0088] VD :第四阈值电压
- [0089] VE :第五阈值电压
- [0090] VF :第六阈值电压
- [0091] VG :第七阈值电压
- [0092] 202 :存储器管理电路
- [0093] 206 :存储器接口
- [0094] 252 :缓冲存储器
- [0095] 254 :电源管理电路
- [0096] 256 :错误检查与校正电路
- [0097] S1201、S1203、S1205 :数据写入方法的步骤
- [0098] S1301、S1303、S1305、S1307、S1309 :调整初始写入电压的步骤
- [0099] S1701、S1703、S1705 :数据写入方法的步骤
- [0100] S1801、S1803、S1805、S1807、S1809 :调整写入电压脉冲时间的步骤
- [0101] S1901、S1903、S1905 :数据写入方法的步骤

具体实施方式

[0102] 在写入与擦除过程中,快闪存储器元件会随着电子的多次的注入与移除而造成部分结构磨损,例如穿隧氧化层,导致电子写入速度增加并造成临界电压分布变宽。为了能够使数据被正确地存储,如图 2 所示,在本发明范例实施例中,存储器单元的磨损程度会被记录 (S1001);对应此存储器单元的注入电子量会根据此存储器单元的磨损程度被调整 (S1003) 并且此注入电子量会被注入至此存储器单元的电荷捕捉层,以将数据写入至此存储器单元中 (S1005)。为了能够使本发明能够更清楚地被理解,以下将以数个范例实施例来作详细说明。

[0103] [第一范例实施例]

[0104] 一般而言,存储器存储装置(亦称,存储器存储系统)包括可复写式非易失性存储器模块与控制器(亦称,控制电路)。通常存储器存储装置是与主机系统一起使用,以使主机系统可将数据写入至存储器存储装置或从存储器存储装置中读取数据。

[0105] 图 3 是根据第一范例实施例所绘示的主机系统与存储器存储装置。

[0106] 请参照图 3,主机系统 1000 一般包括计算机 1100 与输入/输出(input/output, I/

0) 装置 1106。计算机 1100 包括微处理器 1102、随机存取存储器 (random access memory, RAM) 1104、系统总线 1108 与数据传输接口 1110。输入 / 输出装置 1106 包括如图 4 的鼠标 1202、键盘 1204、显示器 1206 与打印机 1252。必须了解的是, 图 4 所示的装置非限制输入 / 输出装置 1106, 输入 / 输出装置 1106 可还包括其他装置。

[0107] 在本发明实施例中, 存储器存储装置 100 是通过数据传输接口 1110 与主机系统 1000 的其他元件电性连接。通过微处理器 1102、随机存取存储器 1104 与输入 / 输出装置 1106 的操作可将数据写入至存储器存储装置 100 或从存储器存储装置 100 中读取数据。例如, 存储器存储装置 100 可以是如图 4 所示的随身碟 1256、存储卡 1214 或固态硬盘 (Solid State Drive, SSD) 1216 等的可复写式非易失性存储器存储装置。

[0108] 一般而言, 主机系统 1000 为可实质地与存储器存储装置 100 配合以存储数据的任意系统。虽然在本范例实施例中, 主机系统 1000 是以计算机系统来作说明, 然而, 在本发明另一范例实施例中主机系统 1000 可以是数码相机、摄像机、通信装置、音频播放器或视频播放器等系统。例如, 在主机系统为数码相机 (摄像机) 1310 时, 可复写式非易失性存储器存储装置则为其所使用的 SD 卡 1312、MMC 卡 1314、记忆棒 (memory stick) 1316、CF 卡 1318 或嵌入式存储装置 1320 (如图 5 所示)。嵌入式存储装置 1320 包括嵌入式多媒体卡 (Embedded MMC, eMMC)。值得一提的是, 嵌入式多媒体卡是直接电性连接于主机系统的基板上。

[0109] 图 6 是绘示根据第一范例实施例所绘示的存储器存储装置的概要方块图。

[0110] 请参照图 6, 存储器存储装置 100 包括连接器 102、存储器控制器 104 与可复写式非易失性存储器模块 106。

[0111] 在本范例实施例中, 连接器 102 是相容于通用串行总线 (Universal Serial Bus, USB) 标准。然而, 必须了解的是, 本发明不限于此, 连接器 102 也可以是符合并行先进附件 (Parallel Advanced Technology Attachment, PATA) 标准、电气和电子工程师协会 (Institute of Electrical and Electronic Engineers, IEEE) 1394 标准、高速外围组件连接接口 (Peripheral Component Interconnect Express, PCI Express) 标准、安全数字 (Secure Digital, SD) 接口标准、串行先进附件 (Serial Advanced Technology Attachment, SATA) 标准、超高速一代 (Ultra High Speed-I, UHS-I) 接口标准、超高速二代 (Ultra High Speed-II, UHS-II) 接口标准、记忆棒 (Memory Stick, MS) 接口标准、多媒体存储卡 (Multi Media Card, MMC) 接口标准、嵌入式多媒体存储卡 (Embedded Multimedia Card, eMMC) 接口标准、通用快闪存储器 (Universal Flash Storage, UFS) 接口标准、小型快闪 (Compact Flash, CF) 接口标准、整合式驱动电子接口 (Integrated Device Electronics, IDE) 标准或其他适合的标准。

[0112] 存储器控制器 104 用以执行以硬件型式或固件型式实作的多个逻辑门或控制指令, 并且根据主机系统 1000 的指令在可复写式非易失性存储器模块 106 中进行数据的写入、读取与擦除等操作。

[0113] 可复写式非易失性存储器模块 106 是电性连接至存储器控制器 104, 并且用以存储主机系统 1000 所写入的数据。在本范例实施例中, 可复写式非易失性存储器模块 106 为多阶存储器单元 (Multi Level Cell, MLC) NAND 型快闪存储器模块 (即, 一个存储器单元中可存储 2 位数据的快闪存储器模块)。然而, 本发明不限于此, 可复写式非易失性存储器

模块 106 也可是单阶存储器单元 (Single Level Cell, SLC) NAND 型快闪存储器模块 (即, 一个存储器单元中可存储 1 位数据的快闪存储器模块)、多阶存储器单元 (Trinary Level Cell, TLC) NAND 型快闪存储器模块 (即, 一个存储器单元中可存储 3 位数据的快闪存储器模块)、其他快闪存储器模块或其他具有相同特性的存储器模块。

[0114] 图 7 是根据第一范例实施例所绘示的可复写式非易失性存储器模块的概要方块图。

[0115] 请参照图 7, 可复写式非易失性存储器模块 106 包括存储器单元阵列 2202、字线控制电路 2204、位线控制电路 2206、列解码器 (column decoder) 2208、数据输入 / 输出缓冲器 2210 与控制电路 2212。

[0116] 存储器单元阵列 2202 包括用以存储数据的多个存储器单元 (如图 1 所示)、连接此些存储器单元的多条位线 (图未示)、多条字线与共用源极线 (图未示)。存储器单元是以阵列方式配置在位线与字线的交叉点上。当从存储器控制器 130 接收到写入指令或读取数据时, 控制电路 2212 会控制字线控制电路 2204、位线控制电路 2206、列解码器 2208、数据输入 / 输出缓冲器 2210 来写入数据至存储器阵列 202 或从存储器阵列 202 中读取数据, 其中字线控制电路 2204 用以控制施予至字线的字线电压, 位线控制电路 2206 用以控制位线, 列解码器 2208 依据指令中的解码行地址以选择对应的位线, 并且数据输入 / 输出缓冲器 2210 用以暂存数据。

[0117] 在本范例实施例中, 可复写式非易失性存储器模块 106 为 MLC NAND 型快闪存储器模块, 其使用多种栅极电压来代表多位 (bits) 的数据。具体来说, 存储器单元阵列 2202 的每一存储器单元具有多个存储状态, 并且此些存储状态是以多个阈值电压来区分。

[0118] 图 8 是根据第一范例实施例所绘示存储于存储器单元阵列中的写入数据所对应的栅极电压的统计分配图。

[0119] 请参照图 8, 以 MLC NAND 型快闪存储器为例, 每一存储器单元中的栅极电压可依据第一阈值电压 V_A 、第二阈值电压 V_B 与第三阈值电压 V_C 而区分为 4 种存储状态, 并且此些存储状态分别地代表 "11"、"10"、"00" 与 "01"。换句话说, 每一个存储状态包括最低有效位 (Least Significant Bit, LSB) 以及最高有效位 (Most Significant Bit, MSB)。在本范例实施例中, 存储状态 (即, "11"、"10"、"00" 与 "01") 中从左侧算起的第 1 位的值为 LSB, 而从左侧算起的第 2 位的值为 MSB。因此, 在第一范例实施例中, 每一存储器单元可存储 2 位数据。必须了解的是, 图 8 所绘示的栅极电压及其存储状态的对应仅为一个范例。在本发明另一范例实施例中, 栅极电压与存储状态的对应也可是随着栅极电压越大而以 "11"、"10"、"01" 与 "00" 排列。或者, 栅极电压所对应的存储状态也可为对实际存储值进行映射或反相后的值, 此外, 在另一范例时实例中, 也可定义从左侧算起的第 1 位的值为 MSB, 而从左侧算起的第 2 位的值为 LSB。

[0120] 在本范例实施例中, 每一存储器单元可存储 2 位数据, 因此同一条字线上的存储器单元会构成 2 个实体页面 (即, 下实体页面与上实体页面) 的存储空间。也就是说, 每一存储器单元的 LSB 是对应下实体页面, 并且每一存储器单元的 MSB 是对应上实体页面。此外, 在存储器单元阵列 2202 中数个实体页面会构成一个实体区块, 并且实体区块为执行擦除操作的最小单位。亦即, 每一实体区块含有最小数目之一并被擦除的存储器单元。

[0121] 存储器单元阵列 2202 的存储器单元的数据写入 (或称为编程) 是利用施予一特

定端点的电压,例如是控制栅极电压来改变栅极中的一电荷捕捉层的电子量,因而改变了存储器单元的栅极电压,以呈现不同的存储状态。例如,当下页面数据为 1 且上页面数据为 1 时,控制电路 2212 会控制字线控制电路 2204 不改变存储器单元中的栅极电压,而将存储器单元的存储状态保持为“11”。当下页面数据为 1 且上页面数据为 0 时,字线控制电路 2204 会在控制电路 2212 的控制下改变存储器单元中的栅极电压,而将存储器单元的存储状态改变为“10”。当下页面数据为 0 且上页面数据为 0 时,字线控制电路 2204 会在控制电路 2212 的控制下改变存储器单元中的栅极电压,而将存储器单元的存储状态改变为“00”。并且,当下页面数据为 0 且上页面数据为 1 时,字线控制电路 2204 会在控制电路 2212 的控制下改变存储器单元中的栅极电压,而将存储器单元的存储状态改变为“01”。

[0122] 图 9 是根据第一范例实施例所绘示的编程存储器单元的示意图。

[0123] 请参照图 9,在本范例时实施例中,存储器单元的编程是通过脉冲写入/验证临界电压方法来完成。具体来说,欲将数据写入至存储器单元时,存储器控制器 102 会设定初始写入电压以及写入电压脉冲时间,并且指示可复写式非易失性存储器模块 106 的控制电路 2212 使用所设定的初始写入电压以及写入电压脉冲时间来编程存储器单元,以进行数据的写入。之后,存储器控制器 102 会使用验证电压来对存储器单元进行验证,以判断存储器单元是否已处于正确的存储状态。倘若存储器单元未被编程至正确的存储状态时,存储器控制器 102 指示控制电路 2212 以目前施予的写入电压加上一预设补偿值作为新的写入电压(亦称为重复写入电压)并且依据新的写入电压与写入电压脉冲时间再次来编程存储器单元。反之,倘若存储器单元已被编程至正确的存储状态时,则表示数据已被正确地写入至存储器单元。例如,初始写入电压会被设定为 16 伏特(Voltage, V),写入电压脉冲时间会被设定为 18 微秒(microseconds, μ s)并且预设补偿值被设定为 0.6V,但本发明不限于此。在另一范例实施例中,预设补偿值也可渐增或渐减。

[0124] 图 10 是根据第一范例实施例所绘示的验证存储器单元的存储状态的示意图。

[0125] 请参照图 10,存储器单元阵列 2202 的存储器单元的数据读取是使用阈值电压来区分存储器单元的栅极电压。在读取下页数据的操作中,字线控制电路 2204 会施予第二阈值电压 V_B 至存储器单元并且通过存储器单元的控制门(control gate)是否导通和对应的运算式 (1) 来判断下页数据的值:

$$[0126] \quad \text{LSB} = (V_B)_{\text{Lower_pre1}} \quad (1)$$

[0127] 其中 $(V_B)_{\text{Lower_pre1}}$ 表示通过施予第二阈值电压 V_B 而获得的第 1 下页验证值。

[0128] 例如,当第二阈值电压 V_B 小于存储器单元的栅极电压时,存储器单元的控制门(control gate)不会导通并输出值‘0’的第 1 下页验证值,由此 LSB 会被识别为 0。例如,当第二阈值电压 V_B 大于存储器单元的栅极电压时,存储器单元的控制门会导通并输出值‘1’的第 1 下页验证值,由此此 LSB 会被识别为 1。也就是说,用以呈现 LSB 为 1 的栅极电压与用以呈现 LSB 为 0 的栅极电压可通过第二阈值电压 V_B 而被区分。

[0129] 在读取上页数据的操作中,字线控制电路 2204 会分别地施予第三阈值电压 V_C 与第一阈值电压 V_A 至存储器单元并且通过存储器单元的控制门是否导通和对应的运算式 (2) 来判断上页数据的值:

$$[0130] \quad \text{MSB} = ((V_A)_{\text{Upper_pre2}} \text{ xor } (\sim (V_C)_{\text{Upper_pre1}})) \quad (2)$$

[0131] 其中 $(V_C)_{\text{Upper_pre1}}$ 表示通过施予第三阈值电压 V_C 而获得的第 1 上页验证值,

并且 (VA)Upper_pre2 表示通过施予第一阈值电压 VA 而获得的第 2 上页验证值,其中符号“~”代表反相。此外,在本范例实施例中,当第三阈值电压 VC 小于存储器单元的栅极电压时,存储器单元的控制门不会导通并输出值‘0’的第 1 上页验证值 ((VC)Upper_pre1),当第一阈值电压 VA 小于存储器单元的栅极电压时,存储器单元的控制门不会导通并输出值‘0’的第 2 上页验证值 ((VA)Upper_pre2)。

[0132] 因此,在本范例实施例中,依照运算式 (2),当第三阈值电压 VC 与第一阈值电压 VA 皆小于存储器单元的栅极电压时,在施予第三阈值电压 VC 下存储器单元的控制门不会导通并输出值‘0’的第 1 上页验证值并且在施予第一阈值电压 VA 下存储器单元的控制门不会导通并输出值‘0’的第 2 上页验证值。此时,MSB 会被识别为 1。

[0133] 例如,当第三阈值电压 VC 大于存储器单元的栅极电压且第一阈值电压 VA 小于存储器单元的栅极电压小于存储器单元的栅极电压时,在施予第三阈值电压 VC 下存储器单元的控制门会导通并输出值‘1’的第 1 上页验证值,并且在施予第一阈值电压 VA 下存储器单元的控制门不会导通并输出值‘0’的第 2 上页验证值。此时,MSB 会被识别为 0。

[0134] 例如,当第三阈值电压 VC 与第一阈值电压 VA 皆大于存储器单元的栅极电压时,在施予第三阈值电压 VC 下,存储器单元的控制门会导通并输出值‘1’的第 1 上页验证值,并且在施予第一阈值电压 VA 下存储器单元的控制门会导通并输出值‘1’的第 2 上页验证值。此时,MSB 会被识别为 1。

[0135] 必须了解的是,尽管本发明是以 MLC NAND 型快闪存储器来作说明。然而,本发明不限于此,其他多层存储器单元 NAND 型快闪存储器也可依据上述原理进行数据的读取。

[0136] 例如,以 TLC NAND 型快闪存储器为例(如图 11 所示),每一个存储状态包括左侧算起的第 1 位的最低有效位 LSB、从左侧算起的第 2 位的中间有效位(Center Significant Bit, CSB)以及从左侧算起的第 3 位的最高有效位 MSB,其中 LSB 对应下页面,CSB 对应中页面,MSB 对应上页面。在此范例中,每一存储器单元中的栅极电压可依据第一阈值电压 VA、第二阈值电压 VB、第三阈值电压 VC、第四阈值电压 VD、第五阈值电压 VE、第六阈值电压 VF 与第七阈值电压 VG 而区分为 8 种存储状态(即,“111”、“110”、“100”、“101”、“001”、“000”、“010”与“011”)。再例如,以 SLC NAND 型快闪存储器为例(未绘示),每一个存储状态仅能存储一位数据,因此,每一存储器单元中的栅极电压可依据一个阈值电压来识别存储器单元的存储状态(即,“1”、“0”)。

[0137] 图 12 是根据第一范例实施例所绘示的存储器控制器的概要方块图。必须了解的是,图 12 所示的存储器控制器的结构仅为范例,本发明不以此为限。

[0138] 请参照图 12,存储器控制器 104 包括存储器管理电路 202、主机接口 204 与存储器接口 206。

[0139] 存储器管理电路 202 用以控制存储器控制器 104 的整体操作。具体来说,存储器管理电路 202 具有多个控制指令,并且在存储器存储装置 100 操作时,这些控制指令会被执行以进行数据的写入、读取与擦除等操作。

[0140] 在本范例实施例中,存储器管理电路 202 的控制指令是以固件型式来实作。例如,存储器管理电路 202 具有微处理器单元(未绘示)与只读存储器(未绘示),并且这些控制指令是被烧录至此只读存储器中。当存储器存储装置 100 操作时,这些控制指令会由微处理器单元来执行以进行数据的写入、读取与擦除等操作。

[0141] 在本发明另一范例实施例中,存储器管理电路 202 的控制指令也可以程序代码型式存储于可复写式非易失性存储器模块 106 的特定区域(例如,存储器模块中专用于存放系统数据的系统区)中。此外,存储器管理电路 202 具有微处理器单元(未绘示)、只读存储器(未绘示)及随机存取存储器(未绘示)。特别是,此只读存储器具有驱动码,并且当存储器控制器 104 被致能时,微处理器单元会先执行此驱动码段来将存储于可复写式非易失性存储器模块 106 中的控制指令载入至存储器管理电路 202 的随机存取存储器中。之后,微处理器单元会运转这些控制指令以进行数据的写入、读取与擦除等操作。

[0142] 此外,在本发明另一范例实施例中,存储器管理电路 202 的控制指令也可以一硬件型式来实作。例如,存储器管理电路 202 包括微控制器、存储器单元管理电路、存储器写入电路、存储器读取电路、存储器擦除电路与数据处理电路。存储器单元管理电路、存储器写入电路、存储器读取电路、存储器擦除电路与数据处理电路是电性连接至微控制器。其中,存储器单元管理电路用以管理可复写式非易失性存储器模块 106 的实体擦除单元;存储器写入电路用以对可复写式非易失性存储器模块 106 下达写入指令以将数据写入至可复写式非易失性存储器模块 106 中;存储器读取电路用以对可复写式非易失性存储器模块 106 下达读取指令以从可复写式非易失性存储器模块 106 中读取数据;存储器擦除电路用以对可复写式非易失性存储器模块 106 下达擦除指令以将数据从可复写式非易失性存储器模块 106 中擦除;而数据处理电路用以处理欲写入至可复写式非易失性存储器模块 106 的数据以及从可复写式非易失性存储器模块 106 中读取的数据。

[0143] 主机接口 204 是电性连接至存储器管理电路 202 并且用以接收与识别主机系统 1000 所传送的指令与数据。也就是说,主机系统 1000 所传送的指令与数据会通过主机接口 204 来传送至存储器管理电路 202。在本范例实施例中,主机接口 204 是相容于 USB 标准。然而,必须了解的是本发明不限于此,主机接口 204 也可以是相容于 PATA 标准、IEEE 1394 标准、PCI Express 标准、SD 标准、SATA 标准、UHS-I 接口标准、UHS-II 接口标准、MS 标准、MMC 标准、eMMC 接口标准、UFS 接口标准、CF 标准、IDE 标准或其他适合的数据传输标准。

[0144] 存储器接口 206 是电性连接至存储器管理电路 202 并且用以存取可复写式非易失性存储器模块 106。也就是说,欲写入至可复写式非易失性存储器模块 106 的数据会经由存储器接口 206 转换为可复写式非易失性存储器模块 106 所能接受的格式。

[0145] 在本发明一范例实施例中,存储器控制器 104 还包括缓冲存储器 252、电源管理电路 254 以及错误检查与校正电路 256。

[0146] 缓冲存储器 252 是电性连接至存储器管理电路 202 并且用以暂存来自于主机系统 1000 的数据与指令或来自于可复写式非易失性存储器模块 106 的数据。

[0147] 电源管理电路 254 是电性连接至存储器管理电路 202 并且用以控制存储器存储装置 100 的电源。

[0148] 错误检查与校正电路 256 是电性连接至存储器管理电路 202 并且用以执行错误检查与校正程序以确保数据的正确性。在本范例实施例中,当存储器管理电路 202 从主机系统 1000 中接收到写入指令时,错误检查与校正电路 256 会为对应此写入指令的数据产生对应的错误检查与校正码(Error Checking and Correcting Code, ECC Code),并且存储器管理电路 202 会将对应此写入指令的数据与对应的错误检查与校正码写入至可复写式非易失性存储器模块 106 中。之后,当存储器管理电路 202 从可复写式非易失性存储器模块

106 中读取数据时会同时读取此数据对应的错误检查与校正码,并且错误检查与校正电路 256 会依据此错误检查与校正码对所读取的数据执行错误检查与校正程序。具体来说,错误检查与校正电路 256 会被设计能够校正一数目的错误位(以下称为最大可校正错误位数)。例如,最大可校正错误位数为 24。倘若发生在所读取的数据的错误位的数目非大于 24 个时,错误检查与校正电路 256 就能够依据错误校正码将错误位校正回正确的值。反之,错误检查与校正电路 256 就会回报错误校正失败且存储器管理电路 202 会将指示数据已遗失的讯息传送给主机系统 1000。

[0149] 在本范例实施例中,存储器控制器 104(或存储器管理电路 202)会记录可复写式非易失性存储器模块 106 中存储器单元的磨损程度值。例如,对于可复写式非易失性存储器模块 106 的擦除是以实体区块为单位来进行,因此,例如,存储器控制器 104(或存储器管理电路 202)会记录可复写式非易失性存储器模块 106 中每个实体区块的擦除次数,由此监控每个存储器单元的磨损程度。然而,必须了解的是,除了以擦除次数来作为磨损程度值之外,在本发明另一范例实施例中,存储器单元的写入次数、错误位数、错误位比例或读取次数,或依据上述部分或全部的参数组合而成也可被作为衡量存储器单元的磨损程度。

[0150] 特别是,在本范例实施例中,存储器控制器 104(或存储器管理电路 202)会根据每个存储器单元的穿隧氧化层的磨损程度来调整编程时所使用的初始写入电压,用以调整电荷捕捉层所含的电子量,以避免过度写入而产生错误位。具体来说,存储器控制器 104(或存储器管理电路 202)会随着存储器单元的磨损程度值增加,而降低对应此存储器单元的初始写入电压。

[0151] 例如,当欲对一个存储器单元进行编程时,存储器控制器 104(或存储器管理电路 202)会判断此存储器单元的磨损程度值是否小于第一阈值。倘若此存储器单元的磨损程度值是否小于此第一阈值时,存储器控制器 104(或存储器管理电路 202)会使用第一写入电压作为初始写入电压。倘若此存储器单元的磨损程度值非小于第一阈值时,存储器控制器 104(或存储器管理电路 202)会判断此存储器单元的磨损程度值是否小于第二阈值。并且,倘若此存储器单元的磨损程度值小于第二阈值时,存储器控制器 104(或存储器管理电路 202)会使用第二写入电压作为初始写入电压。倘若此存储器单元的磨损程度值非小于第二阈值时,存储器控制器 104(或存储器管理电路 202)会使用第三写入电压作为初始写入电压。在此,第二阈值是大于第一阈值,第一写入电压大于第二写入电压且第二写入电压大于第三写入电压。例如,第一阈值为 500;第二阈值为 1000;第一写入电压为 16V;第二写入电压为 14V,并且第三写入电压为 12V。也就是说,如表 1 所示,在本范例实施例中,存储器控制器 104(或存储器管理电路 202)使用脉冲写入/验证临界电压方法来编程存储器单元时,所使用的写入电压(即,初始写入电压(V_{pro_0})、第一重复写入电压(V_{pro_1})、第二重复写入电压(V_{pro_2})...)会根据存储器单元的磨损程度值(WD)而有所不同。

[0152]

存储器单元	V _{pro_0}	V _{pro_1}	V _{pro_2}	...
WD<500	16V	16.6V	17.2V	...
500≤WD<1000	14V	14.6V	15.2V	...

1000<=WD	12V	12.3V	13.2V	...
----------	-----	-------	-------	-----

[0153] 表 1

[0154] 必须了解的是,尽管在上述范例中,是以两个阈值(第一阈值与第二阈值)来区分存储器单元的磨损程度并且以第一写入电压、第二写入电压与第三写入电压来设定对应不同磨损程度的存储器单元的初始写入电压,但本发明不限于此。在本发明范例另一范例实施例中,存储器单元的磨损程度可被分为更多个等级,并且每个存储器单元的写入电压可根据下述公式来计算:

$$[0155] \quad V_{pgm}(i, n) = IV_{pgm} - i \times A + (n) \times C$$

[0156] 其中 i 表示存储器单元的磨损程度, n 为重复写入次数, IV_{pgm} 预设初始写入电压, A 预设补偿值且 C 为预设调整值。在此, $V_{pgm}(0, 0)$ 表示在存储器单元的磨损为最小程度(例如, $WD < 500$) 时的初始写入电压, $V_{pgm}(0, 1)$ 表示在存储器单元的磨损为最小程度(例如, $WD < 500$) 时的第一重复写入电压,以此类推。在另一范例实施例中,预设补偿值可因磨损程度的不同而进行相对应的改变,其中,此改变可是线性或非线性的增加或减少。在另一范例实施例中,预设调整值可因重复写入次数的变化而进行相对应的改变,其中,此改变可是线性或非线性的减少或增加。

[0157] 图 13 是根据本发明第一范例实施例所绘示的数据写入方法的流程图。

[0158] 请参照图 13,在步骤 S1201 中,存储器单元的磨损程度值会被记录。

[0159] 在步骤 S1203 中,对应存储器单元的初始写入电压会根据存储器单元的磨损程度值被调整。

[0160] 在步骤 S1205 中,对应存储器单元的初始写入电压与写入电压脉冲时间会被用来开始编程存储器单元,以将数据写入至存储器单元中。

[0161] 图 14 是根据第一范例实施例所绘示的调整对应存储器单元的初始写入电压的流程图。

[0162] 请参照图 14,在步骤 S1301 中此存储器单元的磨损程度值是否小于第一阈值会被判断。

[0163] 倘若此存储器单元的磨损程度值小于第一阈值,在步骤 S1303 中,第一写入电压会被用作为初始写入电压。

[0164] 倘若此存储器单元的磨损程度值非小于第一阈值时,则在步骤 S1305 中,存储器单元的磨损程度值是否小于第二阈值会被判断。

[0165] 倘若此存储器单元的磨损程度值小于第二阈值时,在步骤 S1307 中,第二写入电压会被用作为初始写入电压。

[0166] 倘若存储器单元的磨损程度值非小于第二阈值时,在步骤 S1309 中第三写入电压会被用作为初始写入电压。

[0167] [第二范例实施例]

[0168] 第二范例实施例的存储器存储装置的结构与第一范例实施例的存储器存储装置是类似,其不同之处在于第二范例实施例的存储器控制器(或存储器管理电路)会根据每个存储器单元的磨损程度来调整编程时所使用的写入电压脉冲时间,用以调整电荷补捉层所含的电子量,以避免过度写入而产生错误位。以下将使用第一范例实施例的元件标号来

说明第二范例实施例与第一范例实施例的差异之处。

[0169] 一般来说,存储器控制器 104(或存储器管理电路 202)会将一预设时间(例如,16 微秒)作为快闪存储器存储模块 106 的存储器单元的写入电压脉冲时间。并且,在进行存储器单元编程时,存储器控制器 104(或存储器管理电路 202)会使用此写入电压脉冲时间来配合初始写入电压将电子注入至存储器单元中。在本范例实施例中,存储器控制器 104(或存储器管理电路 202)会随着存储器单元的磨损程度值增加,而减少对应此存储器单元的写入电压脉冲时间。

[0170] 图 15-16 是根据第二范例实施例所绘示的编程存储器单元的示意图。

[0171] 请参照图 15-16,例如,当欲对一个存储器单元进行编程时,存储器控制器 104(或存储器管理电路 202)会判断此存储器单元的磨损程度值是否小于第一阈值。倘若此存储器单元的磨损程度值是否小于此第一阈值时,存储器控制器 104(或存储器管理电路 202)会使用第一时间作为写入电压脉冲时间(如图 15 所示)。倘若此存储器单元的磨损程度值非小于第一阈值时,存储器控制器 104(或存储器管理电路 202)会判断此存储器单元的磨损程度值小于第二阈值。并且,倘若此存储器单元的磨损程度值小于第二阈值时,存储器控制器 104(或存储器管理电路 202)会使用第二时间作为写入电压脉冲时间(如图 16 所示)。倘若此存储器单元的磨损程度值非小于第二阈值时,存储器控制器 104(或存储器管理电路 202)会使用第三时间作为写入电压脉冲时间(如图 17 所示)。例如,第一时间为 18 微秒,第二时间为 14.4 微秒且第三时间为 11.7 微秒。也就是说,如表 1 所示,在本范例实施例中,存储器控制器 104(或存储器管理电路 202)使用脉冲写入/验证临界电压方法来编程存储器单元时,所使用的写入电压脉冲时间会根据存储器单元的磨损程度值(WD)而有所不同。

[0172]

存储器单元	写入电压脉冲时间
$WD < 500$	18 微秒
$500 \leq WD < 1000$	14.4 微秒
$1000 \leq WD$	11.7 微秒

[0173] 表 2

[0174] 在另一范例实施例中,初始的写入电压脉冲时间可因磨损程度的不同而进行相对应的改变,其中,此改变可是线性或非线性的增加或减少。在另一范例实施例中,写入电压脉冲时间的预设调整值可因重复写入次数的变化而进行相对应的改变,其中,此改变可是线性或非线性的减少或增加。

[0175] 此外,值得一提的是,在本范例实施例中,在通过验证电压确认存储器单元未被编程至正确的存储状态时,存储器控制器 102 指示控制电路 2212 以目前施予的写入电压加上预设补偿值作为新的写入电压(亦称为重复写入电压)并且依据新的写入电压与相同的写入电压脉冲时间再次来编程存储器单元。然而,本发明不限于此,在本发明另一范例实施例中,写入电压脉冲时间也可随着重复编程的次数增加而增加。

[0176] 图 18 是根据本发明第二范例实施例所绘示的数据写入方法的流程图。

[0177] 请参照图 18, 在步骤 S1701 中, 存储器单元的磨损程度值会被记录。

[0178] 在步骤 S1703 中, 对应存储器单元的写入电压脉冲时间会根据存储器单元的磨损程度值被调整。

[0179] 在步骤 S1705 中, 对应存储器单元的初始写入电压与写入电压脉冲时间会被用来开始编程存储器单元, 以将数据写入至存储器单元中。

[0180] 图 19 是根据第二范例实施例所绘示的调整对应存储器单元的写入电压脉冲时间的流程图。

[0181] 请参照图 19, 在步骤 S1801 中此存储器单元的磨损程度值是否小于第一阈值会被判断。

[0182] 倘若此存储器单元的磨损程度值小于第一阈值, 在步骤 S1803 中, 第一时间会被用作为写入电压脉冲时间。

[0183] 倘若此存储器单元的磨损程度值非小于第一阈值时, 则在步骤 S1805 中, 存储器单元的磨损程度值是否小于第二阈值会被判断。

[0184] 倘若此存储器单元的磨损程度值小于第二阈值时, 在步骤 S1807 中, 第二时间会被用作为写入电压脉冲时间。

[0185] 倘若存储器单元的磨损程度值非小于第二阈值时, 在步骤 S1809 中第三时间会被用作为写入电压脉冲时间。

[0186] 值得一提的是, 尽管根据每个存储器单元的磨损程度来调整编程时所使用的初始写入电压来减少注入存储器单元的电子量并且根据每个存储器单元的磨损程度来调整编程时所使用的写入电压脉冲时间来减少注入存储器单元的电子量分别地描述于第一范例实施例与第二范例实施例中。然而, 在本发明另一范例实施例中, 存储器控制器 (或存储器管理电路) 也可根据每个存储器单元的磨损程度来同时调整编程时所使用的初始写入电压与写入电压脉冲时间, 以减少注入存储器单元的电子量, 由此避免过度写入而产生错误位。例如, 当存储器单元的磨损程度值非小于第一阈值且小于第二阈值时, 初始写入电压调整为原始初始写入电压的 90% 并且写入电压脉冲时间会被调整为原写入电压脉冲时间的 90%; 当存储器单元的磨损程度值非小于第二阈值且小于第三阈值时, 初始写入电压调整为原始初始写入电压的 85% 并且写入电压脉冲时间会被调整为原写入电压脉冲时间的 80%; 以及当存储器单元的磨损程度值非小于第三阈值时, 初始写入电压调整为原始初始写入电压的 80% 并且写入电压脉冲时间会被调整为原写入电压脉冲时间的 70%。

[0187] 图 20 是根据本发明第三范例实施例所绘示的数据写入方法的流程图。

[0188] 请参照图 20, 在步骤 S1901 中, 存储器单元的磨损程度值会被记录。

[0189] 在步骤 S1903 中, 对应存储器单元的初始写入电压与写入电压脉冲时间会根据存储器单元的磨损程度值被调整。

[0190] 在步骤 S1905 中, 对应存储器单元的初始写入电压与写入电压脉冲时间会被用来开始编程存储器单元, 以将数据写入至存储器单元中。

[0191] 综上所述, 本发明范例实施例的数据写入方法、存储器控制器与存储器存储装置是根据存储器单元的磨损程度来调整初始写入电压与写入电压脉冲时间的至少其中一。据此, 每次编程所注入至存储器单元的电子会根据存储器单元的磨损状态而被调整, 由此可有效地防止过度写入并减少错误位的发生。

[0192] 虽然本发明已以实施例公开如上,然其并非用以限定本发明,本领域技术人员在不脱离本发明的精神和范围内,当可作些许的更动与润饰,故本发明的保护范围当视所附权利要求书所界定者为准。

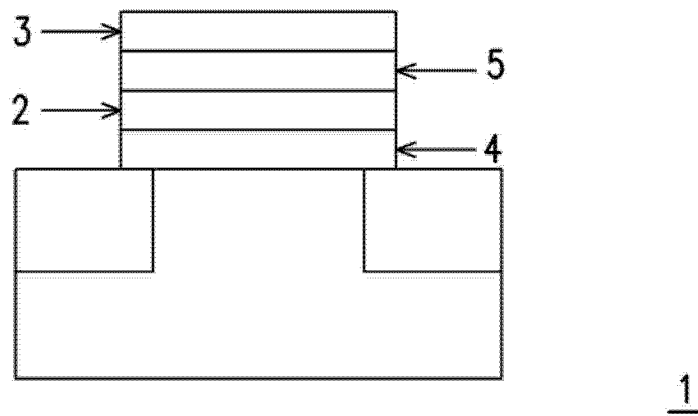


图 1

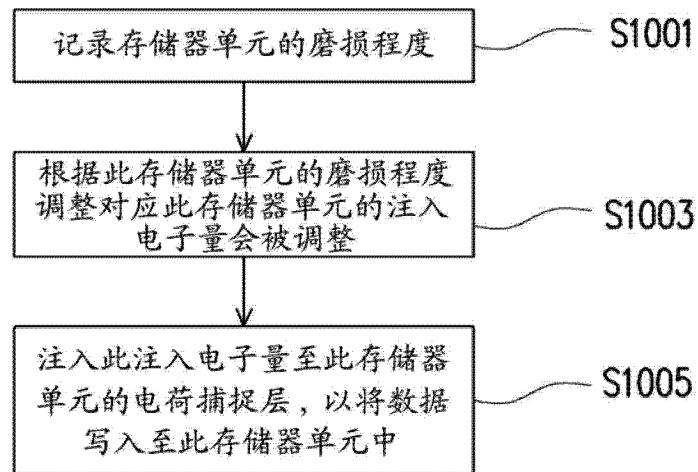


图 2

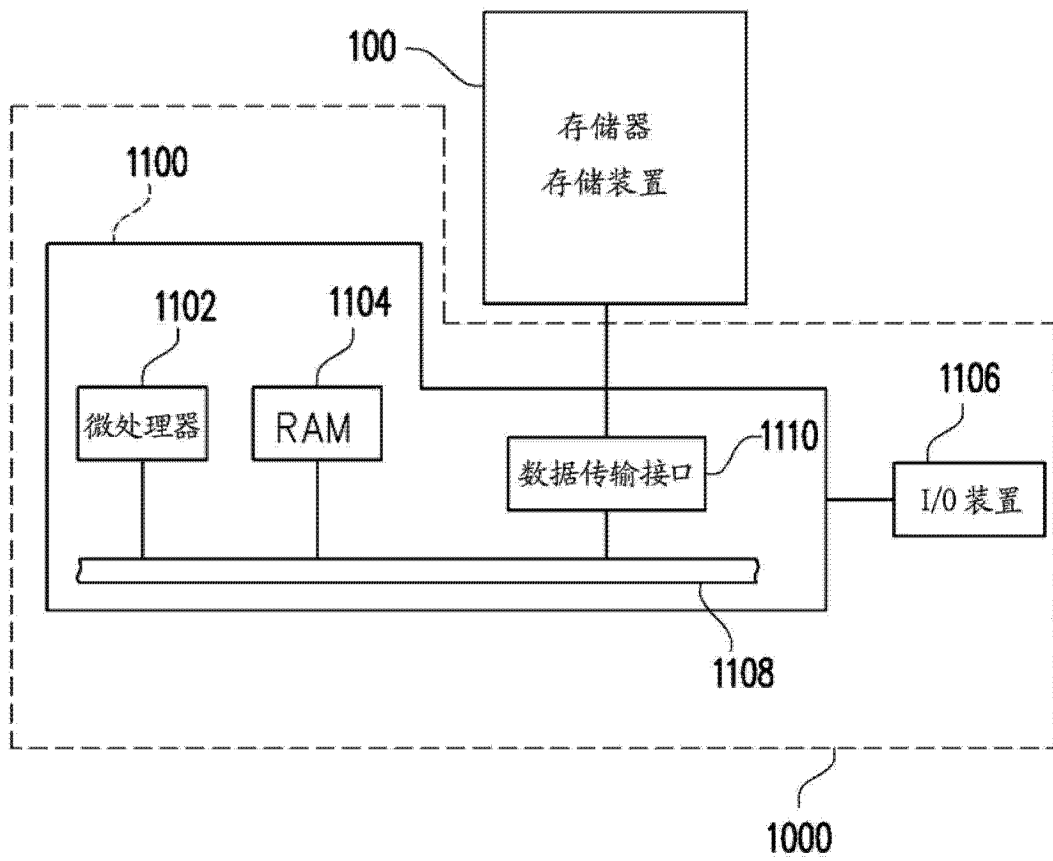


图 3

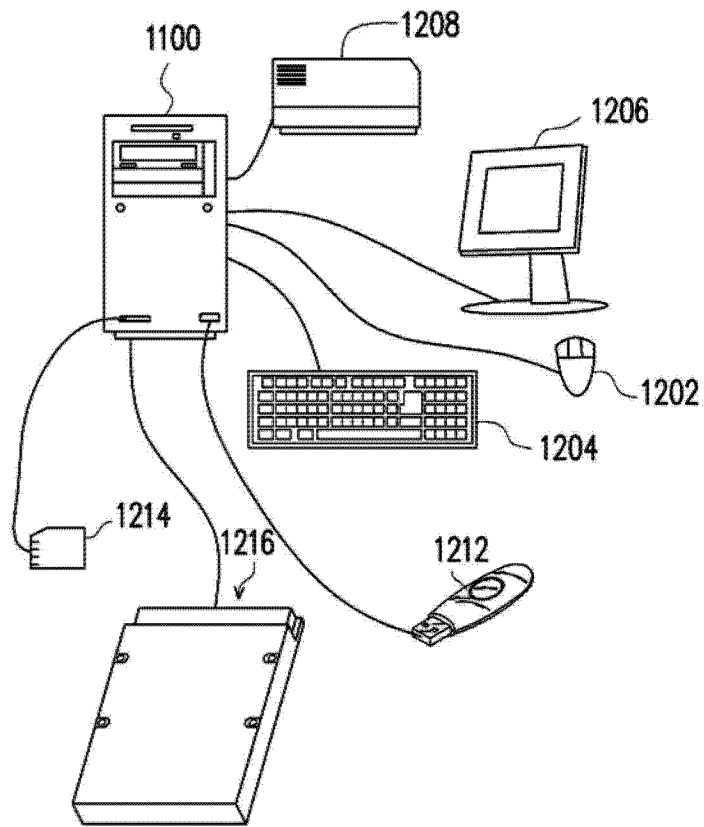


图 4

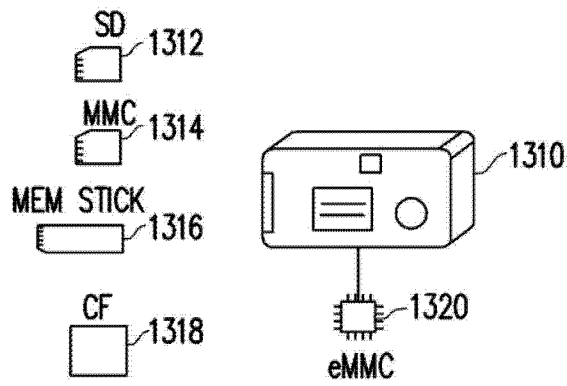


图 5

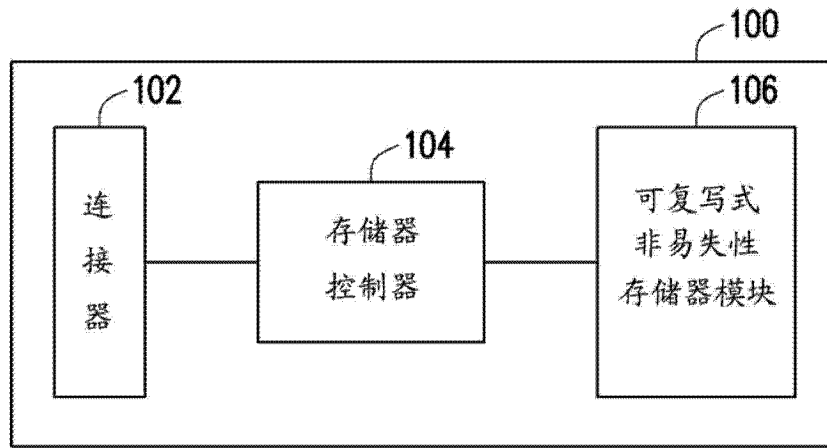


图 6

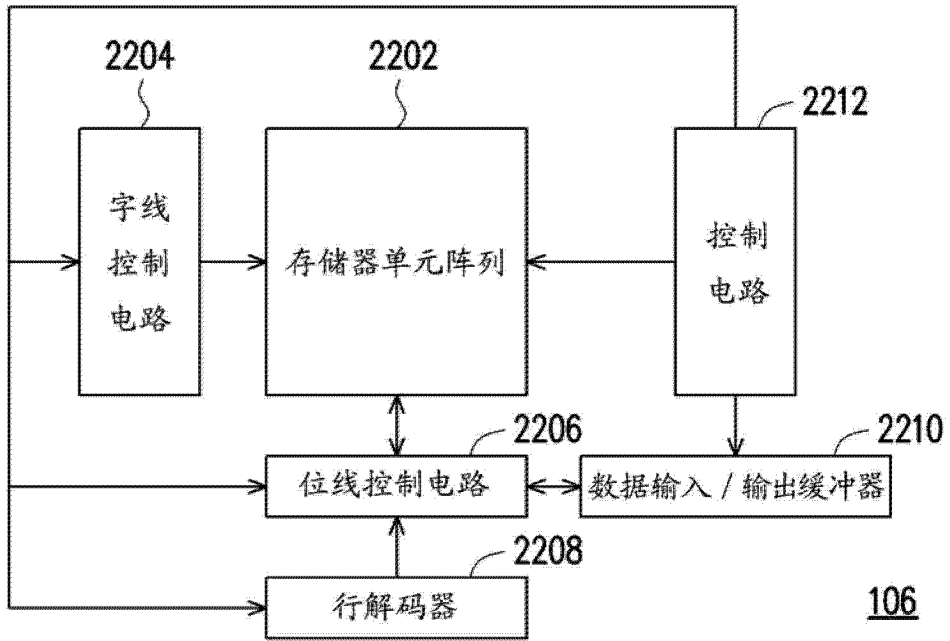


图 7

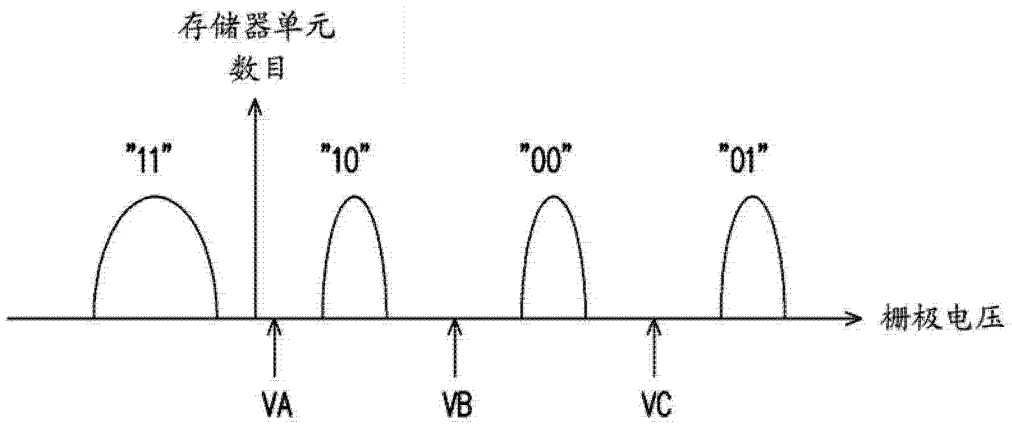


图 8

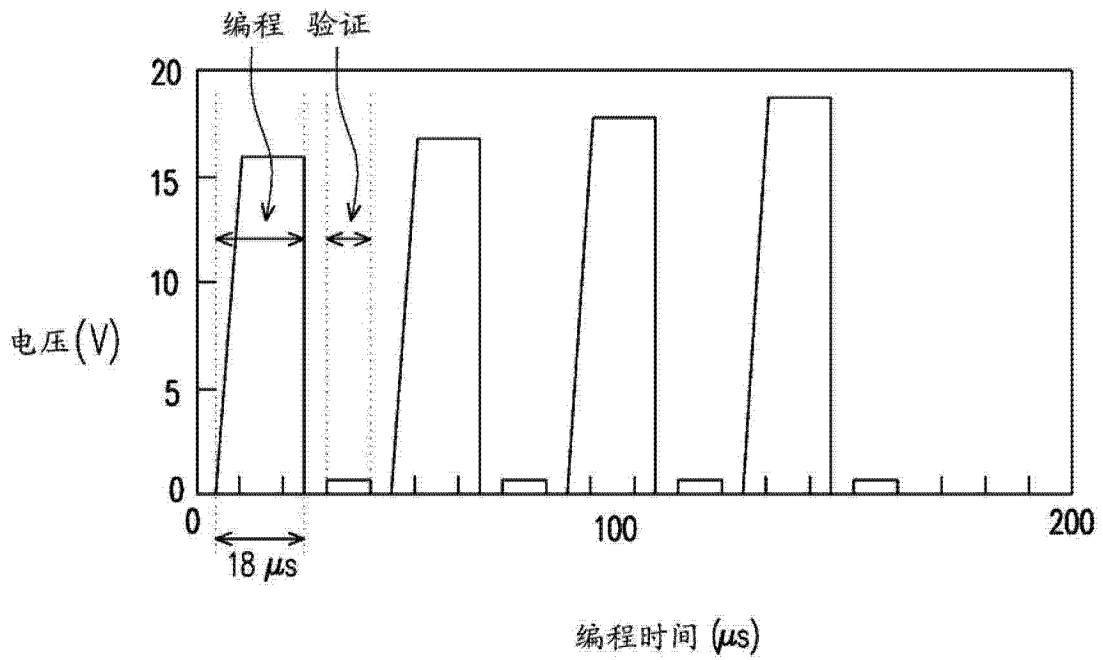


图 9

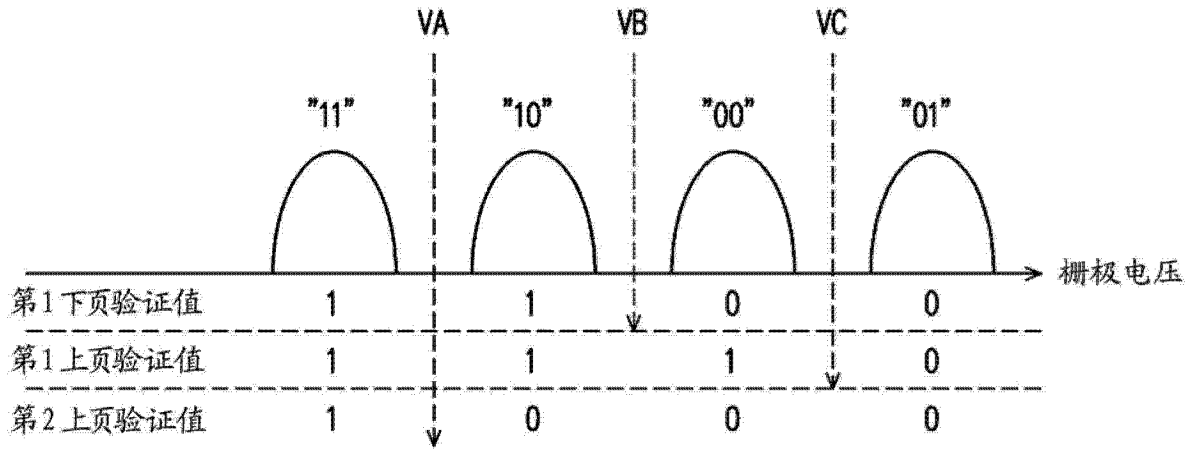


图 10

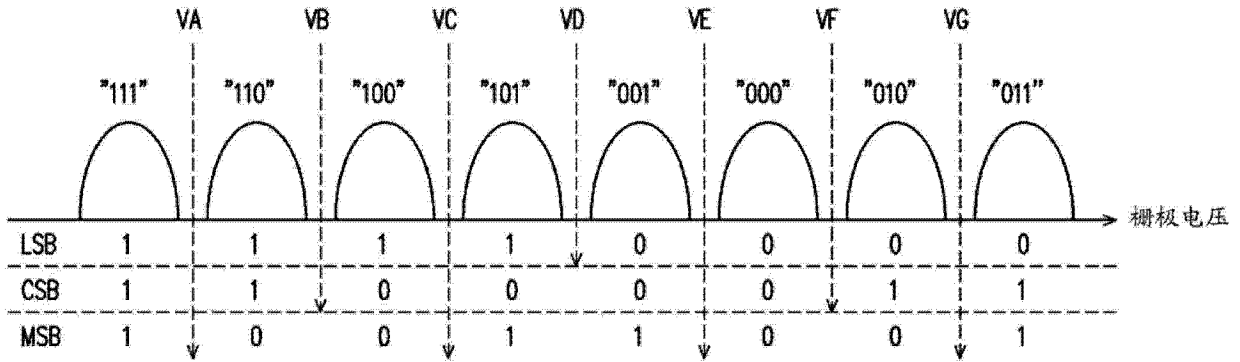


图 11

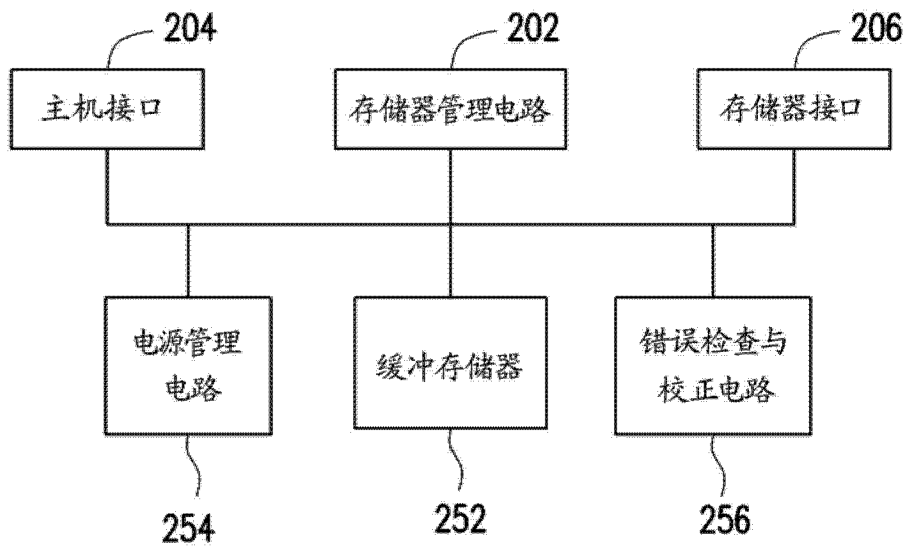


图 12

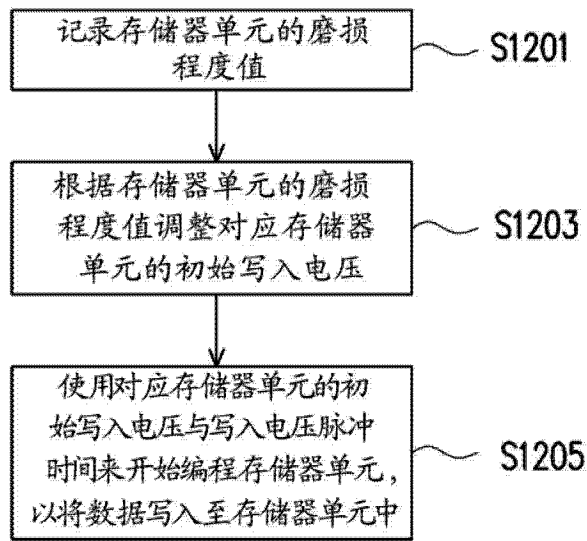


图 13

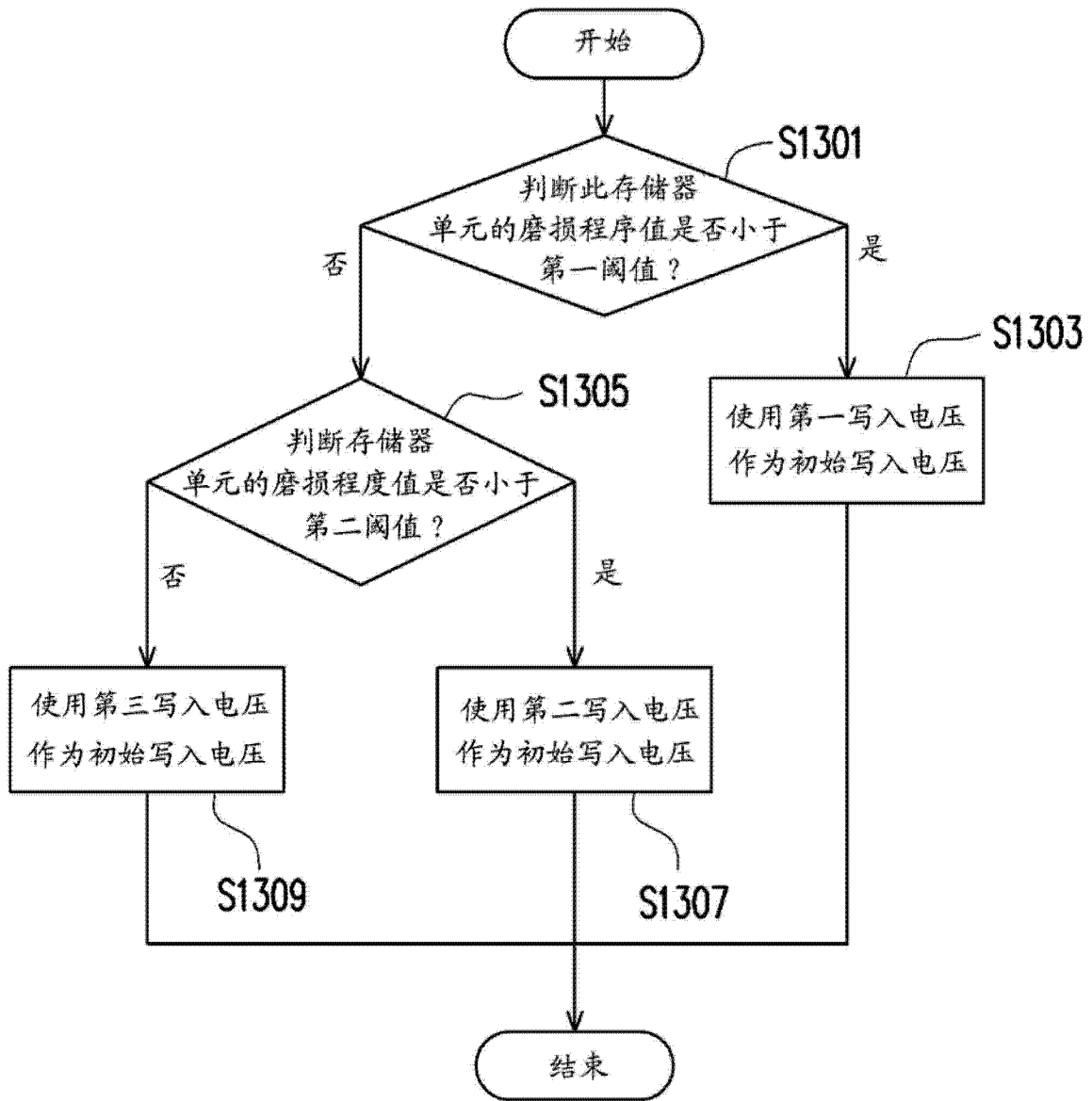


图 14

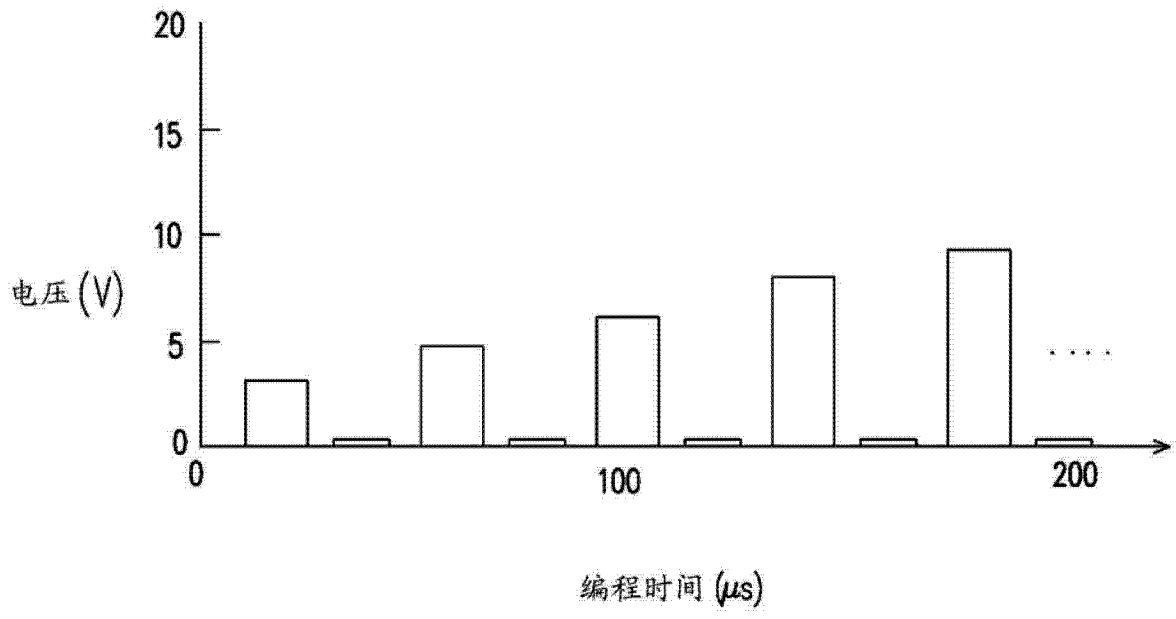


图 15

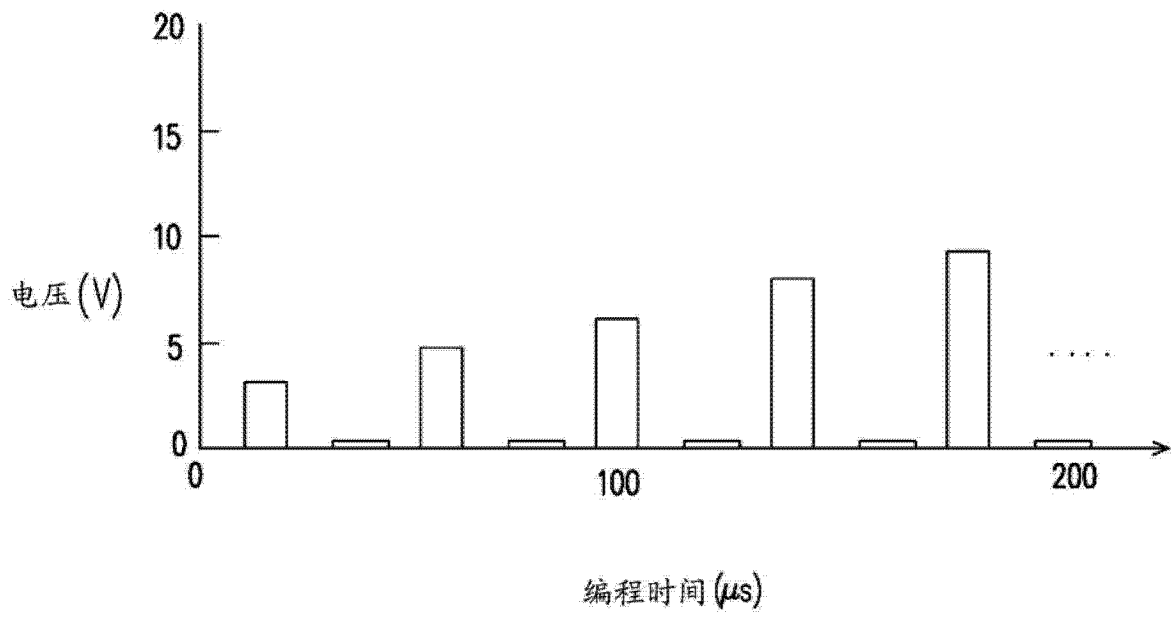


图 16

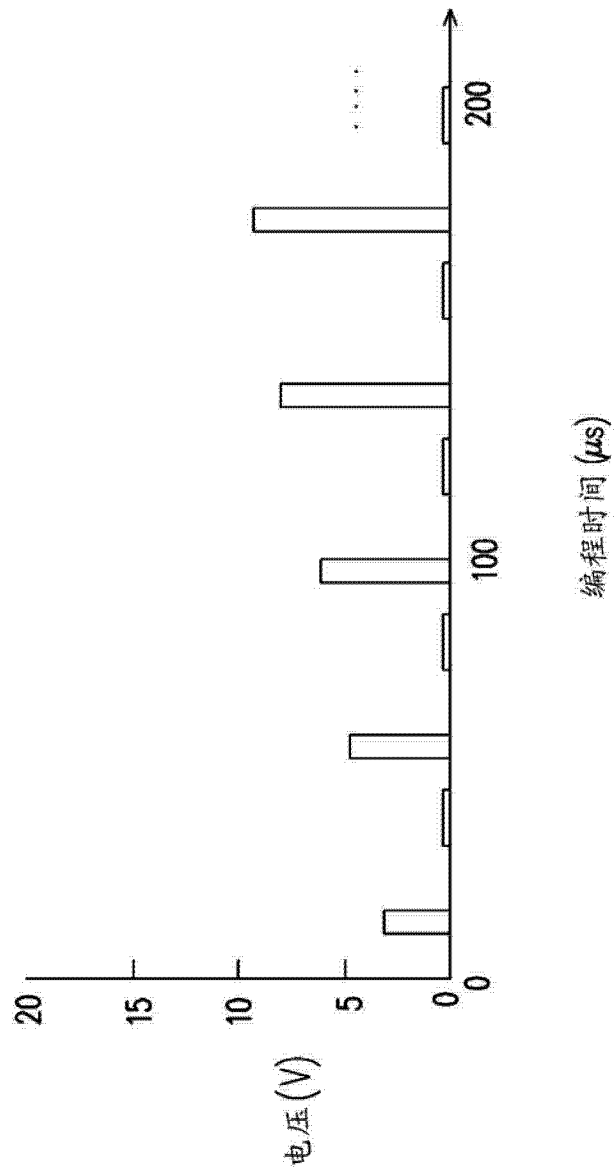


图 17

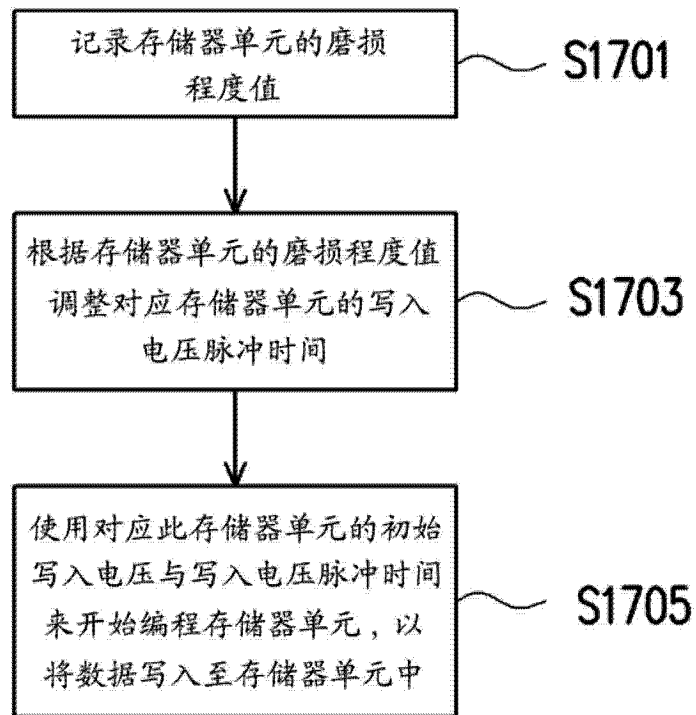


图 18

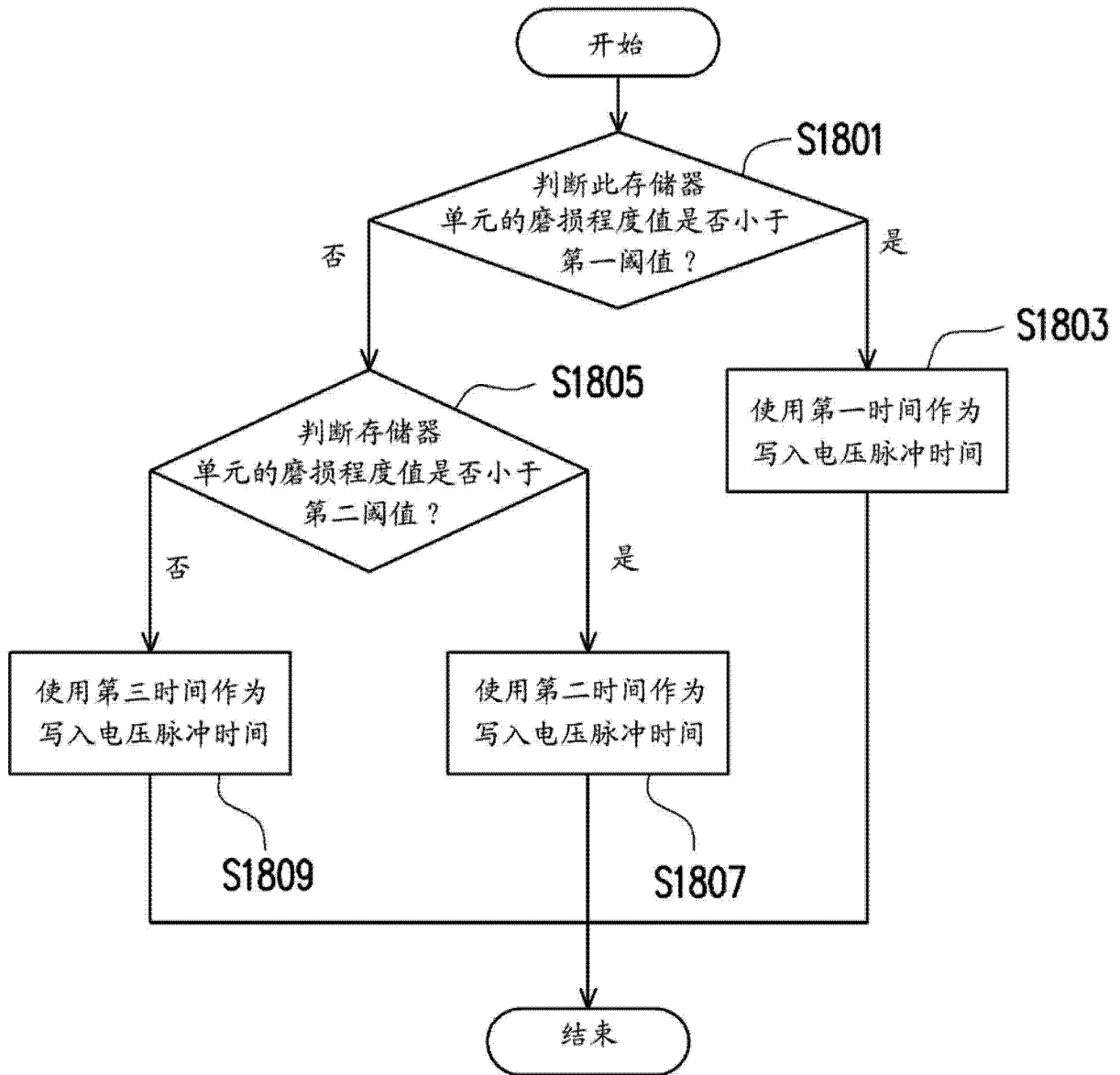


图 19

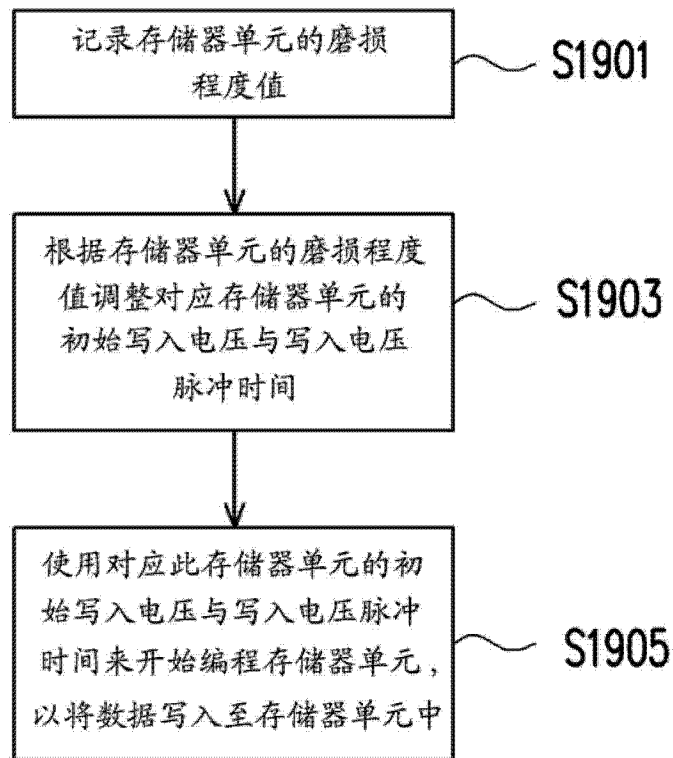


图 20