

본 발명은 상기한 문제점을 해결하기 위한 것으로, 2층의 IT0구조를 이용하여 스토리지 캐패시터를 병렬 구조로 형성함으로써, 축적용량을 증대시키고 초고개구율을 얻을 수 있는 초고개구율 액정표시소자 및 그의 제조 방법을 제공하는 데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 제1 및 제 2캐패시터를 갖는 스토리

지 캐패시터를 구비한 액정표시소자에 있어서, 투명한 절연기판과; 상기 절연기판상에 크로스되어 형성되는 게이트라인 및 데이터 라인과; 상기 게이트 라인과 데이터 라인이 교차하는 부분에 형성되고, 상기 스토리지 캐패시터에 연결된 박막 트랜지스터와; 상기 게이트 라인 및 데이터 라인에 의해 형성된 화소영역에, 상기 게이트 라인과 나란하게 배열된 하부 금속전극과; 상기 하부금속전극을 제외한 상기 화소영역에 상기 데이터 라인 및 게이트 라인과의 일정한 간격을 두고 형성된 제1투명전극과; 상기 제1투명전극상부에 상기 데이터 라인 및 게이트 라인과의 오버랩되도록 형성되며, 제 2콘택을 통해 상기 제1투명전극과 접촉됨과 동시에 상기 박막 트랜지스터와 제3콘택을 통해 접촉되는 제2투명전극을 포함하는 초고개구율 액정표시소자를 제공하는 것을 특징으로 한다.

본 발명의 실시예에 따른 초고개구율 액정표시소자에 있어서, 상기 제1투명전극과 상기 제2투명전극과 모두 IT0막으로 이루어져서, 상기 제1투명전극은 스토리지 캐패시터중 상기 제1캐패시터의 하부전극으로, 상기 제2투명전극은 화소전극 및 상기 제1캐패시터의 상부 전극으로 작용한다.

본 발명의 실시예에 따른 초고개구율 액정표시소자에 있어서, 상기 하부 금속전극과 상부 금속전극은 상기 스토리지 캐패시터중 제2캐패시터의 하부전극 및 상부전극으로 각각 적용하며, 상기 하부 금속전극은 게이트 라인과의 동일한 물질로 이루어지고, 상기 상부 금속전극은 데이터 라인과의 동일한 물질로 이루어진다.

스토리지 캐패시터로 제1캐패시터 및 제2캐패시터를 구비한 액정표시소자에 있어서, 투명한 절연기판과; 상기 절연기판상에 형성된 게이트전극과; 상기 절연기판상에 상기 게이트전극과 떨어져 형성된 하부 금속전극과; 상기 게이트 전극 및 하부 금속전극을 포함한 상기 절연기판상에 형성된 제1절연막과; 상기 게이트 전극에 대응하는 제1절연막상에 형성된 반도체층과; 상기 게이트 전극의 상면이 노출되도록 상기 반도체층 및 게이트 절연막상부에 걸쳐 형성된 소오스/드레인 전극과; 상기 하부 금속전극에 대응하는 제1절연막상에 형성된 상부 금속전극과; 상기 드레인 전극과 상부 금속전극사이에 이들과 떨어져 상기 제1절연막상에 형성된 제1투명전극과; 기판 전면에 걸쳐 형성되고, 상기 드레인전극 및 상부 금속전극상부에 각각 제1 및 제2콘택을 구비한 제2절연막과; 상기 제1콘택을 통해 상기 드레인 전극에 접촉됨과 동시에 상기 제2콘택을 통해 상기 상부 금속전극과 접촉되는, 상기 제2절연막상에 형성된 제2투명전극을 포함하는 초고개구율 액정표시소자를 제공하는 것을 특징으로 한다.

본 발명의 실시예에 따른 초고개구율 액정표시소자에 있어서, 상기 제 2절연막은 유전상수가 2.5내지 3.6인 저유전상수를 갖는 감광성 보호막으로서, 1-3 μ m의 두께를 갖는다.

또한, 절연기판상에 서로 교차하여 배열된 데이터 라인 및 게이트 라인, 게이트 라인과의 나란하게 배열된, 제1및 제2캐패시터로 구성된 스토리지 캐패시터를 구비한 액정표시소자에 있어서, 상기 절연기판상에 형성된 하부 금속전극과; 상기 하부 금속전극상부에 제1콘택을 구비하고, 상기 하부 금속전극을 포함한 절연기판상에 형성된 제1절연막과; 상기 제1콘택을 통해 상기 하부 금속전극과 접촉되도록 상기 제1절연막상에 형성된 제1투명전극과; 상기 하부 금속전극에 대응하는 상기 제1절연막상에 형성된 상부 금속전극과; 상기 상부 금속전극상부에 제 2콘택을 구비하고, 상기 제1투명전극과 상부 금속전극을 포함한 제1절연막상에 형성된 제2절연막과; 상기 제2콘택을 통해 상기 상부 금속전극과 접촉되도록 상기 제2절연막상에 제 2투명전극을 포함하는 것을 초고개구율 액정표시소자를 제공하는 것을 특징으로 한다.

또한, 본 발명의 절연기판상에 서로 교차하여 배열된 데이터 라인 및 게이트 라인, 상기 데이터 라인 및 게이트 라인이 교차하는 부분에 배열된 박막 트랜지스터와, 상기 게이트 라인 및 데이터 라인에 의해 형성된 화소영역에 형성된 화소전극과, 상기 화소전극에 연결된 제1캐패시터와 상기 박막 트랜지스터에 연결된 제2캐패시터로 구성된 스토리지 캐패시터를 구비한 액정표시소자에 있어서, 상기 절연기판상에 게이트라인, 박막 트랜지스터의 게이트 전극과 제1캐패시터의 하부전극을 형성하는 공정과; 기판 전면에 걸쳐 제1절연막을 형성하는 공정과; 상기 게이트전극에 대응하는 제1절연막상에 상기 박막 트랜지스터의 반도체층을 형성하는 공정과; 상기 게이트 라인 및 데이터 라인과의 오버랩되지 않도록 제1콘택을 통해 제2캐패시터의 하부전극과 접촉되는 제1캐패시터의 상부전극을 형성하는 공정과; 기판 전면에 걸쳐 제2절연막을 형성하는 공정과; 상기 제2캐패시터의 상부전극 상부 및 드레인전극 상부의 제2절연막을 식각하여 제2콘택 및 제3콘택을 형성하는 공정과; 상기 제3콘택을 통해 상기 드레인전극과 접촉됨과 동시에 상기 제2콘택을 통해 제2캐패시터의 상부전극과 연결되며, 상기 데이터 라인 및 가이드 라인과의 오버랩되도록 상기 화소영역에 해당하는 제2절연막상에 화소전극을 형성하는 공정을 포함하는 것을 특징으로 하는 초고개구율 액정표시소자의 제조방법을 제공하는 것을 특징으로 한다.

[실시예]

이하 본 발명의 실시예를 첨부도면에 의거하여 상세히 설명하면 다음과 같다.

도 4는 본 발명의 실시예에 따른 초고개구율 액정표시소자의 단면도를 도시한 것이다.

도 4를 참조하여 본 발명의 초고개구율 액정표시소자의 평면구조를 살펴보면, 유리기판과 같은 투명한 절연기판(200)상에 게이트라인(60)과 데이터 라인(70)이 크로스 되어 길게 연장 형성되고, 이들이 크로스 되는 부분에 상기 게이트 라인(60) 및 데이터 라인(70)이 연결된 박막 트랜지스터(80)가 배열된다.

그리고, 게이트 라인(60)과 데이터 라인(70)에 의해 형성된 화소영역에 스토리지캐패시터(100)로서 제1

캐패시터(SC1)와 제2캐패시터(SC2)가 병렬로 형성된다.

스토리지 캐패시터(100)중 제2캐패시터(SC2)의 스토리지 전극으로 작용하는 하부 금속전극(81b)이 상기 게이트 라인(60)과 나란하게 기판(200)상에 형성된다.

상기 게이트 라인(60)과 데이터 라인(70)에 의해 형성된 화소영역중 상기 제2캐패시터(SC2) 영역을 제외한 기판(200)상에 상기 데이터 라인(70) 및 게이트 라인(60)과 오버랩되지 않도록 제1투명전극(91)이 형성된다.

상기 제1투명전극(91)은 제1콘택(C1)을 통해 스토리지 전극으로 작용하는 하부 금속전극(81b)과 접촉되어, 스토리지 캐패시터(100)중 제1캐패시터(SC1)의 하부전극으로 작용한다.

상기 제1투명전극(91)이 형성되지 않은 제2캐패시터(SC2) 영역에는, 제2캐패시터(SC2)의 상부전극으로 작용하는 상부 금속전극(87)이 상기 하부 금속전극(81b)상부에 형성된다.

그리고, 게이트 라인(60)과 데이터 라인(70)에 의해 형성된 화소영역에 상기 데이터 라인(70) 및 게이트 라인(60)과 오버랩되도록 제1투명전극(91)상에 제2투명전극(93)이 형성된다.

이때, 제2투명전극(93)은 상기 제1캐패시터(SC1)의 상부 전극으로 작용함과 동시에 화소전극으로 작용하고, 또한 제3콘택(C3)을 통해 박막 트랜지스터(80)의 드레인 전극(85)과 접촉됨과 동시에 제2콘택(C2)을 통해 제2캐패시터(SC2)의 상부 금속전극(87)과 접촉되어진다.

도 5는 도 4의 4A-4A'에 따른 액정표시소자의 단면구조를 도시한 것으로서, 스토리지 캐패시터(100) 영역의 단면도를 도시한 것이다. 도 5를 참조하면, 본 발명의 실시예에 따른 스토리지 캐패시터(100)는 2개의 캐패시터(SC1, SC2)가 병렬로 연결된 구조를 갖는다.

2개의 캐패시터(SC1, SC2)가 병렬로 연결된 스토리지 캐패시터(100)의 단면

구조를 살펴보면, 유리기판과 같은 투명한 절연기판(200)상에 하부 금속전극(81b)이 형성된다. 이 하부 금속전극(81b)은 상기 게이트 라인(60)과 동일한 물질로 이루어져 제2캐패시터(SC2)의 스토리지 전극인 하부전극으로 작용한다.

제2캐패시터의 하부 금속전극(81b)을 포함한 절연기판(200)상에 제1콘택(C1)을 구비한 게이트 절연막(82)이 형성되고, 상기 콘택(C1)을 통해 상기 제2캐패시터(SC2)의 하부 금속전극(81b)과 접촉되는 제1투명전극(91)이 상기 게이트 절연막(82)상에 형성된다. 이때, 상기 제1투명전극(91)은 제1캐패시터(SC1)의 하부전극으로 작용하고, 고유전율을 갖는 게이트 절연막(82)은 제2캐패시터(SC2)의 유전체막으로 작용한다.

상기 제1투명전극(91)과 떨어져 상기 하부 금속전극(81b) 상부의 게이트 절연막(82)상에는 데이터 라인(70)과 동일한 물질로 된 상부 금속전극(87)이 형성되며, 상기 제1투명전극(91) 및 상부 금속전극(87)을 포함한 게이트 절연막(82)상에는 제2콘택(C2)을 구비한 저유전율의 절연막(92)이 형성되고, 절연막(92)상에는 상기 제2콘택(C2)을 통해 상부 금속전극(87)과 접촉되는 제2투명전극(93)이 형성된다.

여기서, 상부 금속전극(87)은 제2캐패시터(SC2)의 유전체막으로 작용하며, 상기 제2투명전극(93)은 상부전극으로 각각 작용한다.

도 6은 도 4의 4B-4B' 선에 따른 액정표시소자의 단면구조를 도시한 것으로서, 박막트랜지스터(80)영역의 단면구조를 도시한 것이다.

도 6을 참조하면, 박막 트랜지스터(80)는 제1투명전극(91)에는 연결되지 않으나, 제2투명전극(92)을 통해 스토리지 캐패시터(100)중 제2캐패시터(SC2)에 연결되어진다.

상기의 박막 트랜지스터(80)는 절연기판(200)상에 게이트 라인(60)과 동일물질로 이루어지고, 상기 게이트 라인(60)에 연결된 게이트 전극(81a)이 형성되며, 게이트 전극(81a)을 포함한 상기 절연기판(200)상에는 고유전율의 게이트 절연막(82)이 형성된다.

게이트 전극(81a)에 대응하는 게이트 절연막(82)의 상부에는 비정질 실리콘층 등으로 된 반도체층(83)이 형성되고, 상기 게이트 전극(81a)의 반도체층(83)이 노출 되도록 상기 반도체층(83) 및 게이트 절연막(82)에 걸쳐 소오스/드레인 전극(84, 85)이 형성된다. 기판 전면에 걸쳐 제2 및 제3콘택(C2, C3)을 갖는 저유전율의 절연막(92)이 형성되고, 절연막(92)상에는 상기 제2 및 제3콘택(C2, C3)을 통해 각각 제1드레인 전극(85) 상부 금속전극(87)상에 접촉되는 제2투명전극(93)이 형성된다.

도 6에는 도시되어 있지 않지만, 반도체층(83)상에는 도 2와 같이 에치스톱퍼가 형성되고, 소오스/드레인 전극(84, 85)과 반도체층(83)간의 오믹 콘택을 위한 도핑된 비정질 실리콘층, 예를 들면 n-a-Si 층이 형성된다.

이때 상기 박막트랜지스터(80)의 소오스전극(84)은 제1투명전극(91)과 오버랩되지 않고 게이트 절연막(82)상에 형성되고, 스토리지 캐패시터(100)의 제2캐패시터(SC2)의 하부 금속전극(81b)은 상기 박막 트랜지스터(80)의 게이트 전극(81a)과 떨어져 나란하게 배열됨을 알 수 있다.

상기에서 설명한 비와같이, 본 발명의 액정표시소자는 하부전극, 유전체막 및 상부전극이 하부 금속과 제1콘택(C1)을 통해 접촉되는 제1투명전극(91), 저유전율을 갖는 절연막(92) 및 제2투명전극(93)으로 각각 이루어진 제1캐패시터(SC1)과, 하부전극, 유전체막 및 상부전극이 각각 하부 금속전극(81b), 고유전율을 갖는 게이트 절연막(82) 및 제2투명전극(93)과 제2콘택(SC2)을 통해 접촉하는 상부 금속전극(87)으로 이루어진 제2캐패시터(SC2)가 병렬 연결되어 스토리지 캐패시터(100)를 구성한다.

그리고, 상기 화소전극으로 작용하는 제2투명전극(93)은 스토리지 캐패시터(100)의 제1캐패시터(SC1)와

제1콘택(C1)을 통해 연결됨과 동시에 제3콘택(C3)을 통해 박막 트랜지스터(80)드레인 전극(85)과 연결되어진다,

따라서, 본 발명의 액정표시소자는 스토리지 캐패시터(100)가 병렬 연결된 2캐패시터(SC1, SC2)로 구성되어 스토리지 캐패시터의 축적용량을 증대시킬 수 있다.

그리고, 고유전율을 갖는 게이트 절연막(82)이 유전체막으로 사용되는 제1캐패시터(SC1)의 제1투명전극(91)은 데이터 라인(70)과 오버랩되지 않아 크로스토크의 방지 할 수 있음과 동시에 유전체막으로 고유전상수를 갖는 물질이 사용되어 스토리지캐패시터의 용량을 증대시키게 된다.

또한, 화소전극으로 작용하는 제2투명전극(93)은 데이터 라인과 오버랩되게 형성되어 개구율을 향상시킴과 동시에 그 하부의 유전체막으로 작용하는 절연막(92)을 자유전상수를 갖는 물질을 사용함으로써 오버랩시 발생하는 크로스토크를 방지 할수 있게 된다.

즉, 본 발명의 액정표시소자는 투명전극인 IT0전극을 2층구조로 사용하여 스토리지 캐패시터(100)를 병렬 배열함으로써, 축적용량을 증대시킴과 동시에 초고개구율을 얻는 것이 가능하다.

상기한 바와같은 구조를 갖는 액정표시소자의 제조방법을 설명하면 다음과 같다.

먼저 투명한 절연판(200)상에 게이트 금속물질을 증착하고 패터닝하여 게이트 라인(60)과 박막 트랜지스터(80)의 게이트 전극(81a) 및 스토리지 캐패시터(100)의 제2캐패시터(SC2)의 하부전극으로 작용하는 하부 금속전극(81b)을 형성한다.

이어서, 기판 전면에 고유전율을 갖는 물질로 된 게이트 절연막(82)을 형성한 다음 통상의 방법으로 비정질 실리콘막등으로 된 반도체층(83)을 형성한다.

제2캐패시터(SC2)의 하부 금속전극(81b)의 상면이 노출되도록 게이트 절연막(82)을 식각하여 제1콘택(C1)을 형성한다. IT0 막을 1차로 기판전면에 증착한 후 패터닝하여 상기 제1콘택(C1)을 통해 하부 금속전극(81b)과 접촉되는, 제1캐패시터(SC1)의 하부금속으로 작용하는 제1투명전극(91)을 형성한다.

다음 소오스/드레인 전극용 금속을 증착한 후 패터닝하여 상기 제1투명전극(91)고 떨어져 게이트 절연막(82)상에 데이터 라인(70)을 형성함과 동시에, 데이터 라인으로부터 연장된 소오스전극(84) 및 드레인 전극(85)을 형성하고, 상기 하부 금속전극(81b)상부의 게이트 절연막(82)상에 제2캐패시터(SC2)의 상부 금속전극(87)을 형성한다.

기판전면에 2.5내지 3.6의 자유전상수를 갖는 감광성 보호막으로된 유전체막(92)을 1내지 3 μ m의 두께로 스프인코팅하고, 상기 상부 금속전극(87) 및 드레인 전극(85)이 노출되도록 패터닝하여 제2콘택(C2) 및 제3콘택(C3)을 형성한다.

IT0 막을 2차로 기판 전면에 증착한 후 상기 제2콘택(C2)을 통해 상부 금속전극(87) 및 제3콘택(C3)을 통해 상기 드레인 전극(85)과 접촉되도록 제2투명전극으로된 화소전극(93)을 형성한다. 이때 화소전극(93)은 상기 데이터 라인(70) 및 게이트 라인(60)과 오버랩되도록 형성한다.

발명의 효과

상기한 바와같은 본 발명에 따르면, 스토리지 캐패시터를 2개의 캐패시터를 병렬구성하고, 스토리지 캐패시터의 유전체막으로 고유전상수를 갖는 절연막을 사용함으로써 스토리지 캐패시터의 축적용량을 증대시킬 뿐만 아니라 크로스 토크의 발생을 방지할 수 있다.

또한, 화소전극인 IT0 막을 데이터 라인과 오버랩되도록 형성하여 개구율을 향상시킴과 동시에 유전체막으로 자유전상수를 갖는 절연막을 사용함으로써 크로스토크의 발생을 방지할수 있다.

따라서, 고화질의 초고개구율을 갖는 액정표시소자를 제공할 수 있다.

(57) 청구의 범위

청구항 1

제 1 및 제2캐패시터를 갖는 스토리지 캐패시터와, 상기 스토리지 캐패시터에 연결된 박막 트랜지스터를 구비한 액정표시소자에 있어서, 투명한 절연판과;

상기 절연기판상에 크로스 되어 형성되는 게이트 라인 및 데이터 라인과; 상기 게이트 라인과 데이터 라인이 교차하는 부분에 형성된 박막 트랜지스터와; 상기 게이트 라인과 데이터 라인에 의해 형성된 화소영역에, 상기 게이트 라인과 나란하게 배열된 하부 금속전극과; 상기 하부 금속전극상부에, 제1콘택을 통해 상기 하부 금속과 접촉되는 상부 금속전극을 제외한 상기 화소영역에 상기 데이터 라인 및 게이트 라인과의 일정한 간격을 두고 형성된 제1투명전극과;

상기 제1투명전극상부에 상기 데이터 라인 및 게이트 라인과의 오버랩되도록 형성되며, 제2콘택을 통해 상기 제1투명전극과 접촉됨과 동시에 상기 박막 트랜지스터와 제3콘택을 통해 접촉되는 제2투명전극을 포함하는 것을 특징으로 하는 초고개구율 액정표시소자.

청구항 2

제 1항에 있어서, 상기 제 1투명전극과 제 2투명전극은 동일한 물질로 이루어지는 것을 특징으로 하는 초고개구율 액정표시소자

청구항 3

제 2항에 있어서, 상기 제 1투명전극과 제 2투명전극은 ITO막으로 이루어지는 것을 특징으로 하는 초고개구율 액정표시소자

청구항 4

제 1 항에 있어, 상기 제1투명전극은 상기 스토리지 캐패시터중 제1캐패시터의 하부전극으로 작용하는 것을 특징으로 하는 초고개구율 액정표시소자.

청구항 5

제 1 항에 있어서, 상기 제2투명전극은 화소전극으로 작용함과 동시에 제1캐패시터의 상부 전극으로 작용하는 것을 특징으로 하는 초고개구율 액정표시소자

청구항 6

제 1 항에 있어서 상기 하부 금속전극은 상기 게이트 라인과 동일 물질로 이루어지는것을 특징으로 하는 초고개구율 액정표시소자

청구항 7

제 1항 또는 제 6항에 있어서, 상기 상부 금속전극은 제2캐패시터의 하부 전극으로 작용하는 것을 특징으로 하는 초고개구율 액정표시소자

청구항 8

제 1항에 있어서, 상기 상부 금속전극은 상기 제2캐패시터의 하부 전극으로 작용하는 것을 특징으로 하는 초고개구율 액정표시소자

청구항 9

제 1 항 또는 제7항에 있어서, 상기 하부 금속전극은 데이터 라인과 동일한 물질로 이루어지는 것을 특징으로 하는 초고개구율 액정표시소자

청구항 10

제 1 항에 있어서, 상기 절연기판은 유리기판인 것을 특징으로 하는 초고개구율 액정표시소자.

청구항 11

제 1항에 있어서, 상기 제1및 제2캐패시터는 상기 제2투명전극과 상기 하부 금속전극에 공통 연결되어, 병렬로 배열되는 것을 특징으로 하는 초고개구율 액정표시소자.

청구항 12

제 1캐패시터 및 제2캐패시터를 갖는 스토리지 캐패시터와, 상기 스토리지 캐패시터에 연결된 박막 트랜지스터및 화소전극을구비한 액정표시소자에 있어서, 투명한 절연기판과; 상기 절연기판상에 형성된 게이트 전극과; 상기 절연기판상에 상기 게이트 전극과 떨어져 형성된 하부 금속전극과; 상기 게이트 전극 및 하부 금속전극을 포함한 상기 절연기판상에 형성된 제1절연막과; 상기 게이트 전극에 대응하는 제1절연막상에 형성된 반도체층과; 상기 게이트 전극의 상면이 노출되도록 상기 반도체층 및 게이트 절연막상부에 걸쳐 형성된 소오스/드레인 전극과;

상기 하부 금속전극에 대응하는 제1절연막상에 형성된 상부 금속전극과; 상기 드레인 전극과 상부 금속전극사이에 이들과 떨어져 상기 제1절연막상에 형성된 제1투명전극과; 기판 전면에 걸쳐 형성되고, 상기 드레인 전극 및 상부 금속전극상부에 각각 제1 및 제2콘택을 구비한 제2절연막과;

상기 제1콘택을 통해 상기 드레인 전극에 접촉됨과 동시에 상기 제2콘택을 통해 상기 상부 금속전극과 접촉되는, 상기 제2절연막상에 형성된 제2투명전극을 포함하는 것을 특징으로 하는 초고개구율 액정표시소자.

청구항 13

제 12항에 있어서, 상기 제1투명전극과 제2투명전극은 서로 동일한 물질로 이루어 지는것을 특징으로 하는 초고개구율 액정표시소자.

청구항 14

제 13항에 있어서, 상기 제1투명전극과 제2투명전극은 ITO 막으로 이루어 지는것을 특징으로 하는 초고개구율 액정표시소자.

청구항 15

제 12항에 있어서, 상기 제1투명전극은 스토리지 캐패시터의 제1캐패시터의 상부전극 및 화소전극으로 작용하는 것을 특징으로 하는 초고개구율 액정표시소자.

청구항 16

제 12항에 있어서, 상기 제2투명전극은 스토리지 캐패시터의 제1캐패시터의 상부전극 및 화소전극으로 작용하는 것을 특징으로 하는 초고개구율 액정표시소자.

청구항 17

제 12항에 있어서, 상기 제2게이트 절연막은 스토리지 캐패시터의 제1캐패시터의 유전체막으로 작용하는 것을 특징으로 하는 초고개구율 액정표시소자.

청구항 18

제 17항에 있어서, 상기 제2절연막은 유전상수가 2.5내지 3.6인 저유전상수를 갖는 유전체막인 것을 특징으로하는 초고개구율 액정표시소자.

청구항 19

제 18항에 있어서, 상기 제2절연막은 감광성 보호막인 것을 특징으로하는 초고개구율 액정표시소자.

청구항 20

제 19항에 있어서, 상기 제2절연막인 감광성 보호막은 1내지 3 μ m것을 특징으로하는 초고개구율 액정표시소자.

청구항 21

제 12 항에 있어서, 상기 절연기판은 유리기판인 것을 특징으로 하는 초개구율 액정표시소자.

청구항 22

제 12 항에 있어서, 상기 하부 금속전극은 상기 스토리지 캐패시터중 제2캐패시터의 하부전극으로 작용하는 것을 특징으로 하는 초고개구율 액정표시소자.

청구항 23

제 22항에 있어서, 상기 하부 금속전극은 게이트 전극과 동일한 물질로 이루어지는 것을 특징으로 하는 초고개구율 액정표시소자.

청구항 24

제 12 항에 있어서, 상기 상부 금속전극은 상기 스토리지 캐패시터중 제2캐패시터의 상부 전극으로 작용하는것을 특징으로 하는 초고개구율 액정표시소자.

청구항 25

제 24 항에 있어서, 상기 상부 금속전극은 드레인 전극과 동일한 물질로 이루어지는 것을 특징으로 하는 초고개구율 액정표시소자.

청구항 26

제 12 항에 있어서, 상기 제1절연막은 스토리지 캐패시터의 제2캐패시터의 유전체막 및 박막 트랜지스터의 게이트 절연막으로 작용하는 것을 특징으로 하는 초고개구율 액정표시소자.

청구항 27

제 26항에 있어서, 상기 제1절연막은 고유전율을 갖는 유전체로 이루어지는 것을 특징으로 하는 초고개구율 액정표시소자.

청구항 28

절연기판상에 서로 교차하여 배열된 데이터 라인 및 게이트 라인과, 게이트라

인과 나란하게 배열된, 제1및 제2캐패시터로 구성된 스토리지 캐패시터를 구비한 액정표시소자에 있어서, 상기 절연기판상에 형성된 하부 금속전극과;

상기 하부 금속전극상부에 제1콘택을 구비하고 상기 하부 금속전극을 포함한 절연기판상에 형성된 제1절연막과; 상기 제1콘택을 통해 상기 하부 금속전극과 접촉되도록 상기 제1절연막상에 형성된 제1투명전극과; 상기 하부 금속전극에 대응하는 상기 제1절연막상에 형성된 상부 금속전극과; 상기 상부 금속전극상부에 제2콘택을 구비하고, 상기 제1투명전극과 상부 금속전극을 포함한 제1절연막상에 형성된 제2절연막과;

상기 제2콘택을 통해 상기 상부 금속전극과 접촉되도록 상기 제2절연막상에 제2투명전극을 포함하는 것을 특징으로 하는 초고개구율 액정표시소자.

청구항 29

제 28항에 있어서, 상기 하부 금속전극은 제2캐패시터의 하부전극으로 작용하며, 상기 게이트 라인과 동일한 물질로 이루어지는것을 특징으로 하는 초고개구율 액정표시소자.

청구항 30

제 28항에 있어서, 상기 제1절연막은 제2캐패시터의 유전체막으로 작용하며, 고유전상수를 갖는 물질로 이루어지는것을 특징으로 하는 초고개구율 액정표시소자.

청구항 31

제 28항에 있어서, 상기 상부 금속전극은 제2캐패시터의 상부금속으로 작용하며, 상기 데이터 라인과 동일한 물질로 이루어지는것을 특징으로 하는 초고개구울 액정표시소자.

청구항 32

제 28항에 있어서, 상기 제2절연막은 제1캐패시터의 유전체막으로 작용하며, 유전상수가 2.5내지 3.6인 자유전상수를 갖는 물질로 이루어지는것을 특징으로 하는 초고개구울 액정표시소자.

청구항 33

제 32항에 있어서, 상기 제2절연막인 감광성 보호막은 1내지 3 μ m의 두께를 갖는 것을 특징으로하는 초고개구울 액정표시소자.

청구항 34

제 28 항에 있어서, 상기 절연기판은 유리기판인 것을 특징으로 하는 초고개구울 액정표시소자.

청구항 35

제 28항에 있어서, 상기 제1투명전극과 제2투명전극은 ITO 막으로 이루어져, 각각 제1캐패시터의 하부전극과 상부전극으로 작용하는 것을 특징으로하는 초고개구울 액정표시소자.

청구항 36

절연기판상에 서로 교차하여 배열된 데이터 라인 및 게이트라인과, 상기 데이터 라인 및 게이트라인이 교차하는 부분에 배열된 박막 트랜지스터와, 상기 게이트 라인 및 데이터 라인에 의해 형성된 화소영역에 형성된 화소전극과, 상기 화소전극에 연결된 제1캐패시터와 상기 박막 트랜지스터에 연결된 제2캐패시터로 구성된 스토리지 캐패시터를 구비한 액정표시소자에 있어서,

상기 절연판상에 게이트라인, 박막 트랜지스터의 게이트 전극과 제1캐패시터의 하부전극을 형성하는 공정과; 기판 전면에 걸쳐 제1절연막을 형성하는 공정과; 상기 게이트 전극에 대응하는 제1절연막상에 상기 박막 트랜지스터의 반도체층을 형성하는 공정과; 상기 제1캐패시터의 하부전극 상부의 제1절연막을 식각하여 제1콘택을 형성하는 공정과, 상기 게이트 라인 및 데이터 라인과 오버랩되지 않도록 제1콘택을 통해 제2캐패시터의 하부전극과 접촉되는 제1캐패시터의 하부전극을 형성하는 공정과;

상기 반도체층의 상면이 노출되도록 상기 제1절연막상에 걸쳐 소오스/드레인 전극을 형성함과 동시에 상기 드레인 전극에 연결된 데이터 라인 그리고, 제2캐패시터의 하부 전극상에 제2캐패시터의 상부전극을 형성하는 공정과; 기판 전면에 걸쳐 제2절연막을 형성하는 공정과; 상기 제2캐패시터 상부전극 상부 및 드레인전극 상부의 제2절연막을 식각하여 제2콘택과 제2콘택을 형성하는 공정과; 상기 제3콘택을 통해 상기 드레인 전극과 접촉됨과 동시에 상기 제2콘택을 통해 제2캐패시터의 상부전극과 연결되며, 상기 데이터 라인 및 게이트 라인과 오버랩되도록 상기 화소영역에 해당하는 제2절연막상에 화소전극을 형성하는 공정을 포함하는 것을 특징으로 하는 초고개구울 액정표시소자의 제조방법.

청구항 37

제 36 항에 상기 제1절연막을 고유전상수를 갖는 유전체막으로서, 박막 트랜지스터의 게이트 절연막 및 제1캐패시터의 유전체막으로 작용하는 것을 특징으로 하는 초고개구울 액정표시소자의 제조방법.

청구항 38

제 36항에 있어서, 상기 제2절연막은 유전상수가 2.5 내지 3.6인 자유전상수를 갖는 물질로서, 제1캐패시터의 유전체막으로 작용하는 것을 특징으로 하는 초고개구울 액정표시소자의 제조방법.

청구항 39

제 38 항에 있어서, 상기 제2절연막은 감광성 보호막을 스펀코팅하여 1-3 μ m의 두께로 형성하는 것을 특징으로 하는 초고개구울 액정표시소자의 제조방법.

청구항 40

제 36 항에 있어서, 상기 절연기판은 유리기판인 것을 특징으로 하는 초개구울 액정표시소자의 제조방법.

청구항 41

제 36 항 있어서, 상기 제1캐패시터의 하부전극과 화소전극은 동일물질로 이루어 지는것을 특징으로 하는 초고개구울 액정표시소자의 제조방법.

청구항 42

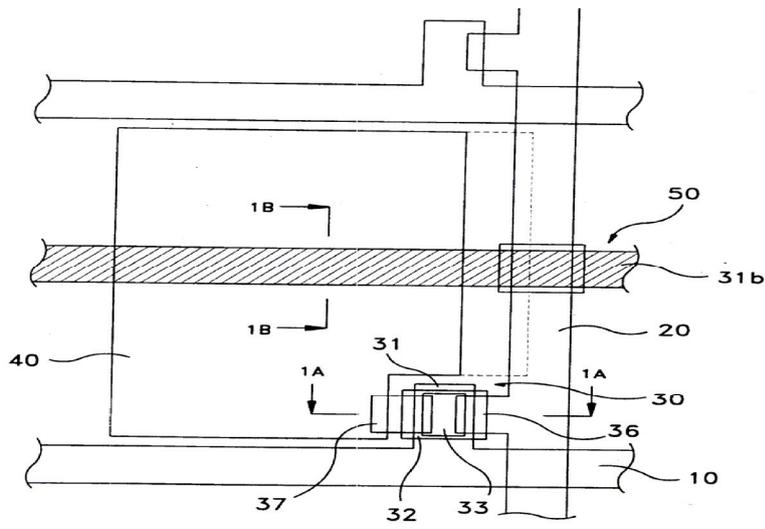
제 41항 있어서, 상기 제1캐패시터의 하부전극과 화소전극은 ITO 막으로 이루어 지는것을 특징으로 하는 초고개구울 액정표시소자의 제조방법.

청구항 43

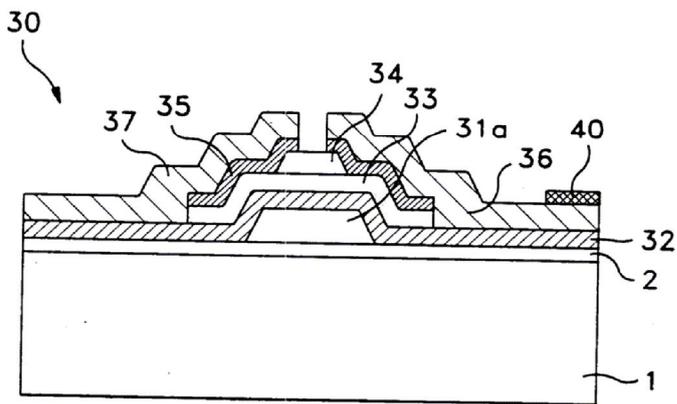
제 36 항에 있어서, 상기 화소전극은 제1캐패시터의 상부전극으로 작용하는 것을 특징으로 하는 초고개구울 액정표시소자의 제조 방법.

도면

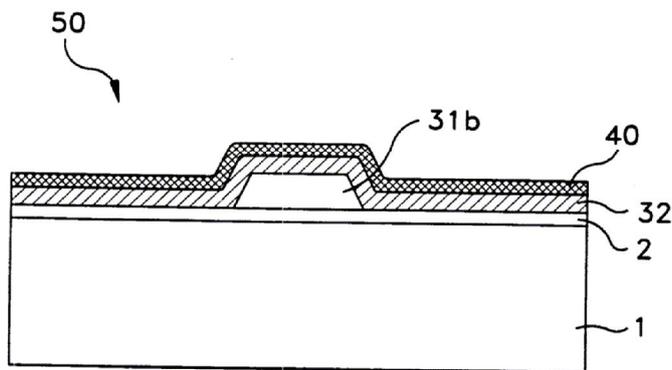
도면1



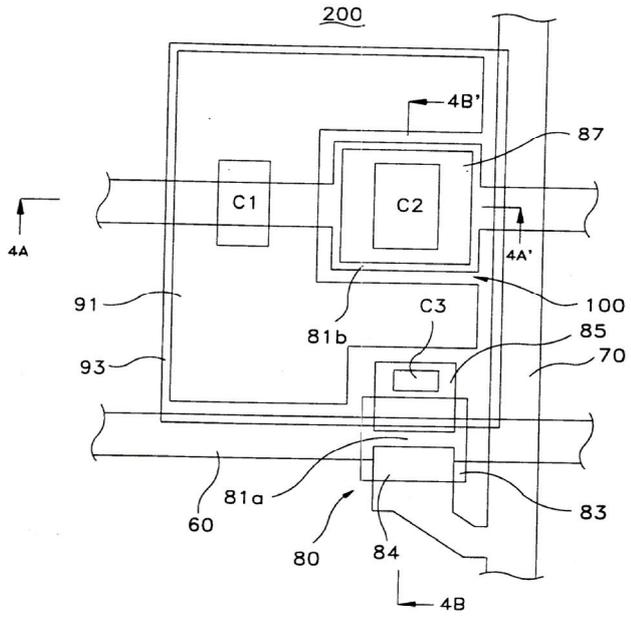
도면2



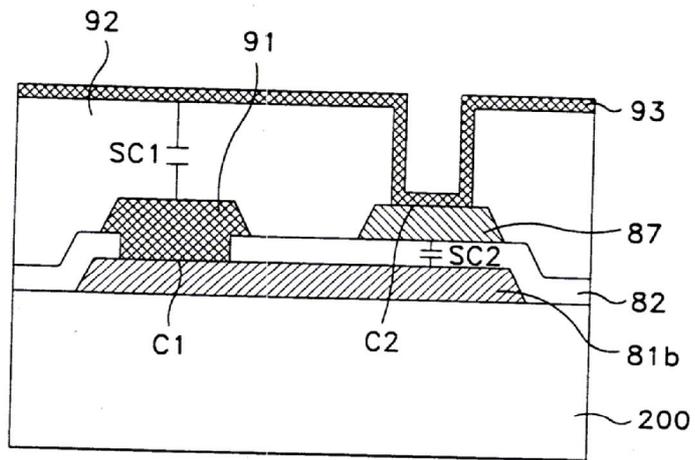
도면3



도면4



도면5



도면6

