



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년07월25일
 (11) 등록번호 10-1051853
 (24) 등록일자 2011년07월19일

(51) Int. Cl.
H04L 29/02 (2006.01)
 (21) 출원번호 10-2006-7000263
 (22) 출원일자(국제출원일자) 2004년07월09일
 심사청구일자 2009년06월08일
 (85) 번역문제출일자 2006년01월05일
 (65) 공개번호 10-2006-0052778
 (43) 공개일자 2006년05월19일
 (86) 국제출원번호 PCT/JP2004/010175
 (87) 국제공개번호 WO 2005/006702
 국제공개일자 2005년01월20일
 (30) 우선권주장
 JP-P-2003-00273535 2003년07월11일 일본(JP)
 (56) 선행기술조사문헌
 JP2002292145 A
 US07017176 B1

(73) 특허권자
파나소닉 주식회사
 일본 오오사카후 가도마시 오오아자 가도마 1006
 반치
 (72) 발명자
후쿠오카 도시히코
 일본국 오오사카후 시조나와테시 기요타키나카마
 치 15-24
구마자와 마치야
 일본국 오오사카후 시조나와테시 고메사키쵸
 17-21-202
이시이 다츠지
 일본국 오오사카후 이바라키시 히가시나라
 2-13-10
 (74) 대리인
김영철

전체 청구항 수 : 총 13 항

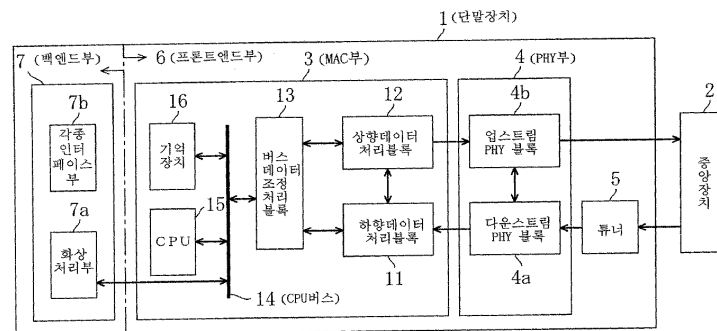
심사관 : 이현규

(54) 쌍방향통신제어장치, 단말장치 및 쌍방향통신제어방법

(57) 요약

통신시스템의 단말장치(1)에는, MAC부(3)(쌍방향통신장치)와, PHY부(4)와, 튜너부(5)와, 백엔드부(7)가 구성된다. MAC부(3)는, CPU(15) 처리의 일부를 대체시키는 기능을 갖는 하향데이터 처리블록(11)과, CPU(15) 처리의 일부를 대체시키는 기능을 갖는 상향데이터 처리블록(12)과, 버스데이터 조정처리블록(13)과, CPU버스(14)와, CPU(15)와, 기억장치(16)를 구비한다. 하향데이터 처리블록(11)과 상향데이터 처리블록(12)은, CPU버스(14)를 우회하여 직접 데이터 송수신을 행하도록 구성된다.

대표도



특허청구의 범위

청구항 1

중앙장치와의 사이에서 쌍방향의 데이터 송수신을 실행하는 단말장치에 배치되는 쌍방향통신 제어장치로,
 CPU와,
 제 1 기억장치와,
 상기 CPU 및 제 1 기억장치 사이를 접속하는 CPU버스와,
 상기 중앙장치로부터 상기 단말장치로 송신되는 하향(downstream)데이터를 받아서 데이터처리를 실행하는 하향 데이터 처리블록과,
 상기 단말장치로부터 상기 중앙장치로 송신되는 상향(upstream)데이터를 생성하기 위해서 데이터처리를 실행하는 상향데이터 처리블록과,
 상기 CPU버스, 하향데이터 처리블록 및 상향데이터 처리블록에 접속되며, 상기 CPU버스에서의 데이터 흐름을 조정하기 위한 버스데이터 조정처리블록을 구비하고,
 상기 하향데이터 처리블록과 상기 상향데이터 처리블록은 상호 데이터 송수신을 직접 실행하며,
 상기 하향데이터 처리블록은,
 상기 하향데이터의 구문 해석, 헤더 해석 및 데이터 포맷변환을 실행하는 기본처리회로를 가지고 있고,
 상기 기본처리회로가 상기 상향데이터 처리블록과 데이터 송수신을 직접 실행하는 쌍방향통신 제어장치.

청구항 2

제 1 항에 있어서,
 상기 버스데이터 조정처리블록을 우회하여, 상기 CPU버스, 상향데이터 처리블록 및 하향데이터 처리블록에 접속되며, 일시적으로 데이터를 유지하는 레지스터를 갖는 데이터프로세서를 추가로 구비하는, 쌍방향통신 제어장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,
 상기 버스데이터 조정처리블록을 우회하여, 상기 CPU버스, 상향데이터 처리블록 및 하향데이터 처리블록에 접속되며, 상기 제 1 기억장치 기억내용의 일부를 대체하여 기억하는 제 2 기억장치를 추가로 구비하는, 쌍방향통신 제어장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,
 상기 버스데이터 조정처리블록 및 상기 CPU버스를 우회하여, 상기 상향데이터 처리블록, 하향데이터 처리블록 및 제 1 기억장치에 접속되며, 상기 제 1 기억장치의 기억내용 일부를 대체하여 기억하는 제 2 기억장치를 추가로 구비하는, 쌍방향통신 제어장치.

청구항 5

제 4 항에 있어서,
 상기 상향데이터 처리블록, 하향데이터 처리블록 및 제 2 기억장치에 접속되며, 데이터를 일시적으로 기억하는 기능을 갖는 제 3 기억장치를 추가로 구비하는, 쌍방향통신 제어장치.

청구항 6

중앙장치와의 사이에서 쌍방향의 데이터 송수신을 실행하는 단말장치에 배치되는 쌍방향통신 제어장치로,
 CPU와,
 제 1 기억장치와,
 상기 CPU 및 제 1 기억장치 사이를 접속하는 CPU버스와,
 상기 중앙장치로부터 상기 단말장치로 송신되는 하향(downstream)데이터를 받아서 데이터처리를 실행하는 하향 데이터 처리블록과,
 상기 단말장치로부터 상기 중앙장치로 송신되는 상향(upstream)데이터를 생성하기 위해서 데이터처리를 실행하는 상향데이터 처리블록과,
 상기 CPU버스, 하향데이터 처리블록 및 상향데이터 처리블록에 접속되며, 상기 CPU버스에서의 데이터 흐름을 조정하기 위한 버스데이터 조정처리블록을 구비하고,
 상기 하향데이터 처리블록과 상기 상향데이터 처리블록은 상호 데이터 송수신을 직접 실행하며,
 상기 버스데이터 조정처리블록을 우회하여 상기 CPU버스, 상향데이터 처리블록 및 하향데이터 처리블록에 접속되며, 일시적으로 데이터를 유지하는 레지스터를 갖는 데이터프로세서와,
 상기 버스데이터 조정처리블록을 우회하여 상기 상향데이터 처리블록, 하향데이터 처리블록 및 CPU버스에 접속되며, 상기 제 1 기억장치의 기억내용 일부를 대체하여 기억하는 제 2 기억장치와,
 상기 상향데이터 처리블록, 하향데이터 처리블록 및 제 2 기억장치에 접속되며, 데이터를 일시적으로 기억하는 기능을 갖는 제 3 기억장치와,
 상기 상향데이터 처리블록, 하향데이터 처리블록, 제 2 기억장치, 제 3 기억장치 및 데이터프로세서에 접속되며, 상기 제 2 기억장치 및 제 3 기억장치에 대한 데이터의 입출력을 제어하는 제어용 블록을 추가로 구비하는 쌍방향통신 제어장치.

청구항 7

중앙장치와의 사이에서 쌍방향의 데이터 송수신을 실행하는 단말장치에 배치되는 쌍방향통신 제어장치로,
 CPU와,
 제 1 기억장치와,
 상기 CPU 및 제 1 기억장치 사이를 접속하는 CPU버스와,
 상기 중앙장치로부터 상기 단말장치로 송신되는 하향(downstream)데이터를 받아서 데이터처리를 실행하는 하향 데이터 처리블록과,
 상기 단말장치로부터 상기 중앙장치로 송신되는 상향(upstream)데이터를 생성하기 위해서 데이터처리를 실행하는 상향데이터 처리블록과,
 상기 CPU버스, 하향데이터 처리블록 및 상향데이터 처리블록에 접속되며, 상기 CPU버스에서의 데이터 흐름을 조정하기 위한 버스데이터 조정처리블록을 구비하고,
 상기 하향데이터 처리블록과 상기 상향데이터 처리블록은 상호 데이터 송수신을 직접 실행하며,
 상기 버스데이터 조정처리블록을 우회하여 상기 CPU버스, 상향데이터 처리블록 및 하향데이터 처리블록에 접속되며, 일시적으로 데이터를 유지하는 레지스터를 갖는 데이터프로세서와,
 상기 버스데이터 조정처리블록 및 상기 CPU버스를 우회하여 상기 상향데이터 처리블록, 하향데이터 처리블록 및 제 1 기억장치에 접속되며, 상기 제 1 기억장치의 기억내용 일부를 대체하여 기억하는 제 2 기억장치와,
 상기 상향데이터 처리블록, 하향데이터 처리블록 및 제 2 기억장치에 접속되며, 데이터를 일시적으로 기억하는 기능을 갖는 제 3 기억장치와,
 상기 상향데이터 처리블록, 하향데이터 처리블록, 제 2 기억장치, 제 3 기억장치 및 데이터프로세서에 접속되며, 상기 제 2 기억장치 및 제 3 기억장치에 대한 데이터의 입출력을 제어하는 제어용 블록을 추가로 구

비하는 쌍방향통신 제어장치.

청구항 8

삭제

청구항 9

제 1 항, 제 2항, 제 6항, 제 7 항 중 어느 한 항에 있어서,

상기 상황데이터 처리블록은,

복수의 상황데이터를 1개의 데이터로 연결하고, 연결된 1개의 데이터에 연결프레임헤더를 추가하는 처리를 실행하는 연결프레임헤더 부가처리회로를 구비하며,

상기 연결프레임헤더 부가처리회로가 상기 하향데이터 처리블록과 데이터 송수신을 직접 실행하는 쌍방향통신 제어장치.

청구항 10

제 1 항, 제 2항, 제 6항, 제 7 항 중 어느 한 항에 있어서,

상기 상황데이터 처리블록은,

1개의 상황데이터를 복수의 부분으로 분할하고, 분할된 복수의 부분에 각각 분할프레임헤더를 추가하는 처리를 실행하는 분할프레임헤더 부가처리회로를 구비하며,

상기 분할프레임헤더 부가처리회로가 상기 하향데이터 처리블록과 데이터 송수신을 직접 실행하는 쌍방향통신 제어장치.

청구항 11

중앙장치와의 사이에서 쌍방향의 데이터 송수신을 행하는 단말장치로,

상기 중앙장치로부터 송신되는 RF신호를 수신하여 IF신호로 변환하는 튜너와,

상기 IF신호를 수신하여 하향데이터를 추출하는 다운스트림 PHY블록과,

상황데이터 처리블록으로부터 출력되는 상황데이터를 변조하여 RF신호로서 상기 중앙장치로 송신하는 업스트림 PHY블록과,

상기 중앙장치와 단말장치 사이에서 송수신되는 데이터의 송수신을 제어하기 위한 쌍방향통신 제어장치를 구비하며,

상기 쌍방향통신 제어장치는,

CPU와,

제 1 기억장치와,

상기 CPU 및 제 1 기억장치 사이를 접속하는 CPU버스와,

상기 중앙장치로부터 상기 단말장치로 송신되는 하향(downstream)데이터를 받아서 데이터처리를 실행하는 하향 데이터 처리블록과,

상기 단말장치로부터 상기 중앙장치로 송신되는 상향(upstream)데이터를 생성하기 위해서 데이터처리를 실행하는 상황데이터 처리블록과,

상기 CPU버스, 하향데이터 처리블록 및 상황데이터 처리블록에 접속되며, 상기 CPU버스에서의 데이터 흐름을 조정하기 위한 버스데이터 조정처리블록을 구비하고,

상기 하향데이터 처리블록과 상기 상황데이터 처리블록은 상호 데이터 송수신을 직접 실행하며,

상기 CPU버스에 접속되며, 적어도 화상처리를 실행하는 기능을 갖는 백엔드(back-end)부를 추가로 구비하는 단말장치.

청구항 12

삭제

청구항 13

중앙장치와의 사이에서 쌍방향의 데이터 송수신을 행하는 단말장치에서의 쌍방향통신 제어방법으로,
 상기 중앙장치로부터 상기 단말장치로 송신되는 하향데이터를 받아서 하향데이터처리를 행하는 단계(a)와,
 상기 단말장치로부터 상기 중앙장치로 송신되는 상향데이터를 생성하기 위한 상향데이터처리를 행하는 단계(b)와,
 상기 단계 (a), (b)에서의 처리내용 중 적어도 일부를 기억장치에 기억시켜두는 단계(c)를 포함하며,
 상기 단계 (a) 및 단계(b)는 상기 하향데이터처리와 상향데이터처리를 상기 기억장치에 기억된 상호의 처리내용을 참조하면서 실행하는 처리를 포함하고 있고,
 상기 단계(a)는 상기 하향데이터의 구문해석, 헤더 해석 및 데이터 포맷변환을 행하는 기본처리를 포함하며,
 상기 기본처리를 상기 상향데이터처리의 처리내용을 참조하면서 실행하는 쌍방향통신 제어방법.

청구항 14

삭제

청구항 15

중앙장치와의 사이에서 쌍방향의 데이터 송수신을 행하는 단말장치에서의 쌍방향통신 제어방법으로,
 상기 중앙장치로부터 상기 단말장치로 송신되는 하향데이터를 받아서 하향데이터처리를 행하는 단계(a)와,
 상기 단말장치로부터 상기 중앙장치로 송신되는 상향데이터를 생성하기 위한 상향데이터처리를 행하는 단계(b)와,
 상기 단계 (a), (b)에서의 처리내용 중 적어도 일부를 기억장치에 기억시켜두는 단계(c)를 포함하며,
 상기 단계 (a) 및 단계(b)는 상기 하향데이터처리와 상향데이터처리를 상기 기억장치에 기억된 상호의 처리내용을 참조하면서 실행하는 처리를 포함하고 있고,
 상기 단계(b)는 복수의 상향데이터를 1개의 데이터로 연결하고, 연결된 1개의 데이터에 연결프레임헤더를 부가하는 연결프레임헤더 부가처리를 포함하며,
 상기 연결프레임헤더 부가처리를 상기 상향데이터처리의 처리내용을 참조하면서 실행하는 쌍방향통신 제어방법.

청구항 16

제 13 항 또는 제 15 항에 있어서,
 상기 단계(b)는 1개의 상향데이터를 복수의 부분으로 분할하고, 분할된 복수의 부분에 각각 분할프레임헤더를 부가하는 처리를 실행하는 분할프레임헤더 부가처리를 포함하며,
 상기 분할프레임헤더 부가처리를 상기 하향데이터처리의 처리내용을 참조하면서 실행하는 쌍방향통신 제어방법.

명세서

기술분야

[0001] 본 발명은, 중앙장치와 단말장치 사이에서 이루어지는 디지털 쌍방향통신에 이용되는 쌍방향통신제어장치, 이를 구비하는 단말장치 및 쌍방향통신제어방법에 관한 것이다.

배경기술

[0002] 일반적으로 쌍방향 CATV로 대표되는 디지털 쌍방향 통신시스템은, 중앙장치에 대해 복수의 단말장치가 접속된

쌍방향통신망에 의해 구성된다. 이 개개의 단말장치에 있어서, 중앙장치 쪽에서 단말장치 쪽으로의 하향통신 및 단말장치 쪽에서 중앙장치 쪽으로의 상향통신의 쌍방향제어는, MAC(Media Access Control)기능이라 불리며, 통상은 통신데이터 중에 서브레이어(sub layer)로서 매입된 MAC 특유의 구조를 갖는 프로토콜 해독에 의해 처리가능이 실현된다.

- [0003] MAC구조의 일례로서 MCNS(Multimedia Cable Network Systems partners)라는 미국의 케이블TV 운영자나, 케이블 TV세트의 공급자로 이루어진 단체에 의해 제창되어, 현재는 업계표준이 된 DOCSIS(Data Over Cable Service Interface Specifications)방식이 존재한다. 이 방식의 상세는 비특허문헌1(사양서 「Data-Over-Cable Service Interface Specifications」 (「Radio Frequency Interface Specification SP-RFIV1.1-I07-010829」): Cable Labs사(Cable Television Laboratories Inc. 발행)에 개시되어있다.
- [0004] 통상, 하향통신에서는 주로 영상데이터가 송신된다. 그래서 하향통신의 통신데이터는 MPEG구조를 갖지만, 그 서브레이어로서 MAC구조가 정의된다. 하향통신은 비교적 넓은 대역에 통신채널 주파수가 할당되므로, 통신제어 자체는 비교적 단순하다. 그러나, 영상데이터가 송신되기 때문에 하향통신에서는 막대한 데이터량을 취급할 필요가 있어, 정해진 순서에 따라 실시간으로 오차 없는 처리가 요구된다.
- [0005] 한편 상향(upstream)통신에서는 통상, 제어데이터가 주로 송신된다. 이 제어데이터에는, 단말장치 쪽으로부터의 명령요구나, 단말장치 각각의 상태를 알리기 위한 상태표시 데이터가 포함된다. 상향통신에 의해 송신되는 제어 데이터를 받아 중앙장치는, 각 단말장치의 요구명령에 대응하거나, 단말장치를 바르게 제어하기 위한 각종 정보를 하향통신에 의한 제어데이터로서 송신하거나 한다. 상향통신은, 좁은 대역에 다수의 통신채널 주파수가 할당되므로, 복수의 단말장치간에 충돌이 생기거나, 필요한 통신채널 주파수가 얻어지지 않는 경우가 생길 수 있다. 그래서 상향통신 시에는 일반적으로 복잡한 제어가 필요하며, 그 제어기능은 쌍방향통신에 있어서의 통신성능에 커다란 영향을 미친다.
- [0006] DOCSIS방식에 의한 MAC구조는, 인터넷에 따른 IP통신과의 친화성을 높이기 위해, 기본적으로 인터넷통신과 마찬가지로 데이터구조를 갖지만, DOCSIS방식 특유 영역으로서의 각종 헤더필드가 설정된다. 그 중에서도, "확장헤더"라 불리는 가변길이 영역의 필드에 의해, 암호 그 밖의 부가기능이 정의되는 것이 특징이다.
- [0007] MAC기능의 실현에는, 상기 Cable Labs가 제공한 사양서에 나타난 바와 같이, 복잡한 다층구조를 갖는 데이터구조를 해석한 후에, 각종 처리를 적절한 타이밍으로 실행할 필요가 있다. 다수의 처리를, 막대한 수에 이르는 조합에 대해 실현하는 것, 그리고 그 조합동작의 정확성을 검증하는 것은, 매우 난이도가 높고 처리량이 매우 많아진다.
- [0008] 다음으로 쌍방향통신에서의 각 처리내용에 착안하면, MAC기능을 구성하는 개개의 처리는 기본적으로 제어계의 연산처리, 데이터의 필터링(할당), 동기처리, 배열변경, 포맷화 등 개개의 처리 및 그 조합이다.
- [0009] 그러나 쌍방향통신에 이용되는 장치에는, MAC기능의 기본처리와 더불어, 통신시스템에 불가결한 데이터 보안기능이 포함되었으며, DOCSIS방식에 관해서는 그 상세한 사양이 상기 비특허문헌 1에 개시되어있다.
- [0010] MAC기능의 보안기능은, Baseline Privacy라 하며, BPKM(Baseline Privacy Key Management)이라 불리는 프로토콜을 사용한다. BPKM에서는, 안전한 키 교환을 실행하므로, 암호키 자체를 암호화시켜 주고받는 기능이나, 암호키 교환의 메시지가 올바른 상대방으로부터 송신된 점이나, 기입변경이 없는 점을 확인하기 위한 메시지 인증기능을 구비한다. BPKM에서는 마스터키가 될 Authorization Key와, 실제로 데이터의 암호화 및 복호에 사용하는 DES암호키(Traffic Encryption Key, TEK라 칭함)라는 2단계 키를 사용하여 키의 배포를 실행한다.
- [0011] 단말장치는 RSA공개키 방식으로 암호화된 Authorization Key를 수취하고, RSA공개키를 사용하여 이 Authorization Key를 복호한다. 다음으로, 취득한 Authorization Key로부터 TEK의 복호나 인증을 실행하는 몇 가지 처리를 거쳐 TEK데이터를 취득하고, 최종적으로 이 TEK데이터를 이용하여, 실제 통신데이터의 복호를 실행한다. 여기서 Authorization Key의 복호를 실행하는 RSA암호의 복호처리나, TEK데이터의 복호를 실행하는 DES암호의 복호에 대해서도, 64비트 단위의 데이터를 복수 사용한 수치연산이 병렬이면서 반복 필요한 점에서, 개개의 처리도 상당히 부하가 큰 처리라 할 수 있다. 디지털 쌍방향통신에서의 쌍방향제어를 실행하는 MAC기능을 실현하기 위해서는, 이와 같은 처리를 조합시켜 처리하는 것을 필요로 하고 있다.
- [0012] (해결과제)
- [0013] 그러나 MAC기능을 실현하기 위한 종래의 쌍방향통신제어장치에는, 다음과 같은 문제가 있다.
- [0014] 일반적으로 MAC기능은, 범용 프로세서(CPU)를 이용하여 실현된다. 이는, CPU에는 복잡한 처리에 대해 유연하게

대응할 수 있는 이점이 있으며, 시스템의 신뢰성을 확립하기 위한 검증이나 기능수정도 비교적 용이하게 실현할 수 있기 때문이다. 즉 CPU를 이용하여 MAC기능의 복잡함이나 검증결과의 피드백을 비교적 쉽게 할 수 있는 소프트웨어에 의한 기능의 실현이 도모되었다.

[0015] 그러나 MAC기능의 막대한 처리를 실현하기 위해서는, 고성능의 CPU를 이용해야만 한다. 또 MAC기능 때문에 단순히 CPU를 점유하는데 그치지 않고, 단일 CPU에서 MAC기능을 모두 실현하기란 매우 어려워졌다. 때문에 MAC기능을 모두 실현하는 장치를 구성하기 위해서는, 장치 하드웨어 부분의 규모가 극단적으로 커져 비현실적일 정도로 원가가 높은 장치로 돼버린다. 또 고성능 CPU를 이용하기 위해 회로의 동작주파수가 높아져 소비전력이 커지며, 방열대책을 필요로 하게 되는 등, 시스템 전체의 코스트퍼포먼스가 낮다는 문제도 있다.

[0016] 본 발명의 과제는, 디지털 쌍방향통신 제어에 있어서, CPU처리의 부하경감을 도모하며, 시스템 전체 회로규모의 적정화를 실현하는 데 있다.

발명의 상세한 설명

[0017] (발명의 개시)

[0018] 본 발명의 목적은, CPU처리의 부하경감을 도모하는 아키텍처를 제공함으로써 보다 저가의 CPU 이용이 가능하며, 시스템 전체의 회로규모 삭감을 가능하게 하는 것, 또는 CPU성능을 유지함으로써 새로운 처리를 추가하여 보다 고기능의 처리 실행을 가능하게 하며, 시스템 전체적인 코스트퍼포먼스를 증가시키는 장치를 제공하는 데 있다.

[0019] 본 발명의 쌍방향통신제어장치는, CPU, 기억장치, CPU버스 등에 추가로, 중앙장치로부터 단말장치로 송신되는 하향(downstream)데이터의 데이터처리를 실행하는 하향데이터 처리블록과, 단말장치로부터 중앙장치로 송신되는 상향(upstream)데이터를 생성하기 위한 데이터처리를 실행하는 상향데이터 처리블록을 구비하며, 하향데이터 처리블록과 상향데이터 처리블록이, 상호 데이터 송수신을 직접 실행하도록 구성된다.

[0020] 이로써, CPU만으로 실행했던 처리를, CPU버스나 CPU를 우회하여 하향데이터 처리블록과 상향데이터 처리블록에 의해 실행하기가 가능해져, CPU버스의 혼잡도를 저감할 수도 있다. 따라서 현실적인 원가로 가능한 범용CPU를 이용해도, 데이터의 처리효율 향상을 도모할 수 있다. 또 CPU성능을 유지시킨 경우에는, 새로운 처리를 추가함으로써 보다 고기능의 처리 실행이 가능해져 시스템 전체적인 코스트퍼포먼스가 향상된다.

[0021] 버스데이터 조정처리를 우회하여, CPU버스, 상향데이터처리블록 및 하향데이터처리블록에 접속되며, 레지스터를 구비하는 데이터프로세서를 별도로 구성시키거나, 버스데이터 조정처리를 우회하여, CPU버스(또는 제 1 기억장치), 상향데이터처리블록 및 하향데이터처리블록에 접속되는 제 2 기억장치를 별도로 구성시킴으로써, 보다 CPU 버스의 혼잡도를 저감할 수 있다.

[0022] 또 상향데이터처리블록, 하향데이터처리블록 및 제 2 기억장치에 접속되며, 데이터를 일시적으로 기억하는 기능을 갖는 제 3 기억장치나, 상향데이터처리블록, 하향데이터처리블록, 제 2 기억장치, 제 3 기억장치 및 데이터 프로세서에 접속되며, 제 2 기억장치 및 제 3 기억장치에 대한 데이터의 입출력을 제어하는 제어용 블록 등을 추가로 구성시킴으로써, 매우 신속한 처리가 가능해진다.

[0023] 특히 상향데이터처리블록에 있어서, 하향데이터처리블록과 직접 송수신을 행하면서, 연결프레임헤더의 부가나 프레임데이터 자체의 연결처리를 행하거나, 혹은 분할프레임헤더 부가나 프레임데이터 자체의 분할처리를 행하는 회로를 구성시킴으로써, CPU를 우회하여, 하향데이터 중에 포함되는 처리내용이나 다운스트림 처리 자체의 상태를 참조함으로써, 중앙장치로부터의 요구를 정확하며 신속하게 알 수 있어 업스트림 처리로의 피드백도 빨라지므로, 고속 처리의 실행이 가능해진다.

[0024] 특히 하향데이터처리블록에 있어서, 상향데이터처리블록과 직접 송수신을 행하면서, 구문해석, 헤더해석, 데이터 포맷변환 등의 기본처리를 행함으로써, CPU를 우회하여, 상향데이터 중에 포함되는 처리내용이나 업스트림 처리 자체의 상태를 참조하면서 정확한 처리를 신속하게 실행하기가 가능해진다.

[0025] 또, 튜너, 다운스트림 PHY블록, 업스트림 PHY블록, 백엔드부 등을 추가로 구비할 수 있다.

[0026] 본 발명의 쌍방향통신 제어방법은, 하향데이터처리와 상향데이터처리를, 각 데이터의 내용을 상호 송수신하면서 행하는 처리를 포함한다.

[0027] 이 방법에 의해, CPU버스를 통하지 않고 하향데이터처리와 상향데이터처리의 실행이 가능해지므로, CPU버스의 혼잡도를 저감할 수 있다.

[0028] 본 발명에 의하면, CPU처리의 부하경감을 도모하는 것만이 아닌, CPU버스의 혼잡도를 현저하게 경감할 수 있으므로, MAC부로도 불리는 쌍방향통신제어장치의 전송률을 현저히 높일 수 있게 된다. 또 고성능 CPU를 이용할 필요가 없으므로, 쌍방향통신시스템 전체 회로규모의 삭감이 가능할 뿐만 아니라, 회로의 동작주파수 저감이나, 저소비전력화가 실현 가능하여 방열대책도 불필요하게 된다.

[0029] 한편, CPU성능이 유지 혹은, 더욱 고성능화 된 경우에도, 본 발명에 의해 CPU에 의존하는 일없이 전송률을 높일 수 있는 등의 효과가 있으므로, CPU 기능의 일부를 다른 처리용도에 이용할 수 있어, 쌍방향통신제어장치에의 부가기능 추가나 그 주변기능의 도입이 가능해져, 더욱 고성능화로의 상승효과를 기대할 수 있다.

실시예

[0045] (제 1 실시형태)

[0046] -전체구성-

[0047] 도 1은, 제 1 실시형태에 관한 디지털쌍방향통신에 이용되는 통신시스템의 구성을 나타내는 블록회로도이다. 도 1에 나타내는 바와 같이 통신시스템은, 중앙장치(2)와의 사이에서 디지털쌍방향통신을 실행하는 단말장치(1)를 구비한다. 단말장치(1)에는 MAC(Media Access Control)기능을 갖는 MAC부(3)(디지털쌍방향통신장치)와, 단말장치(1)로부터 중앙장치(2)로 송신되는 영상, 음성, 제어데이터 등의 상향데이터에 오류정정부호의 부호화 처리를 실시한 후, 변조함으로써 RF신호를 송신하는 PHY부(4)와, 중앙장치(2)로부터 송신되는 영상, 음성, 제어데이터 등을 포함하는 RF신호를 수신하여 IF신호로 변환하는 튜너(5)와, 화상처리부(7a)나 각종 인터페이스부(7b)를 구비한 백엔드(back-end)부(7)가 구성된다. PHY부(4)는, 다운스트림 PHY블록(4a)과 업스트림 PHY블록(4b)을 구비한다. MAC부(3)는, PHY부(4)에서 복조되는 하향데이터나 변조될 상향데이터를 적절히 처리하여, 각종 화상데이터나 음성데이터를 작성하거나, 화상데이터, 음성데이터, 혹은 중앙장치(2)로부터의 통신제어데이터를 전송하거나, 혹은 쌍방향통신의 제어를 실행한다. 여기서 MAC부(3), PHY부(4) 및 튜너(5)는, 백엔드부(7)에 대해, 프론트엔드(front-end)부(6)로서 기능한다.

[0048] MAC부(3)는, CPU(15) 처리의 일부를 대체하는 기능을 갖는 하향데이터처리블록(11)과, CPU(15) 처리의 일부를 대체하는 기능을 갖는 상향데이터처리블록(12)과, 버스데이터조정처리블록(13)과, CPU버스(14)와, CPU(15)와, 기억장치(16)를 구비한다.

[0049] 하향데이터처리블록(11) 및 상향데이터처리블록(12)의 구체적인 처리 및 기능에 대해서는 뒤에 상세히 설명하기로 한다.

[0050] 버스데이터조정처리블록(13)은, CPU버스(14)로 송신돼오는 각종 데이터의 버스사용 우선도 등을 정하는 처리를 실행한다. 하향데이터처리블록(11)에서 처리된 데이터나, 상향데이터처리블록(12)으로 송신하기 위해 CPU(15)에서 처리된 데이터나, 기억장치(16)에 보존된 데이터는 모두 CPU버스(14)를 통해 송수신되므로, 버스데이터 조정처리블록(13)에서는 이들 데이터가 효율적으로 송수신되도록 적절한 조정을 실행하는 것이다.

[0051] 기억장치(16)에서는, 기본적으로, 대용량 데이터인 하향데이터 처리된 데이터를 보존한다. 그밖에, CPU(15)에 의한 소프트웨어 처리를 실행하기 위한, 일시적으로 데이터를 유지하는 데이터레지스터로서 사용하거나, 암호화 혹은 복호 처리 시에 키데이터의 확인을 위해 미리 참조데이터로서 키데이터의 테이블을 유지하거나, PHS의 신장처리 혹은 압축처리 시에 바이트 처리 수의 최대값 설정인 PHS 인덱스데이터를 유지하는 기능도 갖는다.

[0052] CPU(15)의 처리는 다분기에 걸쳐지나, 전형적인 처리로는 다음과 같은 것이 있다.

[0053] 하나의 중앙장치(2)에 복수의 단말장치(1)가 접속되는 점에서, 중앙장치가 각 단말장치를 정확한 타이밍으로 제어할 수 있도록, 각 단말장치간의 동기처리에 상당하는 랜징(Ranging)이라 불리는 데이터통신제어의 초기설정을 실행한다. 이 가장 기본적인 처리 외에, 후술하는 상향데이터처리 및 하향데이터처리에 있어서, 하향데이터처리블록(11) 중의 각 기능블록이나, 상향데이터처리블록(12) 중의 각 기능블록의 동작제어를 실행한다.

[0054] 여기서 본 실시형태의 쌍방향통신제어장치인 MAC부(3)는, 도 1에 나타내는 바와 같이 각각 CPU(15) 처리의 일부를 대체하는 기능을 갖는 하향데이터처리블록(11)과 상향데이터처리블록(12)을 구비하는 점, 하향데이터처리블록(11)과 상향데이터처리블록(12)이 CPU버스(14)를 우회하여 직접 데이터의 송수신을 실행하도록 구성되는 점이 본 실시형태에 관한 쌍방향통신제어장치의 특징이다.

[0055] -하향데이터처리-

- [0056] 도 2는 하향데이터처리블록(11) 내에 배치되는 각 기능블록(회로)의 예를 나타내는 블록회로도이다. 도 2에 나타내는 바와 같이, 하향데이터처리블록(11)은, 하향데이터 기본처리기능블록(21)과, HCS 검증처리기능블록(22)과, 이더넷 어드레스 필터처리기능블록(23)과, BPI 복호처리기능블록(24)과, CRC 검증처리기능블록(25)과, PHS 복호처리기능블록(26)을 구비한다.
- [0057] 하향데이터 기본처리기능블록(21)은, 통신데이터의 구문해석, 헤더해석 및 포맷변환을 실행한다. 구체적으로 예를 들면, 영상데이터에서의 MPEG구조와, MPEG구조에 매입된 통신망처리용의 서브레이어인 MAC구조의 구조해석처리가 이루어진다. 우선, MPEG구조 데이터 중의 헤더부분이 해석되어 MAC구조데이터를 추출하기 위한 정보가 추출된 후, 실제로 MAC구조데이터가 추출된다. 다음으로 MAC구조데이터 중의 헤더부분이 해석되어 통상의 헤더만이 아닌 확장헤더라 불리는 확장된 필드가 존재할 경우는 그 확장헤더를 해석한다. 이 확장헤더 중에, 암호화의 유무, 기타 암호화 및 복호를 위한 암호처리에 필요한 정보나, Payload Header Suppression(PHS)이라 불리는, 각 프레임의 헤더를 압축시켜 송신하기 위한 처리에 필요한 정보가 존재한다.
- [0058] 여기서 하향데이터 기본처리기능블록(21)에 의한 해석 결과, 확장헤더가 존재하지 않을 경우, 하향데이터는 암호화되지 않고 또 PHS에 의한 압축이 실행되지 않은 것으로 판단되어, 하향데이터로부터 추출된 MAC구조를 갖는 데이터가 그대로 출력된다. 한편, 확장헤더가 존재할 경우, 암호화 유무가 존재하는 필드 및 PHS처리에 관한 정보가 존재하는 필드가 해석되어, 암호화 혹은 PHS처리가 없는 것으로 확인된 경우는, 확장헤더가 존재하지 않는 경우와 마찬가지로 처리가 실행된다. 암호화 혹은 PHS처리가 실행된 것으로 확인된 경우에는, 후술하는 BPI복호처리나 PHS복호처리가 실행된다.
- [0059] 또 하향데이터 기본처리기능블록(21)은, 쌍방향통신을 실행하기 위해 매우 중요한 송수신타이밍을 조정하기 위해, 데이터에 관한 시간기록(time stamp)처리를 행하면서, 상향데이터처리블록(12)과의 송수신도 실행한다.
- [0060] HCS 검증처리기능블록(22)은, 확장헤더에 부가되는 확장헤더용 CRC오류검출부호인 HCS(Header Check Sequence)의 검증을 실행한다.
- [0061] 이더넷 어드레스 필터처리기능블록(23)은, MAC구조 데이터로부터 이더넷구조의 데이터를 추출하여, 각종 이더넷 어드레스의 분류를 실행한다.
- [0062] BPI 복호처리기능블록(24)은, 암호를 복호한다. 암호의 복호를 실행하기 위해서는 예를 들어, TEK(Traffic Encryption Key)라 불리는 암호처리에 필요한 키데이터를 복원할 필요가 있으며, 정확한 TEK를 얻기 위해 SID(Service ID) 및 Key Sequence Number를 확장헤더로부터 추출하고, 이들 2개의 데이터를 근거로 TEK의 확인을 행한 후, 확인된 TEK 자체를 이용하여 DES암호의 복호처리를 거쳐 원래 데이터의 복원처리를 완료한다.
- [0063] CRC 검증처리기능블록(25)은 확장헤더 이외의 통상데이터에 부가되는 CRC 오류검출부호의 검증을 실행한다.
- [0064] PHS 복호처리기능블록(26)은, 헤더데이터 압축처리에 필요한 정보를 처리한다. 확장헤더에는, "PHS필드"라 불리는 헤더데이터 압축처리를 실행해야 할 모든 데이터가 포함하는 범위를 나타내는 파라미터와, "PHS인덱스"라 불리는, 개개의 프레임단위에서 PHS를 실행하기 위한 규칙에 대응한 번호가 할당된다. 여기서 PHS인덱스에 대응하는 PHS의 규칙은, 미리 중앙장치로부터 애플리케이션층의 소프트웨어 처리를 통해 알려진다. 예를 들어 전체 바이트의 헤더를 압축하거나, 1바이트, 혹은 2바이트별로 헤더를 압축하는 식의 규칙이 미리 정의된 것이다. PHS 복호처리는, 이들 2개의 파라미터에 의해, 압축된 데이터의 복원을 실행하는 것이다. PHS필드에 의해, PHS처리가 실행된 데이터 범위가 추출되며(최대 256바이트), PHS인덱스에 의해, 특히 PHS필드로 표시되는 범위의 데이터에 대해 어떻게 미리 정의된 규칙인가를 추출할 수 있다. 이들을 근거로, PHS 복호처리기능블록(26)은 중앙 쪽에서 송신된 PHS처리된 데이터를 복호한다.
- [0065] 이와 같이 하여 처리된 하향데이터는, 버스데이터 조정처리블록(13)을 거칠 때, 적절한 타이밍제어를 받음으로써 CPU버스(14) 상으로 송출된 후, 기억장치(16)에 보존된다. 적절한 기간 보존된 데이터는, 통신망 통신프로토콜의 MAC층으로부터 더 상위의 레이어처리, 예를 들어 QoS(Quality of Service) 등의 처리를 실행하기 위해, CPU(15)로 전송되어 소프트웨어처리가 실시된다. 혹은 재차 CPU버스(14) 상으로 송출된 후, 상향데이터처리가 실시된다.
- [0066] 도 3은 제 1 실시형태의 단말장치(1)에서 하향데이터 처리의 순서를 나타내는 흐름도이다.
- [0067] 단계(ST11)에서, 중앙장치(2)로부터 통신데이터가 전송되면, 우선 단계(ST12)에서 튜너(5)에 의해 이 통신데이터에 대응하는 채널주파수가 선국된다.
- [0068] 다음으로 단계(ST13)에서, 다운스트림 PHY블록(4a)에서 디지털복조 및 오류정정처리를 실시하여 디지털데이터를

복원한다.

- [0069] 다음에, 단계(ST14)에서, MAC부(3)에 의한 각종 쌍방향데이터 제어를 행할지 여부를 CPU(15)에 의해 판별한다. 그리고 판별결과가 쌍방향데이터 제어를 행하는 Yes일 경우에는 단계(ST15) 이하의 MAC부(3)에 의한 처리를 행하는 한편, 판별결과가 쌍방향데이터 제어를 행하지 않는 No일 경우에는 MAC부(3)에 의한 처리를 실행하지 않고 단계(ST27)로 점프한다.
- [0070] 다음으로 단계(ST15)에서, 하향데이터 기본처리기능블록(21)에 의해 구문해석, 헤더해석 및 데이터 포맷변환을 실행한다. 또 하향데이터 기본처리기능블록(21)에 의해 단계(ST16)에서의 상향데이터처리 쪽으로 각종 데이터의 상태 및 제어신호를 보내는 처리와, 단계(ST17)에서의 상향데이터처리 쪽으로부터 각종 데이터의 상태 및 제어신호를 수신하는 처리를 실행한다.
- [0071] 다음에 단계(ST18)에서, HCS 검증처리기능블록(22)에 의해 상술한 HCS 검증처리를 실행한다. 그 후 단계(ST19)에서, 통신데이터의 오류가 있는지 여부를 판별한다. 판별 결과, 통신데이터에 오류가 있을 경우에는 단계(ST20)로 이행하여 통신데이터를 과기한다. 한편 통신데이터에 오류가 없을 경우에는 단계(ST21) 이하의 처리를 실행한다.
- [0072] 다음, 단계(ST21)에서 이더넷어드레스 필터처리기능블록(23)에 의해 상술한 바와 같은 이더넷어드레스 필터링 처리를 실행한다.
- [0073] 다음으로 단계(ST22)에서, BPI 복호처리기능블록(24)에 의해 상술한 바와 같은 BPI 복호처리를 실행한 후, 단계(ST23)에서 CRC 검증처리기능블록(25)에 의해 상술한 바와 같은 CRC 검증처리를 실행한다.
- [0074] 이어서 단계(ST24)에서, CPU(15)에 의해 통신데이터의 오류가 있는지 여부를 판별한다. 판별 결과, 통신데이터에 오류가 있을 경우에는 단계(ST25)로 이행하여 통신데이터를 과기한다. 한편 통신데이터에 오류가 없을 경우에는 단계(ST26)의 처리를 실행한다.
- [0075] 단계(ST26)에서는 PHS 복호처리기능블록(26)에 의해 상술한 바와 같은 PHS복호처리를 실행한다. 그 후 단계(ST27)로 진행하여 백엔드부(7)로 통신데이터를 송신하고, 백엔드부(7)에서 화상 등의 각종 데이터처리를 행한다.
- [0076] -상향데이터처리-
- [0077] 다음으로, 상향데이터처리블록(12)의 기능블록에 대해 설명한다. 단말장치(1)로부터 중앙장치(2)로 송신되는 영상 및 전송제어데이터인 상향데이터는, CPU(15)에서 소프트웨어 처리를 받은 데이터 혹은 기억장치(16)에 보존된 데이터를 기초로 생성되는 것이다. 즉, 버스데이터 조정처리블록(13)의 제어에 의해, CPU(15)에서 소프트웨어 처리를 받은 데이터 혹은 기억장치(16)에 보존된 데이터가 적절한 타이밍으로 CPU버스(14)를 통해 상향데이터처리블록(12)으로 송신된 데이터를, 상향데이터처리블록(12)에서 가공, 처리함으로써 상향데이터가 생성된다.
- [0078] 상향데이터 처리의 기본적 처리로서, CRC 등의 오류검출용 부호의 부가, MAC구조를 나타내기 위한 각종 헤더 및 확장헤더의 부가, PHS처리에 의한 데이터압축, 및 데이터의 암호화 등이 이루어진다. 또한 업스트림 특유의 처리로서, 분할처리(fragmentation) 및 연결처리(concatenation)가 이루어진다. 이는 다운스트림과는 달리, 업스트림은 좁은 대역에서 복수의 단말장치가 동시에 통신을 실행하기 때문에, 충분한 전송률을 확보할 수 없는 경우도 많으며, 이를 극복하기 위해 사이즈가 큰 데이터를 적절한 크기로 분할하는 기구, 및 작은 사이즈의 데이터를 적절한 크기로 종합하여 송신하는 기구가 포함된다. 분할처리란, 중앙장치(2)와의 송수신에 대응하여, 단말장치(1)에서 통신데이터를 적절한 크기로 분할하는 처리를 실행하는 것을 의미하며, 연결처리(연결프레임 처리)란, 적절한 크기로 데이터를 종합하는 처리를 실행하는 것을 의미한다.
- [0079] 도 4는, 상향데이터처리블록(12) 내에 배치되는 각 기능블록(회로)의 예를 나타내는 블록회로도이다. 도 4에 나타내는 바와 같이 상향데이터처리블록(12)은, 데이터를 압축시켜 송신하기 위한 처리에 필요한 정보인 PHS를 부호화하는 PHS 부호화처리기능블록(31)과, 헤더 이외의 통상데이터에 대해 CRC 오류검출부호를 부가하는 CRC 부가처리기능블록(32)과, 확장헤더에 대해 확장헤더용 CRC 오류검출부호인 HCS를 부가하는 HCS 부가처리기능블록(33)과, 연결프레임헤더(concatenation header)를 부가하는 연결프레임헤더 부가처리기능블록(34)과, 연결프레임헤더용 HCS를 부가하는 연결프레임 HCS 부가처리기능블록(35)과, 통상 프레임헤더를 부가하는 통상프레임헤더 부가처리기능블록(36)과, 통상프레임 HCS를 재부가하는 통상프레임 HCS 재부가처리기능블록(37)과, 상향데이터의 송신이나, 스케줄링이나, 송신파라미터의 생성을 실행하는 송신·스케줄링·송신파라미터 생성기능블록(38)과, 분할프레임헤더(fragmentation header)를 부가하는 분할프레임헤더 부가처리기능블록(39)과, 분할프레임

HCS를 추가하는 분할프레임 HCS 부가처리기능블록(40)과, BPI 암호화처리기능블록(41)을 구비한다.

- [0080] 도 5는 상향데이터처리의 순서를 나타내는 흐름도이다. 도 12의 (a), (b)는, 연결프레임처리를 실행하기 전의 통상프레임 구조, 및 연결프레임처리를 실행한 후의 연결프레임 구조를 나타내는 도이다. 도 13의 (a), (b)는, 분할프레임처리를 실행하기 전의 통상프레임 구조, 및 분할프레임처리를 실행한 후의 분할프레임 구조를 나타내는 도이다. 단 도 12의 (a), (b)는, 2개의 통상프레임을 연결한 예를, 도 13의 (a), (b)는, 통상프레임을 2개로 분할한 예를 각각 나타내나, 모두 3개 이상의 연결 또는 분할이 가능하다.
- [0081] 이하, 도 12의 (a), (b) 및 도 13의 (a), (b)를 참조하면서, 도 5의 흐름도를 따라 상향데이터처리에 대해 설명한다. 여기서는 하향데이터처리와 비교하여 상향데이터처리가 취급하는 데이터량이 작은 점 및 실시간 처리하는 처리속도가 느린 점에 착안하여, 일반적으로 CPU부하가 특히 커지는 요인이 되는 오류검출부호의 부가 및 암호화처리 이외에는, CPU(15)에서 처리가 실시된 데이터가 입력되는 예에 대해 서술한다.
- [0082] 단계(ST31)에서, 백엔드부(7)로부터 MAC부(3)로 화상 등의 각종 데이터가 입력되면, 단계(ST32)에서, PHS 부호화처리기능블록(31)에 의해, 입력된 데이터의 구조를 해석함으로써, 입력데이터 중의 헤더, 확장헤더, 및 통상데이터를 판별하여 PHS를 실행하는 범위를 규정하는 PHS필드, 어떠한 압축을 행하는가의 처리를 규정한 처리내용에 대응하는 PHS인덱스를 결정한 후, 실제의 PHS부호화처리를 실행한다.
- [0083] 그 후 단계(ST33)에 있어서, 헤더 이외의 통상데이터에 대해서는 CRC 부가처리기능블록(32)에 의해 CRC오류검출부호를 부가하고, 단계(ST34)에서, 확장헤더에 대해서는 HCS 부가처리기능블록(33)에 의해 확장헤더용 CRC 오류검출부호인 HCS부호를 부가한다. 단말장치에서는 일반적으로, 복수의 SID를 동시에 취급한다. 즉 복수의 데이터를 동시에 취급하므로, 단계(ST33)에서의 CRC부호 부가처리와, 단계(ST34)에서의 HCS부호 부가처리는, 병렬로 처리된다.
- [0084] 다음으로 단계(ST35)에서 CPU(15)에 의해, 중앙장치(2)가 연결프레임처리(concatenation 처리)를 요구하는지 여부의 체크를 실행한다. 그리고 연결이 요구되는 Yes일 경우에는, 처리할 데이터크기를 체크한다. 이때 데이터크기가, 중앙장치(2)가 요구하는 데이터크기보다 작을 때는 연결프레임처리를 실행한다. 즉 중앙장치(2)가 요구하는 데이터크기를 초과하지 않는 근사값까지 데이터를 묶는 처리를 실행한다. 즉 도 12의 (a)에 나타내는 예를 들어 2개의 통상프레임을, 도 12의 (b)에 나타내는 1개의 연결프레임으로 연결하는 연결프레임 처리를 실행한다.
- [0085] 그리고 데이터가 적절한 크기로 된 시점에서 연결처리를 끝내고, 단계(ST36)에서 실행한 내용을 나타내는 연결프레임헤더(concatenation header)를 부가한다(도 12의 (b) 참조). 이때 단계(ST37)에서, 송신·스케줄링·송신파라미터 생성기능블록(38)에 의해 하향데이터 처리블록(11)과의 데이터 송수신을 행하는 동시에, 버스데이터조정처리블록(13) 및 CPU버스(14)를 통해 기억장치(16)와의 데이터 송수신을 실행한다. 그리고 단계(ST37)에서 상향데이터의, 송신·스케줄링·송신파라미터 생성 등의 처리내용에 따라, 단계(ST36)의 처리가 이루어진다.
- [0086] 다음에 단계(ST39)에서, 연결프레임 HCS 부가처리기능블록(35)에 의해 도 12의 (b)에 나타내는 바와 같이, 연결프레임헤더용 HCS를 계산하여 부가한 상태에서, 연결프레임처리 후의 연결프레임데이터용 CRC(오류검출부호)를 부가한다.
- [0087] 다음으로 단계(ST36, ST37)의 처리를 종료한 후, 혹은 단계(ST35)의 판별이 연결프레임 처리를 행하지 않는 No일 경우에는, 단계(ST40)에서 통상프레임헤더 부가처리기능블록(36)에 의해, 단계(ST37)의 처리에 따라 통상프레임헤더 부가처리를 실행한다. 한편, 연결프레임 처리가 필요 없는 경우는, 처리하지 않는 데이터를 그대로 다음 처리에 사용한다.
- [0088] 또 단계(ST41)에서, 통상프레임 HCS 재부가처리기능블록(37)에 의해 통상프레임 HCS의 재부가 처리를 행한다.
- [0089] 다음으로 단계(ST42)에서, CPU(15)에 의해 중앙장치(2)가 분할프레임 처리(fragmentation)를 요구하는지 여부를 판별한다. 분할프레임 처리가 필요한 Yes일 경우에는 단계(ST43)로 진행하여 처리데이터의 크기를 체크하고, 중앙장치가 요구하는 크기로 데이터를 분할한다. 즉 도 13의 (a)에 나타내는 1개의 통상프레임을, 도 13의 (b)에 나타내는 예를 들어 2개의 통상프레임 분할부분으로 분할하는 분할프레임 처리를 행한다. 그리고 분할프레임헤더 부가처리기능블록(39)에 의해, 분할된 각 통상프레임 분할부분에 대해, 도 13의 (b)에 나타내는 바와 같은 분할프레임헤더를 부가한다. 이때 단계(ST37)에서의 상향데이터 송신, 스케줄링, 송신파라미터 생성 등의 처리내용에 따라, 단계(ST43)의 처리가 실행된다. 또 단계(ST44)에서, 분할프레임헤더(fragment header)용 HCS를 부가하는 동시에, 분할프레임데이터용 CRC를 부가한다. 한편 분할프레임 처리가 필요 없는 경우에는 처리하지 않

는 그대로의 데이터를 사용한다.

- [0090] 또 단계(ST36, ST40 및 ST43)의 처리가 종료된 후는 각각, 단계(ST38)에서 각종 상태 및 제어신호를 하향데이터 처리블록(11)으로 송신한다.
- [0091] 마지막으로 단계(ST45)에서, 이상과 같이 오류검출부호가 부가된 데이터를 암호화한다. 암호화처리에서는, 하향 데이터처리와 마찬가지로 우선, 암호화를 행하는 키 데이터가 올바른지를 확인하기 위해, SID 및 Key Sequence Number를 확인한 후, 그 키데이터에 의해 DES암호의 암호화 처리를 실행한다. 이렇게 암호화된 데이터를, 하향 데이터 처리 시에 행하는 시간기록(time stamp)처리를 참조하면서 데이터 송신 타이밍을 조정하고, 최종적으로 적절한 타이밍에서 중앙장치로 데이터를 송신한다.
- [0092] 본 실시형태의 쌍방향통신제어장치에 의하면, 단말장치(1)의 MAC부(3) 내에 하향데이터처리블록(11) 및 상향데이터처리블록(12)을 구성시키므로, 종래의 쌍방향통신장치에서는 CPU가 행했던 처리를 CPU(15)가 하지 않아도 되게 되어, CPU(15)의 부담이 대폭으로 경감된다. 또 종래의 쌍방향통신장치(MAC부)에서는, CPU와 기억장치 사이에서 CPU버스를 통해 빈번한 데이터 송수신이 필요했으나, 본 실시형태에 의해 CPU버스(14)를 통과하는 일없이, 하향데이터처리블록(11) 및 상향데이터처리블록(12)에서 통신데이터가 처리된다. 따라서 현실적인 원가 범위의 범용CPU를 사용해도 데이터 처리효율의 향상을 도모할 수 있다.
- [0093] 또 고성능CPU를 이용할 필요가 없어지므로, 통신시스템 전체의 회로규모 삭감이 가능할 뿐만 아니라, 회로의 동작주파수 저감이나 저소비전력화가 실현되어 방열대책도 필요 없게 된다.
- [0094] 한편, CPU성능이 유지 혹은 더욱 고성능화 된 경우에도, 본 실시형태의 쌍방향통신제어장치(MAC부)에 의해, CPU에 의존하는 일없이 전송률을 높일 수 있는 등의 효과가 있으므로, CPU 기능의 일부를 다른 처리용도에 이용할 수 있으며, 쌍방향통신제어장치에의 부가기능 추가나 그 주변기능의 도입이 가능해져, 보다 고성능화로의 상승 효과가 기대된다.
- [0095] 특히, MAC부(3)에 있어서 연결프레임헤더 부가처리회로(34)나, 분할프레임헤더 부가처리회로(39)를 배치하기 때문에, CPU(15)를 우회함으로써, 순차적으로 CPU와의 송수신을 실행하지 않아도 신속하게 데이터처리를 행할 수 있으므로, CPU로부터의 명령을 기다려 데이터전송포맷을 정비하는 시간을 압도적으로 단축할 수 있다. 결과적으로 데이터의 전송률도 향상된다. 또 하향데이터처리블록(11)의 처리내용이나 중앙장치로부터의 요구에 따른 내용을 하향데이터 중에서 추출하고, 그 결과에 따른 처리를 행할 때도, CPU와의 송수신 대기시간 없이 실시간으로 처리할 수 있는 점에서, 단순히 전송률을 높이는 것만이 아닌 실시간성을 유지함에 따른 처리의 정밀도, 정확성을 향상시킬 수도 있게 된다.
- [0096] 또 MAC부(3)에서, 구문해석, 헤더해석, 데이터 포맷변환 등을 행하는 하향데이터 기본처리회로(21)를 배치하므로, 상기한 처리와는 역으로 CPU(15)를 우회하여, 상향데이터처리블록(12)에서의 처리내용에 따른 내용을 다운스트림 처리에 정확하게 실시간성을 확보하면서 반영시킬 수 있으므로, 처리를 신속하며 정확하게 행하기가 가능해진다.
- [0097] -제 1 실시형태와 종래의 쌍방향통신제어장치의 비교-
- [0098] 본 발명에서는, 다운스트림 및 업스트림 처리에 있어서, 버스조정이 필요한 처리가 매우 적어져 전송속도가 빨라진다. 그 일례를 도 3의 하향데이터 처리에 관한 흐름도를 이용하여 설명한다.
- [0099] 도 14는 본 실시형태의 도 3에 나타내는 흐름도에서, CPU에 의한 버스조정이 필요한 처리단계를 해칭으로 표시한 흐름도이다. 도 15는 종래의 쌍방향통신제어장치의 도 3에 나타내는 흐름도 상당의 제어에 있어서, CPU에 의한 버스조정이 필요한 처리단계를 해칭으로 표시한 흐름도이다.
- [0100] 도 14에 나타내는 바와 같이 본 발명에서는, 상향데이터처리블록(12) 및 하향데이터처리블록(11)을 전용으로 구비함으로써, 각각의 처리는 기본적으로 모두 전용 데이터처리블록에 의해 실행할 수 있다. 이로써 CPU를 이용하여 각 처리를 실행할 필요가 없으므로, CPU와 기억장치를 얼마나 효율적으로 전송하는가의 버스조정처리가 기본적으로는 거의 필요 없다. 즉 도 14에 나타내는 바와 같이, 하향데이터처리에서의 각 처리는 모두 전용 처리블록에 의해 순차 실시간으로 처리되므로, 버스조정이 필요한 해칭된 단계가 거의 없다. 단 도 1에 나타내는 상향 데이터처리블록(12)과의 사이에서 데이터 송수신의 제어처리(단계 ST16, ST17)에 대해서는, 각각 전용 데이터처리블록 단독으로는 실행되지 못하므로, CPU(15)에 의한 제어가 필요하다. 이때는 CPU, 기억장치, 및 상향데이터 처리블록(12) 및 하향데이터처리블록(11) 사이에서의 버스조정이 필요하다.
- [0101] 한편 도 15에 나타내는 바와 같이, 종래의 쌍방향통신제어장치를 이용할 경우에는, 전용 데이터처리블록을 갖지

않으므로 기본적으로 CPU가 모든 처리를 실행하게 된다. 때문에, 실시간 처리가 필요한 하향데이터처리에 있어서, 구문해석(단계 ST15'), HCS처리(단계 ST18')를 비롯해, BPI복호처리(단계 ST22'), CRC처리(단계 ST23'), PHS복호처리(단계 ST26') 등의 매우 처리량이 많은 처리에 대해 CPU에 의한 버스조정이 필요하게 된다. 이들 처리는, CPU에 부하가 걸리는 처리이나, 적절한 타이밍에서 기억장치와의 관독기입을 실행한 상태에서 연산처리를 행하기 때문에, CPU에 의한 버스조정이 필요하다. 물론 종래의 쌍방향통신제어장치를 이용한 경우에는, 하향데이터를 상향데이터로서 전송하는 처리(단계 ST16')나, 상향데이터의 각종 데이터 상태 및 제어신호를 하향데이터로서 수신하는 처리(단계 ST17')에서도, CPU에 의한 버스조정이 필요하다. 또 종래의 쌍방향통신제어장치를 이용할 경우에는, 이더넷어드레스 필터링처리(단계 ST21')나, 백엔드부로의 송신처리(단계 ST27')에서도 CPU에 의한 버스조정이 필요하다.

[0102] 이와 같이 본 발명에서는 전용 데이터처리블록을 구성시킴으로써, CPU에서는 극히 일부의 명령만을 처리하면 되게 되어, 처리의 고속화를 도모할 수 있다.

[0103] (제 2 실시형태)

[0104] 도 6은, 제 2 실시형태에 관한 디지털 쌍방향통신장치인 MAC부의 구성을 나타내는 블록회로도이다. 본 실시형태에서도, 통신시스템 중 MAC부 이외 부분의 구성은 제 1 실시형태와 마찬가지로, MAC부 이외 부분에 대한 도시 및 설명은 생략한다. 도 6에 나타내는 바와 같이 본 실시형태의 MAC부는, 도 1에 나타내는 MAC부(3) 중의 각 요소에 추가로, 일시적으로 데이터를 유지하는 레지스터를 내부에 배치한 데이터프로세서(17)를 구비한다.

[0105] 본 실시형태에 있어서는, MAC부에 데이터프로세서(17)를 구비함으로써, 이하와 같은 처리 및 이점을 실현할 수 있다.

[0106] 버스데이터 조정처리블록(13)이 아무리 효율적으로 통신데이터를 전송한 경우라도, 데이터의 전송속도는 CPU버스(14)에서 반드시 율속된다. 그래서 데이터프로세서(17)는 CPU버스(14)의 혼잡도를 저감하기 위해, CPU(15)의 처리, 하향데이터처리블록(11), 혹은 상향데이터처리블록(12) 기능의 일부를 대용하는 등, 데이터의 전송처리를 보조하는 기능을 갖는다.

[0107] 하향데이터처리를 실행할 경우, 본 실시형태에서도 제 1 실시형태와 마찬가지로, 하향데이터처리블록(11)은 하향데이터의 구문해석을 실행하여 MAC구조데이터를 추출한 후, 암호의 복호, PHS압축 해제를 거쳐 필요한 정보를 복원한다.

[0108] 또한 이때 본 실시형태에서는, 데이터프로세서(17)에 의해, 상향데이터처리블록(12) 및 하향데이터처리블록(11)의 상호 처리에 관련된 제어가 이루어진다. 예를 들어 상향데이터처리블록(12) 및 하향데이터처리블록(11)의 상호 타이밍을 조정하기 위한 시간기록 처리, 혹은 다른 단말장치와의 동기/랜징을 취하기 위한 처리 등에 대해서는 복잡한 제어가 필요하여, 데이터의 송수신을 연속적으로 모니터링하면서 스케줄링을 실시하거나, 송신파라미터를 생성하거나 하는 식의 실시간 처리가 필요하다. 그래서 본 실시형태에서는 이들 처리를, CPU버스(14)를 통한 CPU(15)에의 전송을 거치지 않고, 레지스터 기능을 구비한 데이터프로세서(17)에 의해 실행시킴으로써, CPU버스(14)의 혼잡도를 저감할 수 있다.

[0109] 또 순수한 상향데이터 처리를 실행할 경우, CPU(15)와 상향데이터처리블록(12) 사이에서 높은 빈도로 전송을 실행하는 실시간 처리는, 도 5에 나타내는 단계 ST33, ST39, ST41, ST44 등에서의 CRC 부가처리이다. 그래서 본 실시형태의 데이터프로세서(17)에서는, 통상의 헤더부가에 따르는 HCS부가처리 및 데이터 CRC부가처리(단계 ST33, 34) 이외의, 오류검출부호용 CRC계산을 실행한다. 즉 도 5에 나타내는 연결프레임처리(concatenated frame process)에 따르는 연결프레임헤더용 HCS와 연결프레임데이터용 CRC 부가처리(단계 ST39), 및 분할프레임처리(fragmentation)에 따르는, 분할프레임헤더용 HCS와 분할프레임데이터용 CRC 부가처리(단계 ST44)는, 본 실시형태에서 데이터프로세서(17)에 의해 실행된다. 이들 처리는, 데이터프로세서(17)에 의해 실행되는 처리의 일례이며, 데이터프로세서(17)에 의해 기타 보조적인 처리를 실행할 수 있다.

[0110] 본 실시형태의 디지털 쌍방향통신장치에 의하면, 제 1 실시형태와 동일 효과를 발휘할 수 있음과 더불어, 하향데이터처리블록(11), 상향데이터처리블록(12), 및 CPU(15) 기능의 각 일부를 데이터프로세서로 대체하는 것이 가능해진다. 예를 들어 하향데이터처리블록(11)과 상향데이터처리블록(12)의 상호 타이밍 조정이나, CRC부호, HCS 부가처리를 데이터프로세서(17)가 실행하는 것이 가능해지며, 따라서 CPU(15)의 부하경감 및 CPU버스(14)의 혼잡도 경감을 한층 도모할 수 있어 전송률의 보다 나은 향상이 가능해진다.

[0111] (제 3 실시형태)

- [0112] 도 7은, 제 3 실시형태에 관한 디지털 쌍방향통신장치인 MAC부의 구성을 나타내는 블록회로도이다. 본 실시형태에서도, 통신시스템 중 MAC부 이외 부분의 구성은 제 1 실시형태와 마찬가지로, MAC부 이외 부분에 대한 도시 및 설명을 생략한다. 도 7에 나타내는 바와 같이 본 실시형태의 MAC부는, 도 1에 나타내는 MAC부(3) 중의 각 요소에 추가로, 부기억장치(18)를 구비한다.
- [0113] 본 실시형태에 있어서는 MAC부에, 기억장치(16)(제 1 기억장치)와 더불어 부기억장치(18)(제 2 기억장치)를 구비함으로써, 이하와 같은 처리 및 이점을 실현할 수 있다.
- [0114] 버스데이터 조정처리블록(13)이 아무리 효율적으로 통신데이터를 전송한 경우라도, 데이터의 전송속도는 CPU버스(14)에서 반드시 율속된다. 본 실시형태의 부기억장치(18)는 제 2 실시형태와 달리, 데이터프로세서와 같은 복잡한 기능을 실현하는 블록을 준비하는 일없이 CPU버스(14)의 혼잡도를 저감하는 것이다.
- [0115] 하향데이터처리를 실행할 경우, 본 실시형태에서도 제 1 실시형태와 마찬가지로, 하향데이터처리블록(11)은 하향데이터의 구문해석을 실행하여 MAC구조데이터를 추출한 후, 암호의 복호, PHS압축 해제를 거쳐 필요한 정보를 복원한다.
- [0116] 또한 본 실시형태에서는 암호의 복호를 실행할 때, 키 데이터가 올바른지 여부를 판단 확인하기 위해, 미리 유도시켜줄 필요가 있는 데이터인 SID나 Key sequence Number가 부기억장치(18)에 보존된다. 상술한 바와 같이, 통상 단말장치에서는 복수의 SID를 동시에 취급할 필요가 있으며, 암호의 복호를 실행하는 데이터의 종류도 복수 종류 존재하여, SID 및 Key sequence Number를 확인하는 처리도 빈번하게 필요하다. 그러나 데이터의 내용 자체는 그다지 빈번하게 기입 변경할 필요가 없다. 그래서 본 실시형태에서는, 부기억장치(18)에 CPU버스(14)를 통해, 기억장치(16) 혹은 CPU(15)로부터 데이터를 수신하여 보존하기가 가능함과 동시에, 직접 부기억장치(18)와 상향데이터처리블록(12) 혹은 하향데이터처리블록(11) 사이에서 데이터의 송수신을 실행하는 것도 가능하다. 예를 들어 하향데이터 처리에서는, SID나 Key sequence Number 외에, PHS 시의 필드를 규정하는 PHSF, 및 PHS를 실행하는 최대 바이트 수를 규정하는 PHSI에 관한 데이터도 부기억장치(18)에 보존한다.
- [0117] 또 상향데이터 처리를 실행할 경우, 부기억장치(18)에 하향데이터 처리 시와 마찬가지로, 데이터의 암호화를 실행할 때 참조할 SID 및 Key sequence Number를 보존하거나, 혹은 여러 가지 처리의 종류를 판단하기 위한 지표가 될 IUC(Interval Usage Code)나 각종 MAC어드레스를 보존시켜줄 수 있다. 따라서 CPU(15) 및 기억장치(16)와, 상향데이터처리블록(12)의 송수신 빈도가 저감된다.
- [0118] 즉 본 실시형태의 부기억장치(18)(제 2 기억장치)에 의해, CPU(15)에 의한 제어를 필요로 하지 않는 처리에 대해서는, CPU버스(14)를 우회하여 하향데이터처리블록(11) 또는 상향데이터처리블록(12)과 부기억장치(18) 사이의 데이터 송수신을 실행할 수 있으므로, 제 1 실시형태와 마찬가지로 효과와 더불어, CPU버스(14)의 혼잡도를 한층 저감할 수 있으며, 따라서 데이터 전송률의 보다 나은 향상이 가능해진다.
- [0119] (제 4 실시형태)
- [0120] 도 8은, 제 4 실시형태에 관한 디지털 쌍방향통신장치인 MAC부의 구성을 나타내는 블록회로도이다. 본 실시형태에서도, 통신시스템 중 MAC부 이외 부분의 구성은 제 1 실시형태와 마찬가지로, MAC부 이외 부분에 대한 도시 및 설명을 생략한다. 도 8에 나타내는 바와 같이 본 실시형태의 MAC부는, 도 1에 나타내는 MAC부(3) 중의 각 요소에 추가로, 부기억장치(18)를 구비한다.
- [0121] 본 실시형태의 디지털 쌍방향통신장치(MAC부)는, 제 3 실시형태와 마찬가지로 부기억장치(18)를 구비하나, 제 3 실시형태에서는 부기억장치(18)가 CPU버스(14)를 통해 CPU(15)와 데이터의 송수신을 실행하는데 반해, 본 실시형태에서는, 기억장치(16)(제 1 기억장치)와 부기억장치(18)(제 2 기억장치)가 CPU버스(14)를 통하지 않고 직접 데이터를 송수신하는 것이 가능하므로, 제 3 실시형태보다 CPU버스(14)의 혼잡도를 더욱 저감할 수 있다.
- [0122] 하향데이터처리를 실행할 경우, 본 실시형태에서도 제 1 실시형태와 마찬가지로, 하향데이터처리블록(11)은 하향데이터의 구문해석을 실행하여 MAC구조데이터를 추출한 후, 암호의 복호, PHS압축 해제를 거쳐 필요한 정보를 복원한다.
- [0123] 또한 본 실시형태에서는 암호의 복호를 실행할 때, 키 데이터가 올바른지 여부를 판단 확인하기 위해, 미리 유도시켜줄 필요가 있는 데이터인 SID나 Key sequence Number가 부기억장치(18)에 보존된다. 상술한 바와 같이, 통상 단말장치에서는 복수의 SID를 동시에 취급할 필요가 있으며, 암호의 복호를 실행하는 데이터의 종류도 복수 종류 존재하여, SID 및 Key sequence Number를 확인하는 처리도 빈번하게 필요하다. 그러나 데이터의 내용 자체는 그다지 빈번하게 기입 변경할 필요가 없다. 그래서 본 실시형태에서는, 부기억장치(18)가 CPU버스(14)를

통하지 않고, 기억장치(16)에 보존된 데이터를 직접 수신하여, 상향데이터처리블록(12) 혹은 하향데이터처리블록(11)과의 데이터 송수신을 실행한다. SID나 Key sequence Number 외에, PHS 시의 필드를 규정하는 PHSF, 및 PHS를 실행하는 최대 바이트 수를 규정하는 PHSI에 관한 데이터도 부기억장치(18)에 보존되는데, 이 데이터를 입수할 때, 직접 전송경로를 이용함으로써 CPU버스(14)의 혼잡도를 제 3 실시형태보다 더욱 저감할 수 있다.

[0124] 또 상향데이터 처리를 실행할 경우, 부기억장치(18)에 하향데이터 처리 시와 마찬가지로, 데이터의 암호화를 실행할 때 참조할 SID 및 Key sequence Number를 보존하거나, 혹은 여러 가지 처리의 종류를 판단하기 위한 지표가 될 IUC(Interval Usage Code)나 각종 MAC어드레스를, 직접 전송경로를 이용하여 보존시켜둘 수 있다. 따라서 CPU(15) 및 기억장치(16)와, 상향데이터처리블록(12)의 송수신 빈도가 한층 저감되어, 전송물의 보다 나은 향상이 가능해진다.

[0125] (제 5 실시형태)

[0126] 도 9는, 제 5 실시형태에 관한 디지털 쌍방향통신장치인 MAC부의 구성을 나타내는 블록회로도이다. 본 실시형태에서도, 통신시스템 중 MAC부 이외 부분의 구성은 제 1 실시형태와 마찬가지로, MAC부 이외 부분에 대한 도시 및 설명은 생략한다. 도 9에 나타내는 바와 같이 본 실시형태의 MAC부는, 도 1에 나타내는 MAC부(3) 중의 각 요소에 추가로, 데이터프로세서(17)와 부기억장치(18)를 구비한다.

[0127] 본 실시형태의 디지털 쌍방향통신장치(MAC부)는, 제 2 실시형태와 마찬가지로 데이터프로세서(17)를 구비하며, 또 제 3 실시형태와 마찬가지로 부기억장치(18)(제 2 기억장치)를 구비함으로써 이하의 효과를 발휘할 수 있다.

[0128] 즉, 기억장치(16)와 하향데이터처리블록(11) 및 상향데이터처리블록(12)이, 버스데이터 조정처리블록(13) 및 CPU(15)를 통하지 않고 직접 데이터를 송수신할 수 있으므로, 상향데이터처리블록(12) 및 하향데이터처리블록(11)과의 데이터 송수신 빈도를 경감할 수 있다.

[0129] 또 본 실시형태의 부기억장치(18)(제 2 기억장치)에 의해, CPU(15)에 의한 제어를 필요로 하지 않는 처리에 대해서는, CPU버스(14)를 우회하여 하향데이터처리블록(11) 또는 상향데이터처리블록(12)과 부기억장치(18) 사이의 데이터 송수신을 행할 수 있다.

[0130] 따라서 본 실시형태에 의해 CPU버스(14)의 혼잡도를 한층 경감할 수 있음으로써, 데이터 전송물의 보다 나은 향상이 가능해진다.

[0131] (제 6 실시형태)

[0132] 도 10은, 제 6 실시형태에 관한 디지털 쌍방향통신장치인 MAC부의 구성을 나타내는 블록회로도이다. 본 실시형태에서도, 통신시스템 중 MAC부 이외 부분의 구성은 제 1 실시형태와 마찬가지로, MAC부 이외 부분에 대한 도시 및 설명은 생략한다. 도 10에 나타내는 바와 같이 본 실시형태의 MAC부는, 도 1에 나타내는 MAC부(3) 중의 각 요소에 추가로, 부기억장치(18)와 캐시기억장치(19)를 구비한다.

[0133] 본 실시형태에서는 MAC부에, 기억장치(16)(제 1 기억장치)와 더불어 부기억장치(18)(제 2 기억장치)와, 캐시기억장치(19)를 구비함으로써 다음과 같은 처리 및 이점을 실현할 수 있다.

[0134] 본 실시형태에서는, 제 3 실시형태, 제 4 실시형태, 혹은 제 5 실시형태의 부기억장치(18)(제 2 기억장치) 기능의 일부를 캐시기억(cache storage)장치(19)(제 3 기억장치)가 담당한다.

[0135] 즉, 하향데이터처리를 실행할 경우, 암호의 복호를 실행할 때, 미리 유지시켜둘 필요가 있는 데이터인 SID나 Key sequence Number는 캐시기억장치(19)에 보존한다. 또 PHS 시의 필드를 규정하는 PHSF, 및 PHS를 실행하는 최대 바이트 수를 규정하는 PHSI에 관한 데이터도 캐시기억장치(19)에 보존된다.

[0136] 또한 상향데이터 처리를 실행할 경우, 하향데이터 처리 시와 마찬가지로 캐시기억장치(19)에, 데이터의 암호화를 실행할 때 참조할 SID 및 Key sequence Number를 보존하거나, 혹은 여러 가지 처리의 종류를 판단하기 위한 지표가 될 IUC(Interval Usage Code)나 각종 MAC어드레스를 보존시켜둌으로써, CPU(15), 기억장치(16) 및 부기억장치(18)와, 상향데이터처리블록(12) 사이의 데이터 송수신 빈도가 경감되고 CPU버스(14)의 혼잡도가 한층 경감되어, 전송물의 보다 나은 향상이 가능해진다.

[0137] 단 본 실시형태에서 캐시기억장치(19)는, CPU버스(14) 혹은 버스데이터 조정처리블록(13)을 통해, 하향데이터처리블록(11) 혹은 상향데이터처리블록(12)과 데이터 송수신을 행하는 일은 없으며, 반드시 부기억장치(18)와의 사이에서 각종 데이터의 송수신을 실행하는 구성이다. 즉 각종 처리의 제어나 동작명령에 관한 데이터를 일시적으로 보존하는 명령 캐시적인 역할을 수행한다.

- [0138] 한편, 부기억장치(18)는, CPU버스(14) 및 버스데이터 조정처리블록(13)을 통해, 하향데이터처리블록(11) 혹은 상향데이터처리블록(12)과 데이터 송수신을 행하나, 다른 한편 제 1 내지 제 5 실시형태와 마찬가지로, 하향데이터처리블록(11) 혹은 상향데이터처리블록(12) 사이에서 직접 데이터의 송수신을 실행할 수 있다.
- [0139] 즉 본 실시형태에서는, CPU버스(14)의 혼잡도가 매우 증대했을 경우에는 미리, 버스데이터 조정처리블록(13)으로부터의 제어에 의해 필요한 데이터를 부기억장치(18)에 일시적으로 보존하는 것으로 하고, 부기억장치(18)와 하향데이터처리블록(11) 혹은 상향데이터처리블록(12) 사이에서 데이터를 송수신함으로써, CPU버스(14)의 혼잡도를 경감시킬 수 있어 전송률을 높일 수 있다. 즉 부기억장치(18)는 데이터 캐시적인 역할을 수행한다.
- [0140] (제 7 실시형태)
- [0141] 도 11은, 제 7 실시형태에 관한 디지털 쌍방향통신장치인 MAC부의 구성을 나타내는 블록회로도이다. 본 실시형태에서도, 통신시스템 중 MAC부 이외 부분의 구성은 제 1 실시형태와 마찬가지로, MAC부 이외 부분에 대한 도시 및 설명은 생략한다. 도 11에 나타내는 바와 같이 본 실시형태의 MAC부는, 도 1에 나타내는 MAC부(3) 중의 각 요소에 추가로, 부기억장치(18)와 캐시기억장치(19)와, 데이터프로세서(17)와, 최적제어용 블록(20)을 구비한다.
- [0142] 본 실시형태에서는 MAC부에, 기억장치(16)(제 1 기억장치)와 더불어 부기억장치(18)(제 2 기억장치)와, 캐시기억장치(19)를 구비하며, 또 데이터프로세서(17) 및 최적제어용 블록(20)을 구비함으로써 다음과 같은 처리 및 이점을 실현할 수 있다.
- [0143] 본 실시형태의 디지털 쌍방향통신장치에 의해 기본적으로는, 도 1에 나타내는 제 1 실시형태와 동일한 처리를 실행하나, 제 2 실시형태에서 데이터프로세서(17)를 구비함으로써 얻어지는 이점과, 제 6 실시형태에서 부기억장치(18) 및 캐시기억장치(19)를 구비함으로써 얻어지는 이점을 함께 발휘할 수 있다. 즉 데이터프로세서(17)에 의해 CPU(15) 처리를 일부 부담하는 것, 부기억장치(18)에 의해 데이터 캐시적인 처리를 실행하는 것, 캐시기억장치(19)에 의해 명령 캐시적인 처리를 실행함으로써, CPU(15) 및 기억장치(16)로부터 CPU버스(14) 및 버스데이터 조정처리블록(13)을 통해, 상향데이터처리블록(12) 및 하향데이터처리블록(11)으로의 데이터 송수신을 행하는 빈도를 크게 경감할 수 있다. 또 부기억장치(18), 캐시기억장치(19)에의 각종 데이터의 보존이나, 상향데이터처리블록(12), 하향데이터처리블록(11) 또는 데이터프로세서(17)의 처리타이밍을, 전체적으로 최적의 제어를 실행하기 위해 최적제어용 블록(20)을 배치함으로써, 각 블록간에서의 개별 핸드셰이킹(handshaking)형 제어에 의한 전송손실을 경감하거나, 혹은 각 블록에 제어회로를 배치할 필요가 없어지므로, 적절한 제어에 의해 전송률을 크게 하는 동시에 회로규모의 축소를 실현할 수 있다.
- [0144] 여기서 튜너(5)를 단말장치(1) 내에서 MAC부와 1칩으로 조립함으로써, 기판 상에서 외장 아날로그부품을 전혀 필요로 하지 않는 시스템LSI로 하기가 가능하며, 이 구성에 의해 통상의 모뎀기능을 실현하는 PC는 물론, TV, 전화 등 모든 통신기기에 내장시킴으로써 매우 용이하게 쌍방향통신 기능을 부여하기가 가능하다.

산업상 이용 가능성

- [0145] 본 발명의 쌍방향통신제어장치, 단말장치 및 쌍방향통신제어방법은, 휴대전화나 인터넷기능을 갖는 퍼스널컴퓨터 등에 이용할 수 있다.

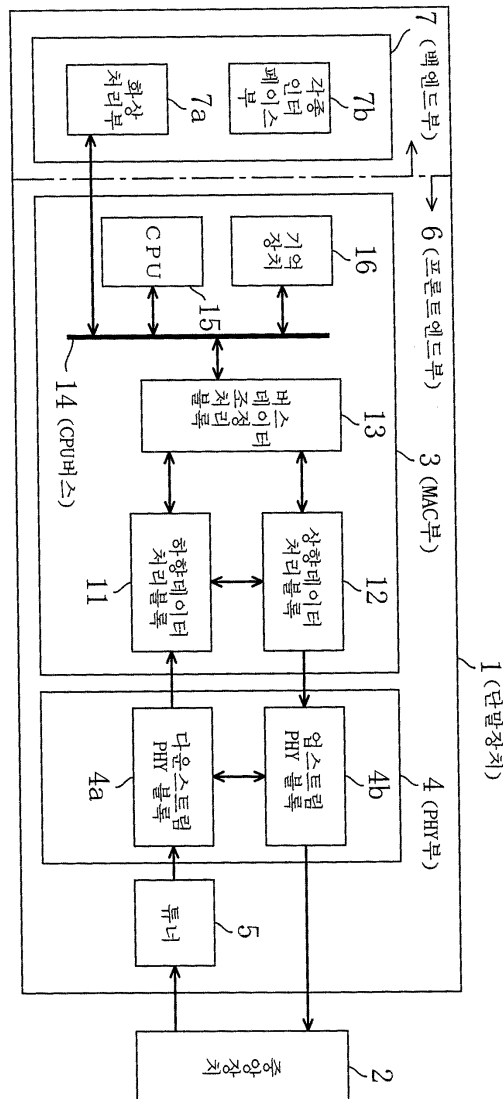
도면의 간단한 설명

- [0030] 도 1은, 제 1 실시형태에 관한 디지털쌍방향통신에 이용되는 통신시스템의 구성을 나타내는 블록회로도.
- [0031] 도 2는, 제 1 실시형태의 하향데이터처리블록 내에 배치되는 각 기능블록의 예를 나타내는 블록회로도.
- [0032] 도 3은, 제 1 실시형태의 하향데이터처리 순서를 나타내는 흐름도.
- [0033] 도 4는, 제 1 실시형태의 상향데이터처리블록 내에 배치되는 각 기능블록의 예를 나타내는 블록회로도.
- [0034] 도 5는, 제 1 실시형태의 상향데이터처리 순서를 나타내는 흐름도.
- [0035] 도 6은, 제 2 실시형태에 관한 디지털쌍방향통신장치인 MAC부의 구성을 나타내는 블록회로도.
- [0036] 도 7은, 제 3 실시형태에 관한 디지털쌍방향통신장치인 MAC부의 구성을 나타내는 블록회로도.
- [0037] 도 8은, 제 4 실시형태에 관한 디지털쌍방향통신장치인 MAC부의 구성을 나타내는 블록회로도.

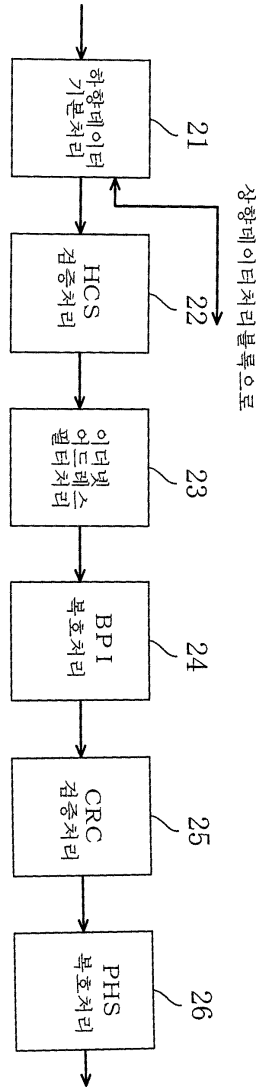
- [0038] 도 9는, 제 5 실시형태에 관한 디지털쌍방향통신장치인 MAC부의 구성을 나타내는 블록회로도.
- [0039] 도 10은, 제 6 실시형태에 관한 디지털쌍방향통신장치인 MAC부의 구성을 나타내는 블록회로도.
- [0040] 도 11은, 제 7 실시형태에 관한 디지털쌍방향통신장치인 MAC부의 구성을 나타내는 블록회로도.
- [0041] 도 12의 (a), (b)는, 제 1 실시형태에서 연결프레임처리를 실행하기 전의 통상 프레임의 구조, 및 연결프레임처리를 실행한 후의 연결프레임의 구조를 나타내는 도.
- [0042] 도 13의 (a), (b)는, 제 1 실시형태에서 분할프레임처리를 실행하기 전의 통상 프레임의 구조, 및 분할프레임처리를 실행한 후의 분할프레임의 구조를 나타내는 도.
- [0043] 도 14는, 제 1 실시형태의 도 3에 나타내는 흐름도에 있어서, CPU에 의한 버스조정이 필요한 처리단계를 해칭으로 나타내는 흐름도.
- [0044] 도 15는, 종래 쌍방향통신제어장치의 도 3에 나타내는 흐름도 상당의 제어에 있어서, CPU에 의한 버스조정이 필요한 처리단계를 해칭으로 나타내는 흐름도.

도면

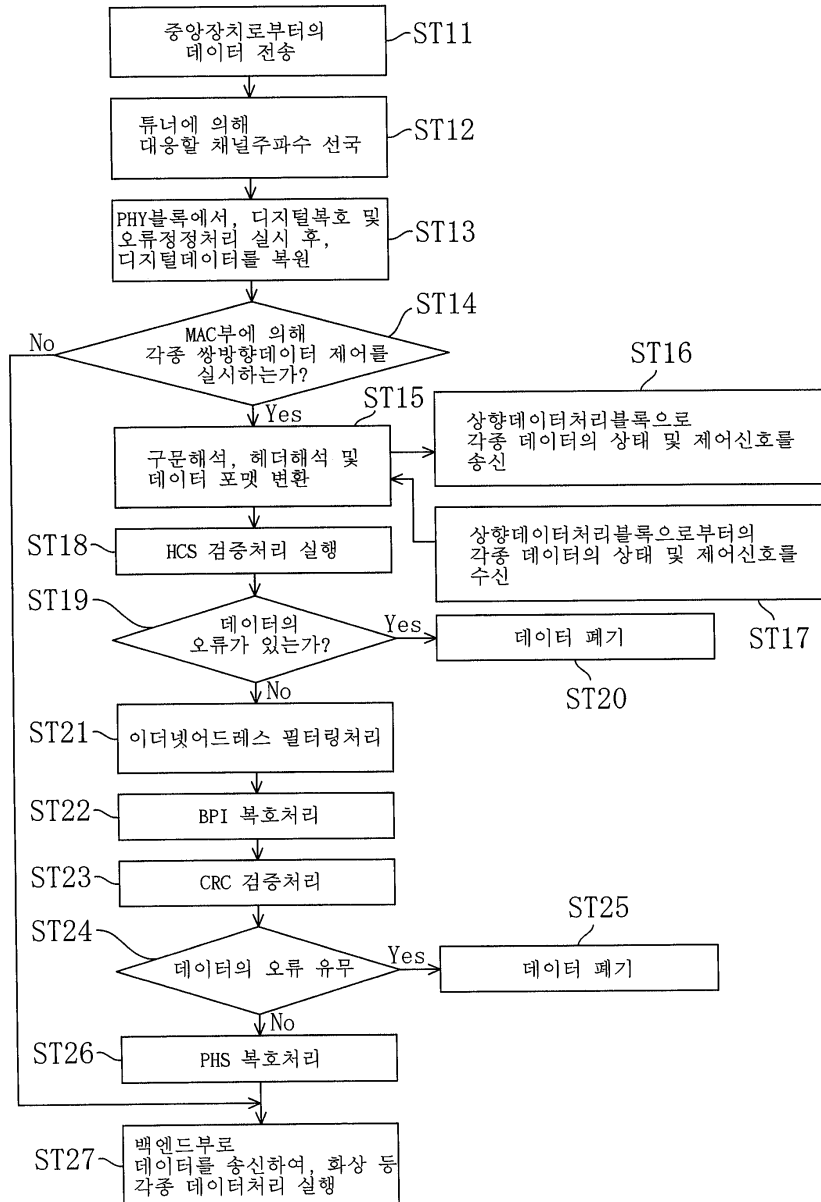
도면1



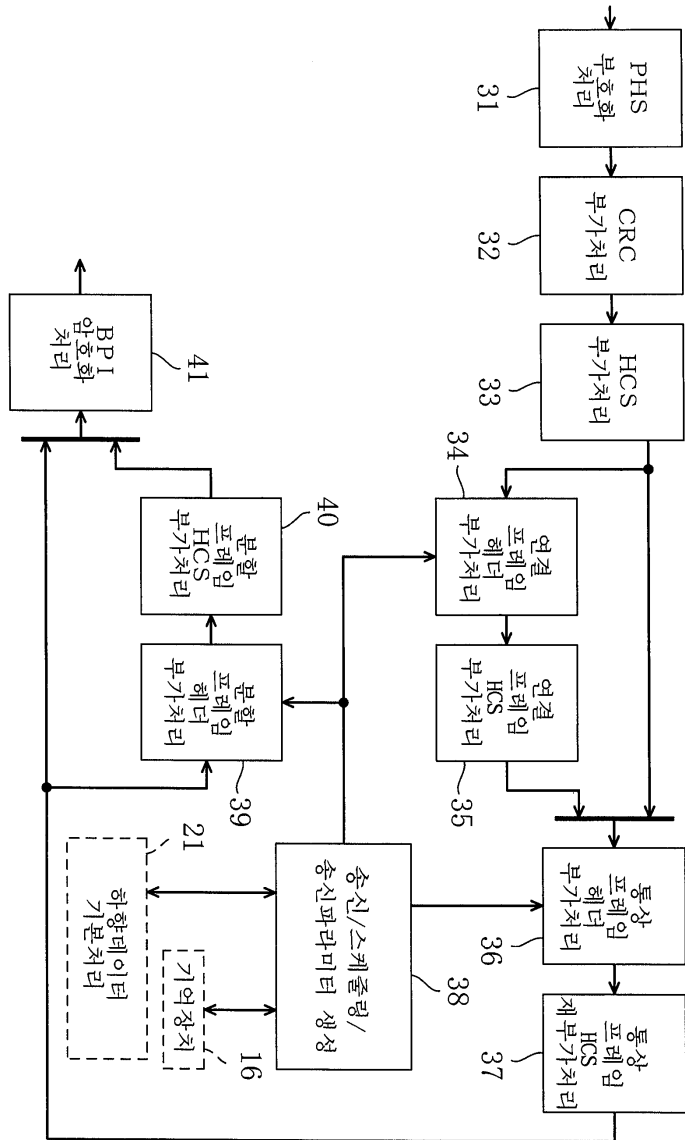
도면2



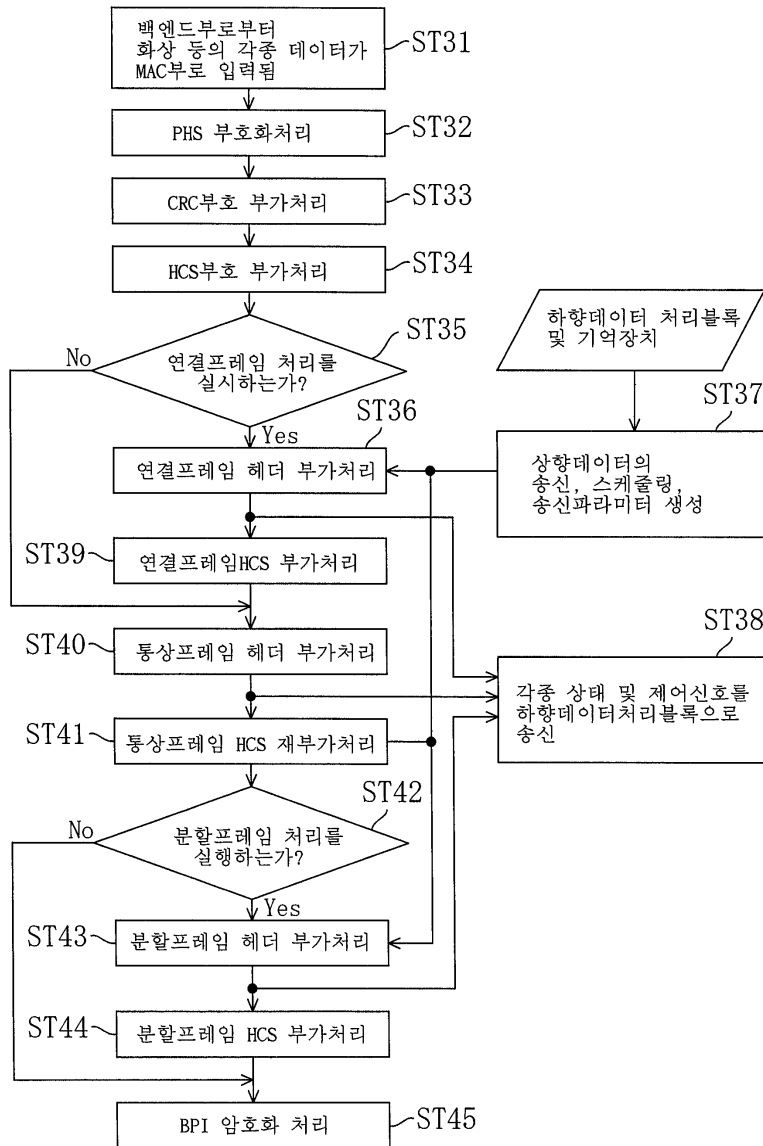
도면3



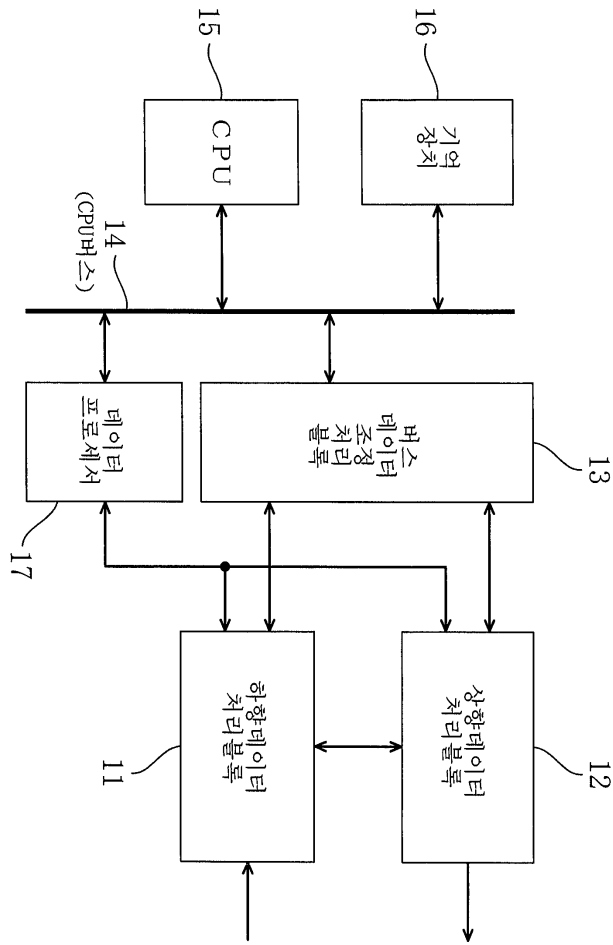
도면4



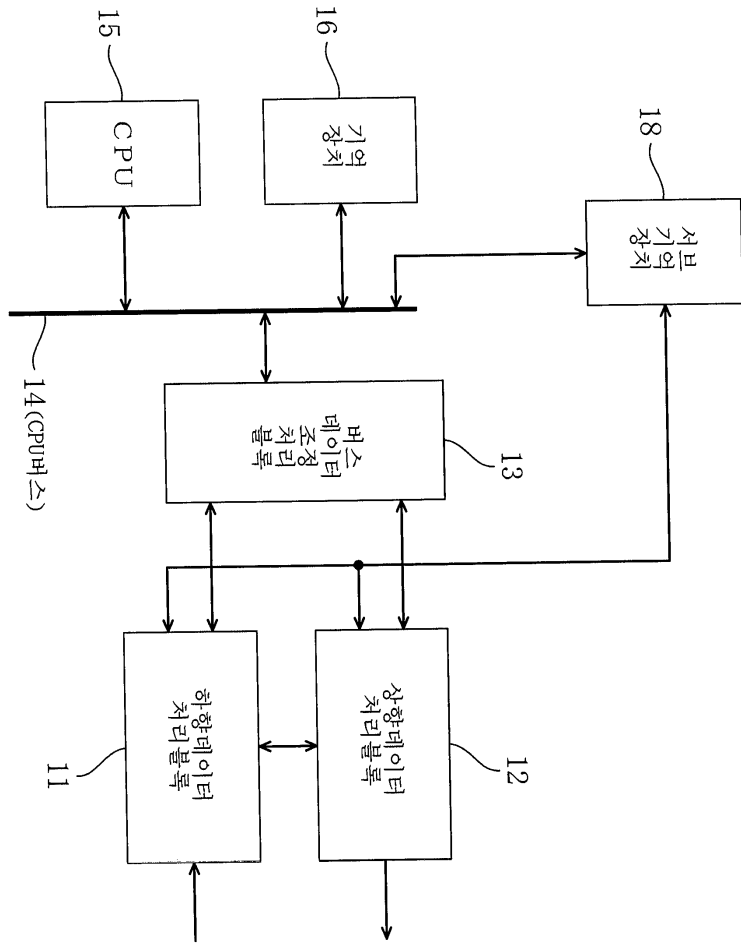
도면5



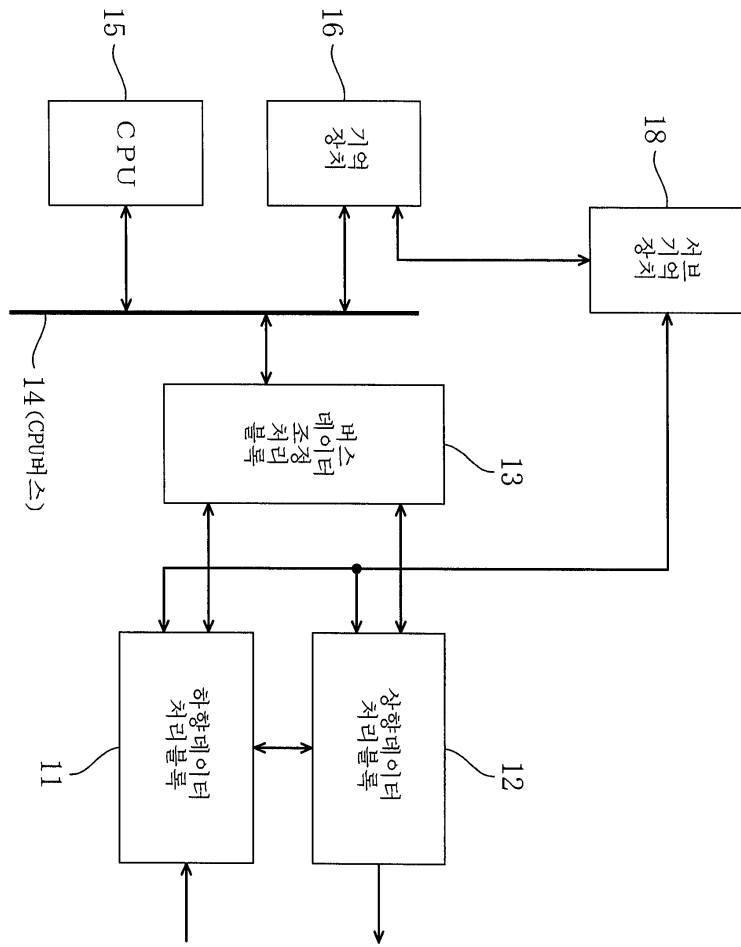
도면6



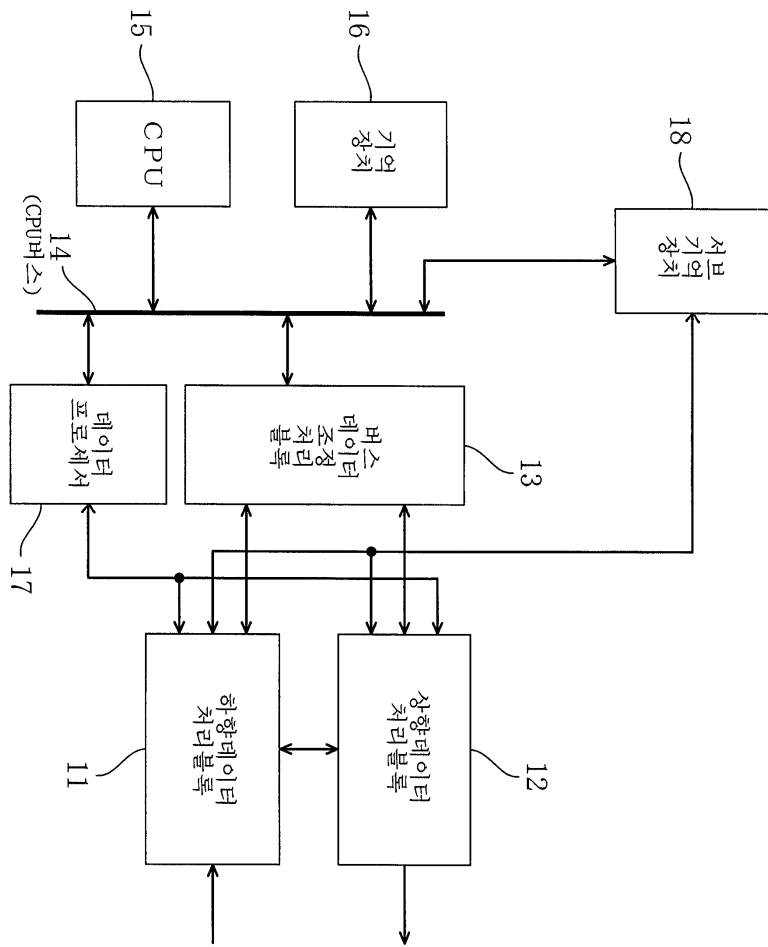
도면7



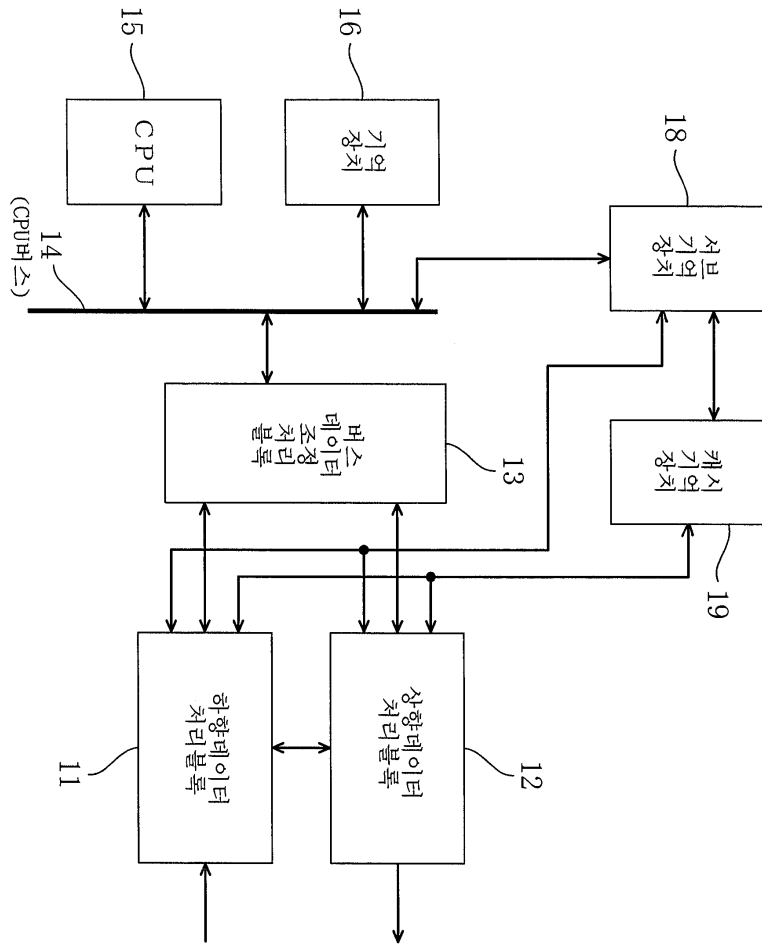
도면8



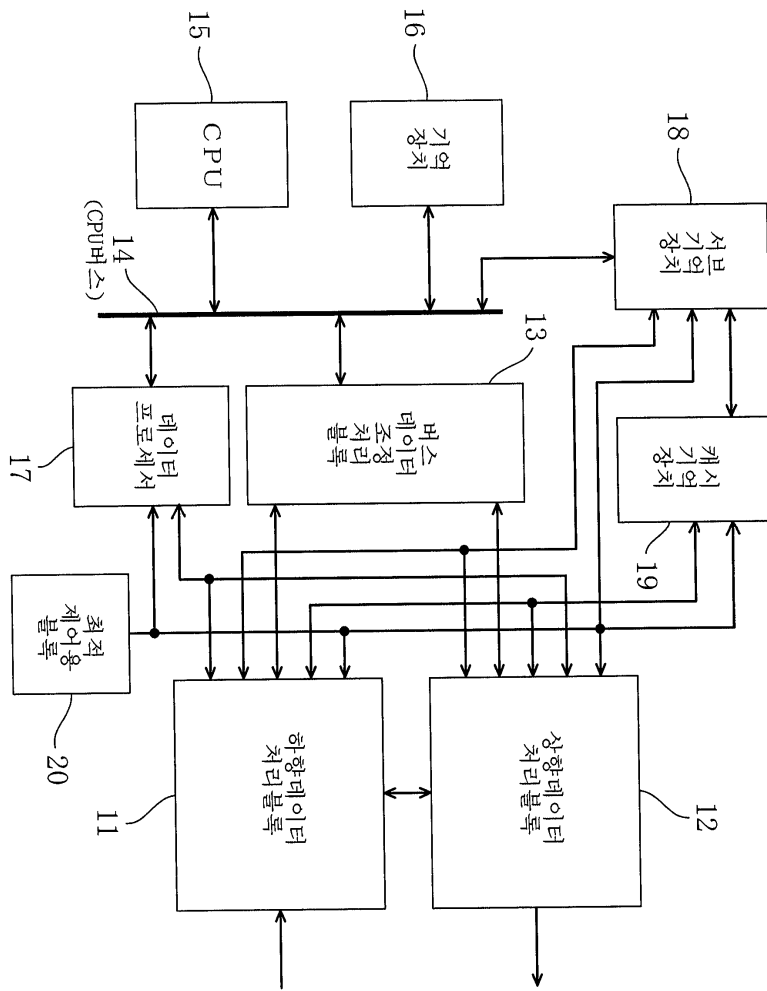
도면9



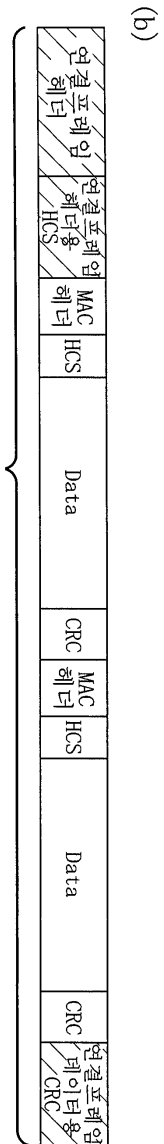
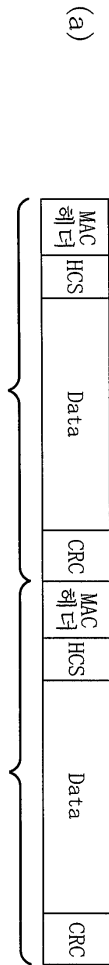
도면10



도면11



도면12

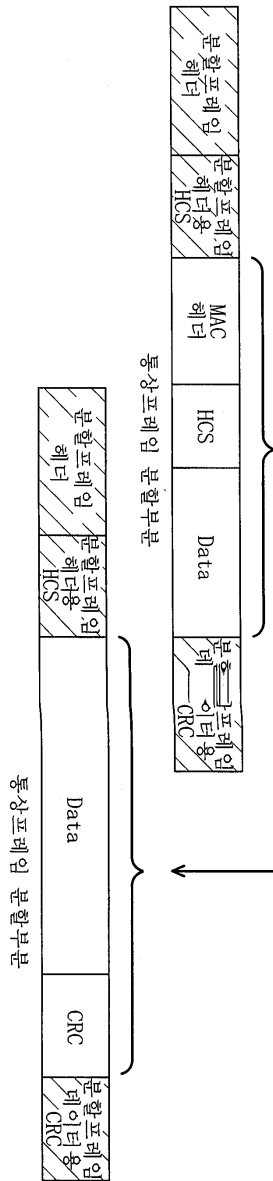


도면13

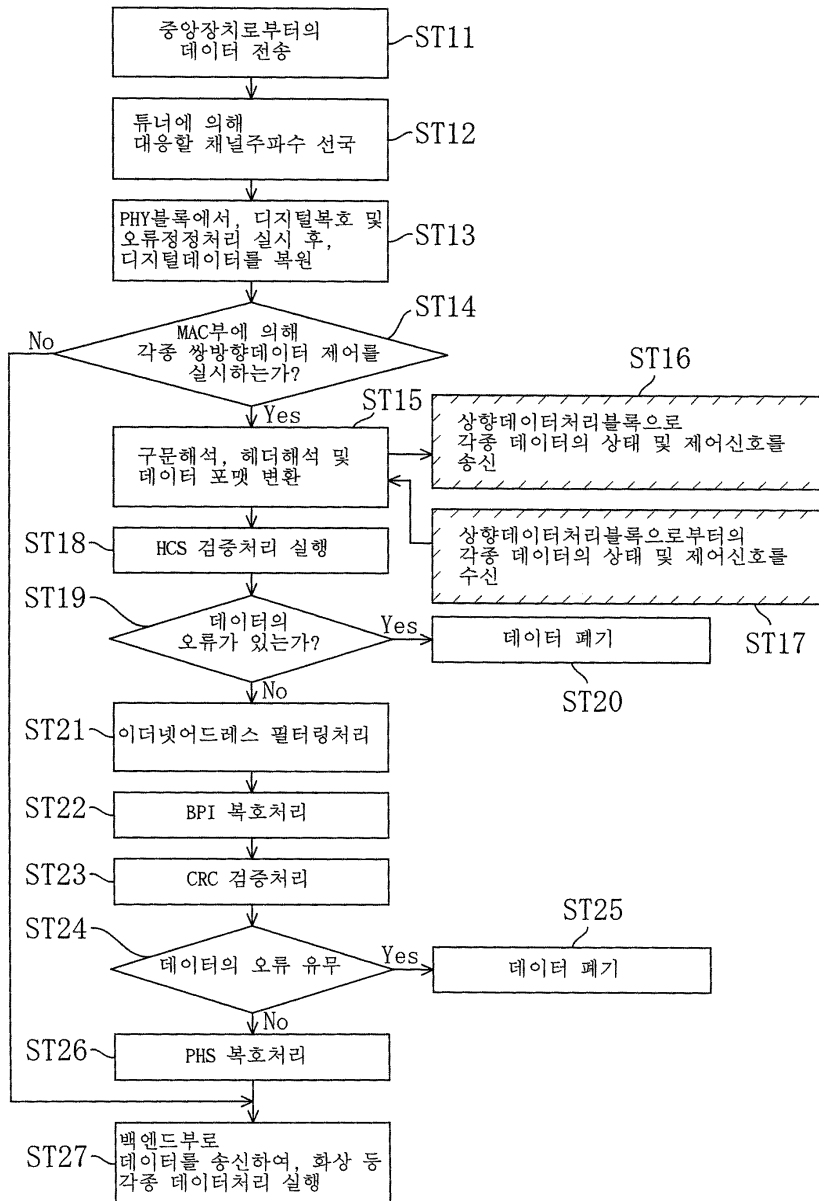
(a)



(b)



도면14



도면15

