



(12)发明专利

(10)授权公告号 CN 105990332 B

(45)授权公告日 2019.11.05

(21)申请号 201510085288.1

(22)申请日 2015.02.17

(65)同一申请的已公布的文献号
申请公布号 CN 105990332 A

(43)申请公布日 2016.10.05

(73)专利权人 群创光电股份有限公司
地址 中国台湾新竹科学工业园区

(72)发明人 李冠锋

(74)专利代理机构 北京市柳沈律师事务所
11105

代理人 陈小雯

(51)Int.Cl.

H01L 27/02(2006.01)

H01L 21/77(2017.01)

(56)对比文件

JP 特开2009-49340 A,2009.03.05,

CN 101800229 A,2010.08.11,

CN 104022156 A,2014.09.03,

CN 104347727 A,2015.02.11,

US 6265249 B1,2001.07.24,

审查员 张虹

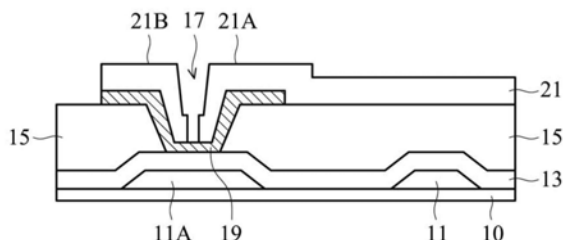
权利要求书2页 说明书6页 附图16页

(54)发明名称

薄膜晶体管基板及其显示面板

(57)摘要

本发明公开一种薄膜晶体管基板及其显示面板,该显示面板包括:基板;第一金属层,位于基板上,包括栅极,以及连接栅极的栅极线;第一绝缘层,位于第一金属层上;平坦化层,位于第一绝缘层上;开口,由平坦化层的侧壁与第一绝缘层的表面所定义,开口与栅极重叠;有源层,位于开口与平坦化层上;以及第二金属层,位于有源层上,包括接触有源层的源极,以及连接源极的数据线;其中平坦化层与第一绝缘层位于数据线与栅极线之间。



1. 一种显示面板,包括:
基板;
第一金属层,位于该基板上,包括栅极,以及连接该栅极的栅极线;
第一绝缘层,位于该第一金属层上;
平坦化层,位于该第一绝缘层上;
开口,由该平坦化层的侧壁与该第一绝缘层的表面所定义,该开口与该栅极重叠;
有源层,位于该平坦化层上且覆盖该开口;以及
第二金属层,位于该有源层上,包括接触该有源层的源极,以及连接该源极的数据线;
其中该平坦化层与该第一绝缘层位于该数据线与该栅极线之间,
其中该有源层包含位于该第一绝缘层的表面上的第一部分,以及位于该平坦化层上的第二部分,其中该第二金属层接触该有源层的第二部分,
其中该有源层的第一部分为金属氧化物半导体,而该有源层的第二部分为金属氧化物导体;
其中该平坦化层是由氮化硅或富含氢的绝缘材料所组成。
2. 如权利要求1所述的显示面板,其中,该第二金属层接触该开口上的该有源层。
3. 如权利要求2所述的显示面板,还包括第二绝缘层,位于该平坦化层上,且该有源层位于该第二绝缘层上,且该第二绝缘层、该平坦化层、与该第一绝缘层位于该数据线与该栅极线之间。
4. 如权利要求2所述的显示面板,还包括蚀刻停止层,位于该有源层与该平坦化层上,且该蚀刻停止层具有多个接触孔露出该开口上的部分该有源层,其中该源极经由该些接触孔之一接触该有源层,
其中该蚀刻停止层、该平坦化层、与该第一绝缘层位于该数据线与该栅极线之间。
5. 如权利要求4所述的显示面板,还包括第二绝缘层,位于该平坦化层上,且该有源层位于该第二绝缘层上,且该蚀刻停止层、该第二绝缘层、该平坦化层、与该第一绝缘层位于该数据线与该栅极线之间。
6. 如权利要求1所述的显示面板,还包括蚀刻停止层,位于该有源层与该平坦化层上,且该蚀刻停止层具有多个接触孔露出部分该有源层的第二部分,其中该源极经由该些接触孔之一接触该有源层的第二部分,
其中该蚀刻停止层、该平坦化层、与该第一绝缘层位于该数据线与该栅极线之间。
7. 如权利要求1所述的显示面板,还包括:
蚀刻停止层,位于该有源层上;以及
保护层,位于该蚀刻停止层、该有源层的第二部分、与该平坦化层上,且该保护层具有多个接触孔露出部分该有源层的第二部分,该源极经由该些接触孔之一接触该有源层的第二部分;
其中该保护层、该平坦化层、与该第一绝缘层位于该数据线与该栅极线之间。
8. 如权利要求7所述的显示面板,其中该保护层是由氮化硅或富含氢的绝缘材料所组成。
9. 如权利要求7所述的显示面板,其中该蚀刻停止层还位于该平坦化层上,且该保护层、该蚀刻停止层、该平坦化层、与该第一绝缘层位于该数据线与该栅极线之间。

10. 如权利要求1所述的显示面板,还包括:

对向基板;以及

显示介质,位于该基板与该对向基板之间。

11. 一种薄膜晶体管基板,包括:

基板;

第一金属层,位于该基板上,包括栅极,以及连接该栅极的栅极线;

第一绝缘层,位于该第一金属层上;

平坦化层,位于该第一绝缘层上;

开口,由该平坦化层的侧壁与该第一绝缘层的表面所定义,该开口与该栅极重叠;

有源层,位于该平坦化层上且覆盖该开口;以及

第二金属层,位于该有源层上,包括接触该有源层的源极,以及连接该源极的数据线;

其中该平坦化层与该第一绝缘层位于该数据线与该栅极线之间,

其中该有源层包含位于该第一绝缘层的表面上的第一部分,以及位于该平坦化层上的第二部分,其中该第二金属层接触该有源层的第二部分,

其中该有源层的第一部分为金属氧化物半导体,而该有源层的第二部分为金属氧化物导体;

其中该平坦化层是由氮化硅或富含氢的绝缘材料所组成。

薄膜晶体管基板及其显示面板

技术领域

[0001] 本发明涉及薄膜晶体管,且特别是涉及薄膜晶体管基板以及显示器。

背景技术

[0002] 目前的薄膜晶体管基板制作工艺中,在形成栅极与栅极线后,即定义有源层对应栅极,以作为通道层。接着形成另一金属层,其包含有源层两侧上的源极与漏极,以及连接至源极的数据线。上述数据线与栅极线重叠处仅隔有栅极介电层。为了降低薄膜晶体管的驱动电流,需减少栅极介电层的厚度。然而栅极介电层越薄,数据线与栅极线之间的电容越大而增加两者交会处的负担。换言之,上述结构无法同时降低薄膜晶体管的驱动电流与降低数据线与栅极线之间的电容。

[0003] 综上所述,目前亟需新的薄膜晶体管基板,以期在降低薄膜晶体管的驱动电流时,也可降低数据线与栅极线之间的电容。

发明内容

[0004] 本发明一实施例提供的显示面板,包括:基板;第一金属层,位于基板上,包括栅极,以及连接栅极的栅极线;第一绝缘层,位于第一金属层上;平坦化层,位于第一绝缘层上;开口,由平坦化层的侧壁与第一绝缘层的表面所定义,开口与栅极重叠;有源层,位于平坦化层上且覆盖开口;以及第二金属层,位于有源层上,包括接触有源层的源极,以及连接源极的数据线;其中平坦化层与第一绝缘层位于数据线与栅极线之间。

[0005] 本发明一实施例提供的薄膜晶体管基板,包括:基板;第一金属层,位于基板上,包括栅极,以及连接栅极的栅极线;第一绝缘层,位于第一金属层上;平坦化层,位于第一绝缘层上;开口,由平坦化层的侧壁与第一绝缘层的表面所定义,开口与栅极重叠;有源层,位于平坦化层上且覆盖开口;以及第二金属层,位于有源层上,包括接触有源层的源极,以及连接源极的数据线;其中平坦化层与第一绝缘层位于数据线与栅极线之间。

附图说明

[0006] 图1A至图1D为本发明一实施例中薄膜晶体管基板的制作工艺剖视图;

[0007] 图2A至图2D为对应图1A至图1D的上视图;

[0008] 图3A至图3C为本发明一实施例中的薄膜晶体管基板的制作工艺剖视图;

[0009] 图4A至图4C为对应图3A至图3C的上视图;

[0010] 图5A及图5B为本发明实施例中薄膜晶体管基板的剖视图;

[0011] 图6A至图6B为本发明一实施例中薄膜晶体管基板的制作工艺剖视图;

[0012] 图7A至图7B为对应图6A至图6B的上视图;

[0013] 图8A至图8C为本发明一实施例中的薄膜晶体管基板的制作工艺剖视图;

[0014] 图9A至图9C为对应图8A至图8C的上视图;

[0015] 图10A至图10D为本发明一实施例中薄膜晶体管基板的制作工艺剖视图;

- [0016] 图11A至图11D为对应图10A至图10D的上视图；
- [0017] 图12A至图12D为本发明一实施例中薄膜晶体管基板的制作工艺剖视图；
- [0018] 图13A至图13D为对应图12A至图12D的上视图；
- [0019] 图14为本发明一实施例中显示器的示意图。
- [0020] 符号说明
- | | | |
|--------|--------|----------|
| [0021] | 10 | 基板 |
| [0022] | 11 | 栅极线 |
| [0023] | 11A | 栅极 |
| [0024] | 13、51 | 绝缘层 |
| [0025] | 15、15' | 平坦化层 |
| [0026] | 17 | 开口 |
| [0027] | 19 | 有源层 |
| [0028] | 19' | 金属氧化物导体层 |
| [0029] | 21 | 数据线 |
| [0030] | 21A | 源极 |
| [0031] | 21B | 漏极 |
| [0032] | 31 | 蚀刻停止层 |
| [0033] | 33、103 | 接触孔 |
| [0034] | 101 | 保护层 |
| [0035] | 1401 | 薄膜晶体管基板 |
| [0036] | 1403 | 显示介质 |
| [0037] | 1405 | 对向基板 |

具体实施方式

[0038] 图1A至图1D为本发明一实施例中，薄膜晶体管基板的制作工艺剖视图。图1A至图1D分别为图2A至图2D等上视图的虚线处的剖视图。值得注意的是，薄膜晶体管基板的制作工艺也可由其他方式完成，并不限于下述步骤。此外，在形成薄膜晶体管基板之前、之中、或之后可进行其他额外步骤，以定义其他层状物于薄膜晶体管基板之中或之上。首先，形成金属层于基板10上，再图案化金属层以定义栅极线11及与其相连的栅极11A。在本发明一实施例中，基板10可为玻璃、塑胶、或其他常见的基板材料。在本发明一实施例中，金属层可为钼、铝、铜、钛等单层或多层组合的金属或合金，其形成方法可为物理气相沉积法(PVD)、溅镀法、或类似方法。图案化金属层的方法可为光刻制作工艺与蚀刻制作工艺。光刻制作工艺包含下述步骤：涂布光致抗蚀剂如旋涂法、软烘烤、对准光掩模、曝光、曝光后烘烤、显影、冲洗、干燥如硬烘烤、其他合适制作工艺、或上述的组合。此外，光刻制作工艺的曝光步骤可改用其他方法，比如无光掩模光刻、电子束直写、或离子束直写。在光刻制作工艺后，可进行蚀刻制作工艺如干蚀刻、湿蚀刻、或上述的组合以图案化金属层。在蚀刻制作工艺后可移除光致抗蚀剂图案，其方法可为灰化、剥除、或上述的组合。

[0039] 接着依序形成绝缘层13与平坦化层15于栅极线11与栅极11A上。绝缘层13可为有机硅氧化合物，或无机材质如氮化硅、氧化硅、氮氧化硅、碳化硅、氧化铝、氧化钪、或上述材

质的多层结构,其形成方法可为化学气相沉积法(CVD)如等离子体增强式CVD(PECVD)、低压CVD(LPCVD)、次常压CVD(SACVD)、物理气相沉积(PVD)、或类似技术。在本发明一实施例中,绝缘层13的厚度介于 $100\text{\AA} \sim 5000\text{\AA}$ 之间。若绝缘层13的厚度过薄,则晶体管充电能力虽高但栅极绝缘层漏电过高。若绝缘层13的厚度过厚,则晶体管充电能力过低。在本发明一实施例中,平坦化层15可为有机绝缘层材料、或无机绝缘层材料,其形成方法可为物理性沉积或是化学气相沉积。在本发明一实施例中,平坦化层15的组成不同于绝缘层13。在本发明一实施例中,平坦化层15的厚度介于 $5000\text{\AA} \sim 30000\text{\AA}$ 之间。若平坦化层15的厚度过薄,则后续形成的数据线与栅极线11之间的距离过短,而无法有效降低数据线与栅极线11之间的电容。若平坦化层15的厚度过厚,则影响其图案化难易度。在这必需说明的是,图2A的上视图省略了绝缘层13与平坦化层15以简化附图。

[0040] 接着如图1B与图2B所示,图案化平坦化层15以形成开口17,以露出对应栅极11A的绝缘层13的上表面。上述形成开口17的方法可为光刻制作工艺与蚀刻制作工艺如前述,在此不赘述。

[0041] 接着如图1C与图2C所示,形成有源层于上述结构后,图案化有源层以定义有源层19于开口17的侧壁与底部。如图1C所示,有源层19可略大于开口17,即延伸至部分平坦化层15的表面上。在本发明一实施例中,有源层19可为多晶硅或金属氧化物半导体如铟镓锌氧化物(IGZO)。有源层的形成方法可为CVD如PECVD、LPCVD、或SACVD、物理与气相沉积(PVD)、溶液合成方式沉积、或类似方法。值得注意的是,当有源层19为金属氧化物半导体时,平坦化层15不可为氮化硅或富含氢的绝缘材料,以避免在制作工艺中将位于开口17的侧壁与底部的有源层19转换为导体。图案化有源层的方法可为光刻制作工艺与蚀刻制作工艺如前述,在此不赘述。

[0042] 接着如图1D与图2D所示,形成金属层于上述结构上,再图案化金属层以定义数据线21、源极21A、与漏极21B。在本发明一实施例中,上述金属层可为钼、铝、铜、钛等单层或多层组合的金属或合金,其形成方法可为物理气相沉积(PVD)或溅镀。图案化金属层的方法可为光刻制作工艺与蚀刻制作工艺如前述,在此不赘述。上述数据线21与栅极线11重叠处隔有平坦化层15与绝缘层13。上述源极21A连接至数据线21。源极21A与漏极21B分别位于开口17的相反侧壁上的有源层19上且彼此不相连。值得注意的是,若源极21A与漏极21B只位于平坦化层15上的部分有源层19上而未延伸至开口17的侧壁上的有源层19上,则有源层19的通道长度(channel length)将过长而难以驱动。

[0043] 图3A至图3C为本发明一实施例中,薄膜晶体管基板的制作工艺剖视图。图3A至图3C分别为图4A至图4C等上视图的虚线处的剖视图。在完成图1C及图2C的结构后,形成蚀刻停止层31于其上以形成图3A与图4A所示的结构。在本发明一实施例中,蚀刻停止层31可为氧化硅、氧化铝、氧化钛等无机绝缘层,其形成方法可为化学气相沉积、原子层沉积、物理沉积等方法。在本发明一实施例中,蚀刻停止层31的厚度介于 $500\text{\AA} \sim 3000\text{\AA}$ 之间。若蚀刻停止层31的厚度过薄,则对于有源层保护能力不够。若蚀刻停止层31的厚度过厚,则影响制作工艺时间及图案化难度增加。在这必需说明的是,图3A的上视图省略了绝缘层13、平坦化层15、与蚀刻停止层31以简化附图。

[0044] 接着如图3B与图4B所示,图案化蚀刻停止层31以形成接触孔33,以露出开口17的侧壁上的有源层19与开口17的底部上的部分有源层19。上述形成接触孔33的方法可为光刻

制作工艺与蚀刻制作工艺如前述,在此不赘述。

[0045] 接着如图3C与图4C所示,形成金属层于上述结构上,再图案化金属层以定义数据线21、源极21A、与漏极21B。上述金属层的组成与形成方法同前述,且图案化金属层的方法可为光刻制作工艺与蚀刻制作工艺如前述,在此不赘述。上述数据线21与栅极线11重叠处隔有蚀刻停止层31、平坦化层15、与绝缘层13。上述源极21A连接至数据线21。源极21A与漏极21B经由接触孔33,分别接触位于开口17的相反侧壁上的有源层19且彼此不相连。此实施例的数据线21与栅极线11之间相隔的层状物更多,因此可进一步降低两者之间的电容。另一方面,开口17底部的源极21A与漏极21B之间隔有蚀刻停止层31,可进一步避免因制作工艺误差造成两者电性相连。

[0046] 图5A为本发明一实施例中,薄膜晶体管基板的剖视图。图5A中的结构与图1D的结构类似,差异在形成开口17后与形成有源层19前,先形成另一绝缘层51。绝缘层51与有源层19之间具有较佳的界面性质。在本发明一实施例中,绝缘层51可为氧化硅、氧化铝、或氧化钛,其形成方法可为化学气相沉积、原子层沉积、或物理性沉积等方法。在本发明一实施例中,绝缘层51的厚度介于 $100\text{\AA}\sim 5000\text{\AA}$ 之间。若绝缘层51的厚度过薄,则绝缘层漏电过高。若绝缘层51的厚度过厚,则影响晶体管充电能力。

[0047] 图5B为本发明一实施例中,薄膜晶体管基板的剖视图。图5B中的结构与图3C的结构类似,差异在形成开口17后与形成有源层19前,先形成另一绝缘层51。绝缘层51与有源层19之间具有较佳的界面性质。至于绝缘层51的组成、形成方法、与厚度同前述,在此不赘述。

[0048] 图6A至图6B为本发明一实施例中,薄膜晶体管基板的制作工艺剖视图。图6A至图6B分别为图7A至图7B等上视图的虚线处的剖视图。图6A的结构与图1C的结构类似,差异在图6A的有源层19为金属氧化物半导体如IGZO,其包含有位于开口17的底部上的第一部分,以及位于平坦化层15上的第二部分,且图1C的平坦化层15改为可将金属氧化物半导体转换为导体的平坦化层15'。在本发明一实施例中,平坦化层15'为氮化硅或富含氢的绝缘层,其氢含量需大于10原子%。如此一来,形成于平坦化层15'上的有源层19的第二部分将转换为金属氧化物导体层19'。在这必需说明的是,图7A的上视图省略了绝缘层13与平坦化层15'以简化附图。

[0049] 接着如图6B与图7B所示,形成金属层于上述结构上,再图案化金属层以定义数据线21、源极21A、与漏极21B。上述金属层的组成与形成方法同前述,且图案化金属层的方法可为光刻制作工艺与蚀刻制作工艺如前述,在此不赘述。上述数据线21与栅极线11重叠处隔有平坦化层15'与绝缘层13。上述源极21A连接至数据线21。源极21A与漏极21B分别位于有源层19两侧的金属氧化物导体层19'上且彼此不相连。由于平坦化层15'上的有源层19已被转换为金属氧化物导体层19',源极21A与漏极21B只需接触平坦化层15'上的金属氧化物导体层19',而不需延伸至开口17中,可进一步缩小开口17的尺寸并避免因制作工艺误差造成两者电性相连。

[0050] 图8A至图8C为本发明一实施例中,薄膜晶体管基板的制作工艺剖视图。图8A至图8C分别为图9A至图9C等上视图的虚线处的剖视图。在完成图6A与图7A的结构后,形成蚀刻停止层31于其上以形成图8A与图9A所示的结构。蚀刻停止层31的组成、形成方法、与厚度同前述,在此不赘述。在这必须说明的是,图9A的上视图省略了绝缘层13、平坦化层15'、与蚀刻停止层31以简化附图。

[0051] 接着如图8B与图9B所示,图案化蚀刻停止层31以形成接触孔81,以露出平坦化层15'上的金属氧化物导体层19'。上述形成接触孔81的方法可为光刻制作工艺与蚀刻制作工艺如前述,在此不赘述。

[0052] 接着如图8C与图9C所示,形成金属层于上述结构上,再图案化金属层以定义数据线21、源极21A、与漏极21B。上述金属层的组成与形成方法同前述,且图案化金属层的方法可为光刻制作工艺与蚀刻制作工艺如前述,在此不赘述。上述数据线21与栅极线11重叠处隔有蚀刻停止层31、平坦化层15'、与绝缘层13。上述源极21A连接至数据线21。源极21A与漏极21B经由接触孔81,分别接触位于开口17的相反两侧上的平坦化层15'上的金属氧化物导体层19'且彼此不相连。此实施例的数据线21与栅极线11之间相隔的层状物更多,因此可进一步降低两者之间的电容。另一方面,源极21A与漏极21B不需延伸至开口17中,可进一步缩小开口17的尺寸并避免因制作工艺误差造成两者电性相连。

[0053] 图10A至图10D为本发明一实施例中,薄膜晶体管基板的制作工艺剖视图。图10A至图10D分别为图11A至图11D等上视图的虚线处的剖视图。在完成图3A的结构后图案化蚀刻停止层31,至少保留蚀刻停止层31于开口17的底部的有源层19上如图10A所示。在这必需说明的是,图11A的上视图省略了绝缘层13与平坦化层15以简化附图。

[0054] 接着如图10B所示,沉积保护层101于上述结构上。在此实施例中,有源层19为金属氧化物半导体。上述蚀刻停止层31与绝缘层13不可为氮化硅或富含氢的绝缘层,以避免将开口17底部的有源层19转换为导体。上述保护层101为氮化硅或富含氢的绝缘层,其形成方法可为化学气相沉积或物理性沉积等方法。上述保护层101可使开口17底部以外的其他有源层19转换为金属氧化物导体层19'。

[0055] 接着如图10C与图11C所示,形成接触孔103穿过保护层101,以露出平坦化层15上的金属氧化物导体层19'。上述形成接触孔103的方法可为光刻制作工艺与蚀刻制作工艺如前述,在此不赘述。

[0056] 接着如图10D与图11D所示,形成金属层于上述结构上,再图案化金属层以定义数据线21、源极21A、与漏极21B。上述金属层的组成与形成方法同前述,且图案化金属层的方法可为光刻制作工艺与蚀刻制作工艺如前述,在此不赘述。上述数据线21与栅极线11重叠处隔有保护层101、平坦化层15、与绝缘层13。上述源极21A连接至数据线21。源极21A与漏极21B经由接触孔103分别接触两侧的金属氧化物导体层19'上且彼此不相连。由于保护层101与开口17底部之间具有蚀刻停止层31,可避免将开口17底部的有源层19转换为导体。

[0057] 图12A至图12D为本发明一实施例中,薄膜晶体管基板的制作工艺剖视图。图12A至图12D分别为图13A至图13D等上视图的虚线处的剖视图。在完成图3A的结构后图案化蚀刻停止层31,以保留蚀刻停止层31于开口17的底部的有源层19上,以及有源层19以外的其他区域上,如图12A与图13A所示。在这必需说明的是,图13A的上视图省略了绝缘层13与平坦化层15以简化附图。

[0058] 接着如图12B所示,沉积保护层101于上述结构上。在此实施例中,有源层19为金属氧化物半导体。上述蚀刻停止层31与绝缘层13不可为氮化硅或富含氢的绝缘层,以避免将开口17底部的有源层19转换为导体。上述保护层101为氮化硅或富含氢的绝缘层,其形成方法可为化学气相沉积或物理性沉积等方法。上述保护层101可使开口17底部以外的其他有源层19转换为金属氧化物导体层19'。

[0059] 接着如图12C与图13C所示,图案化保护层101以形成接触孔103,以露出平坦化层15上的金属氧化物导体层19'。上述形成接触孔103的方法可为光刻制作工艺与蚀刻制作工艺如前述,在此不赘述。

[0060] 接着如图12D与图13D所示,形成金属层于上述结构上,再图案化金属层以定义数据线21、源极21A、与漏极21B。上述金属层的组成与形成方法同前述,且图案化金属层的方法可为光刻制作工艺与蚀刻制作工艺如前述,在此不赘述。上述数据线21与栅极线11重叠处隔有保护层101、蚀刻停止层31、平坦化层15、与绝缘层13。上述源极21A连接至数据线21。源极21A与漏极21B经由接触孔103分别接触两侧的金属氧化物导体层19'且彼此不相连。此实施例的数据线21与栅极线11之间相隔的层状物更多,因此可进一步降低两者之间的电容。

[0061] 上述图1D、图3C、图5A、图5B、图6B、图8C、图10D、与图12D所示的薄膜晶体管基板的漏极21B可进一步与像素电极相连,以控制像素区的明暗。像素区可进一步包含共同电极。上述像素电极与共同电极的设计常见于薄膜晶体管基板,在此不赘述。

[0062] 图14为本发明一实施例的显示器的剖视图。在图14中,显示器包括薄膜晶体管基板1401、对向基板1405以及夹于薄膜晶体管基板1401与对向基板1405之间的显示介质1403。薄膜晶体管基板1401可为图1D、图3C、图5A、图5B、图6B、图8C、图10D、或图12D所示的薄膜晶体管基板,显示介质1030可为液晶层或有机发光层。对向基板1020可为彩色滤光基板或是透明基板。

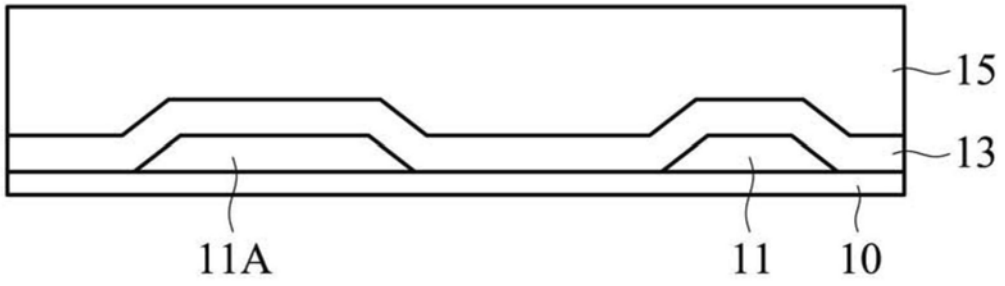


图1A

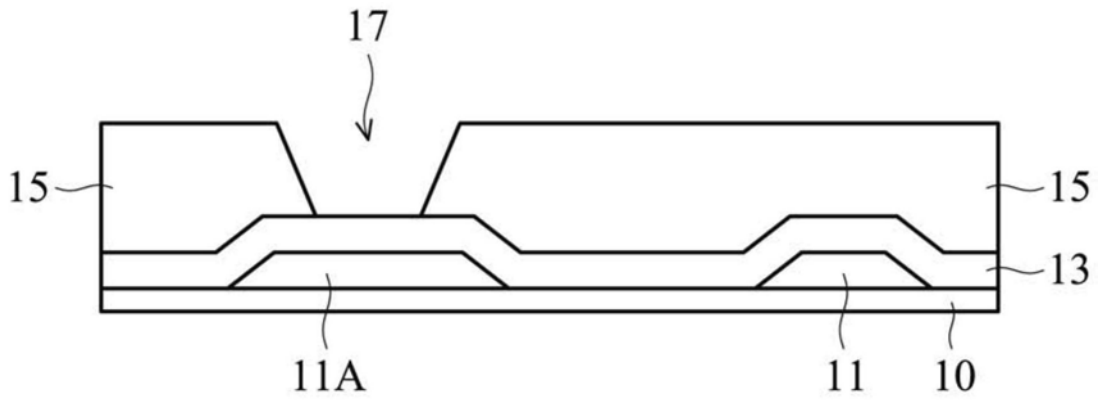


图1B

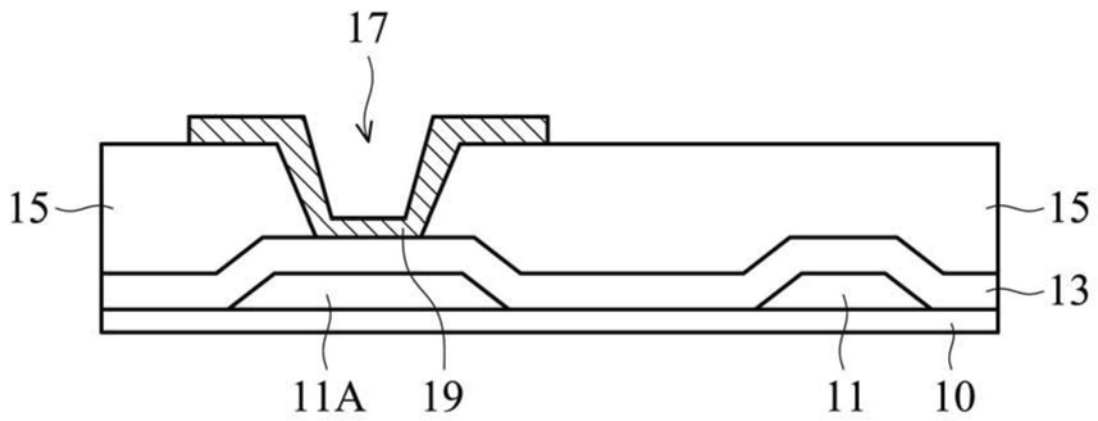


图1C

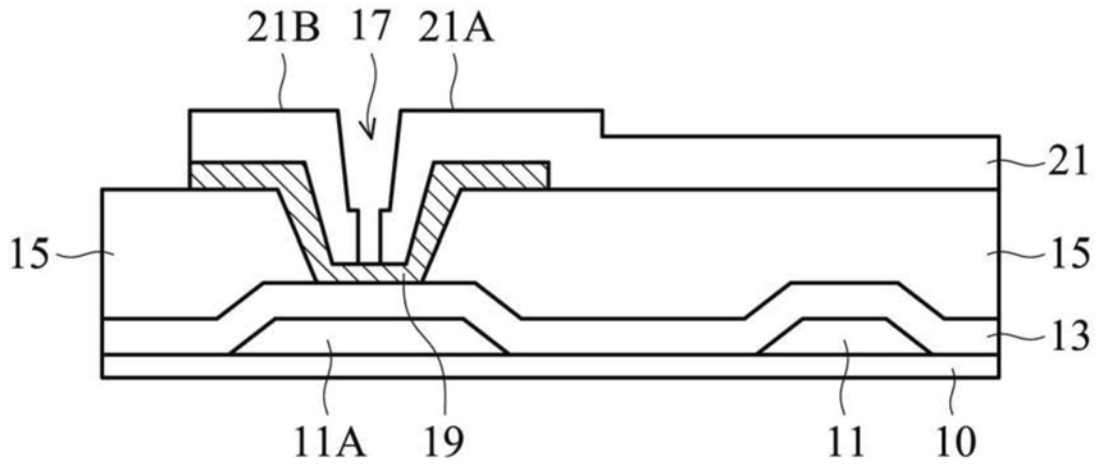


图1D

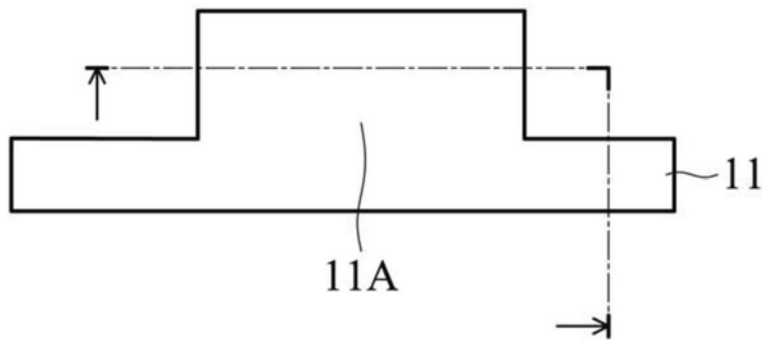


图2A

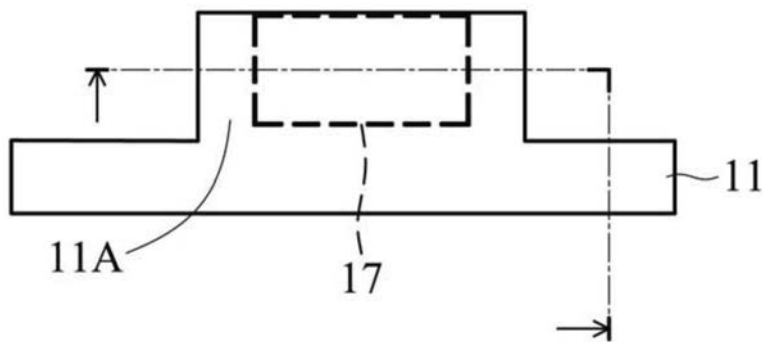


图2B

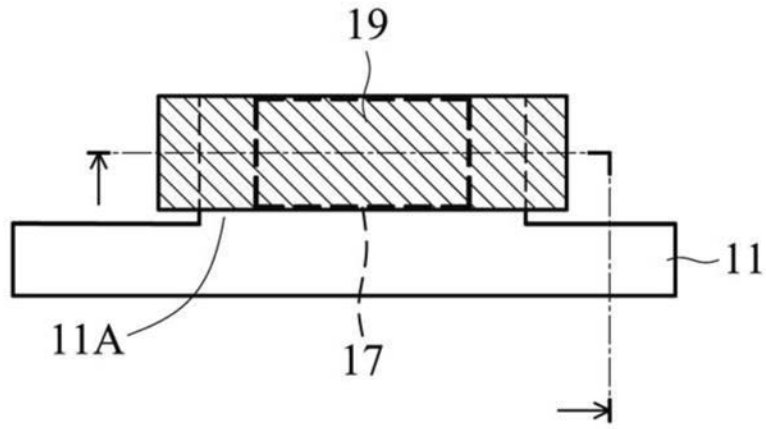


图2C

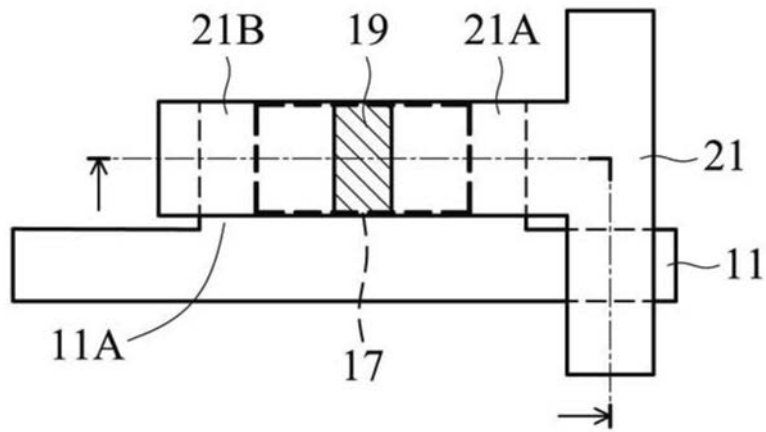


图2D

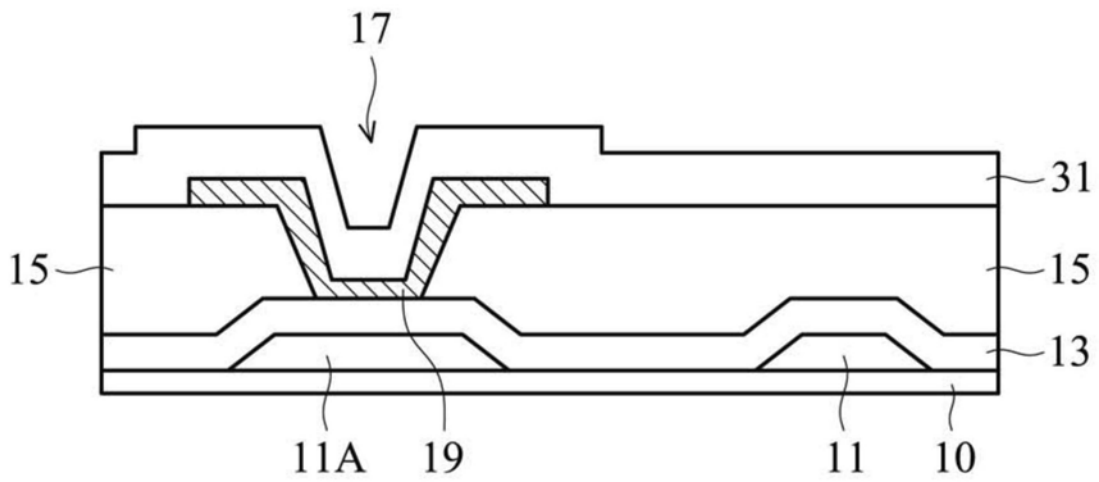


图3A

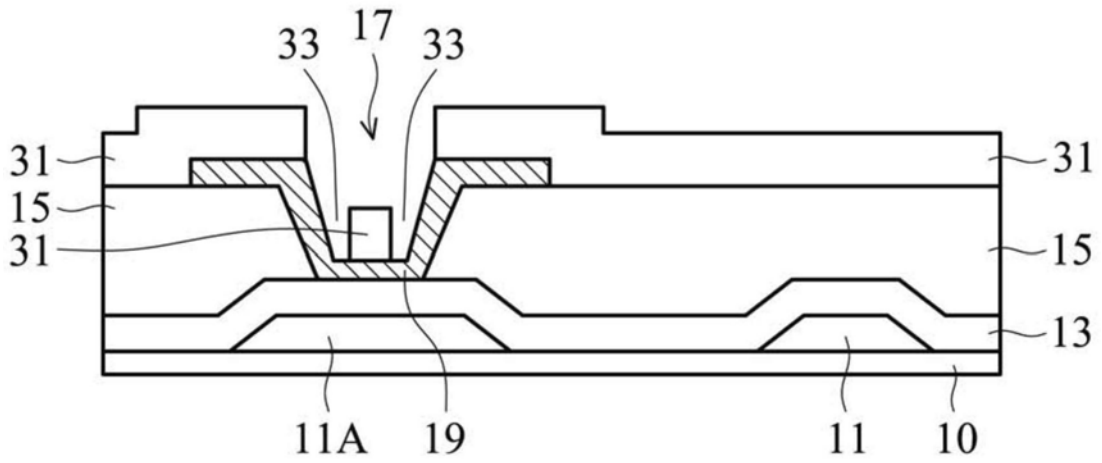


图3B

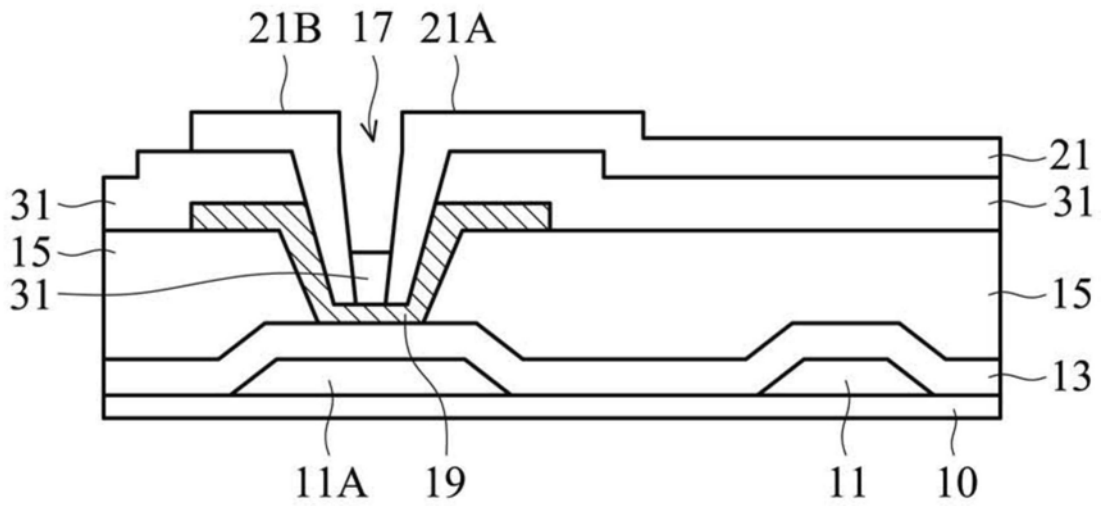


图3C

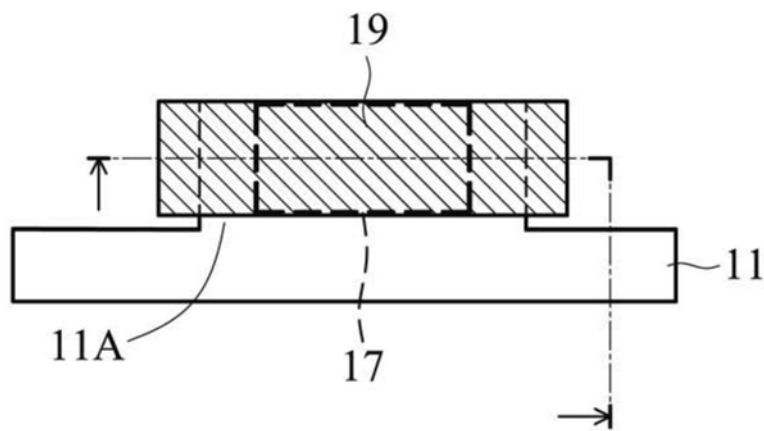


图4A

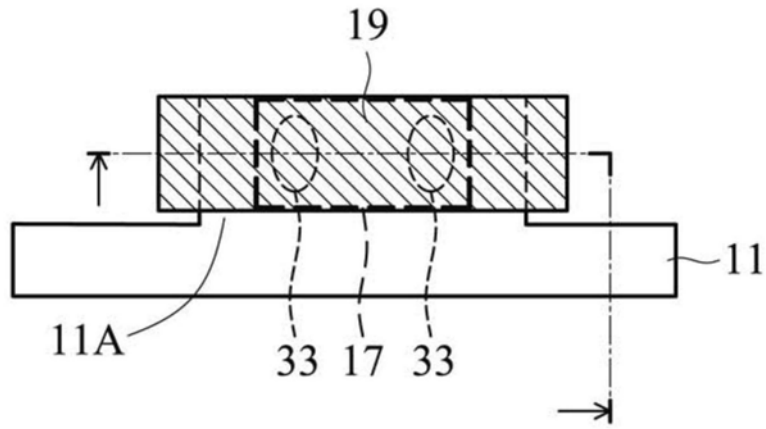


图4B

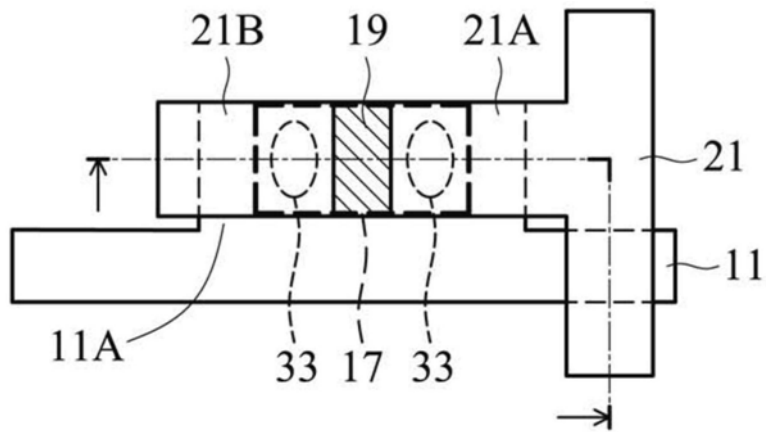


图4C

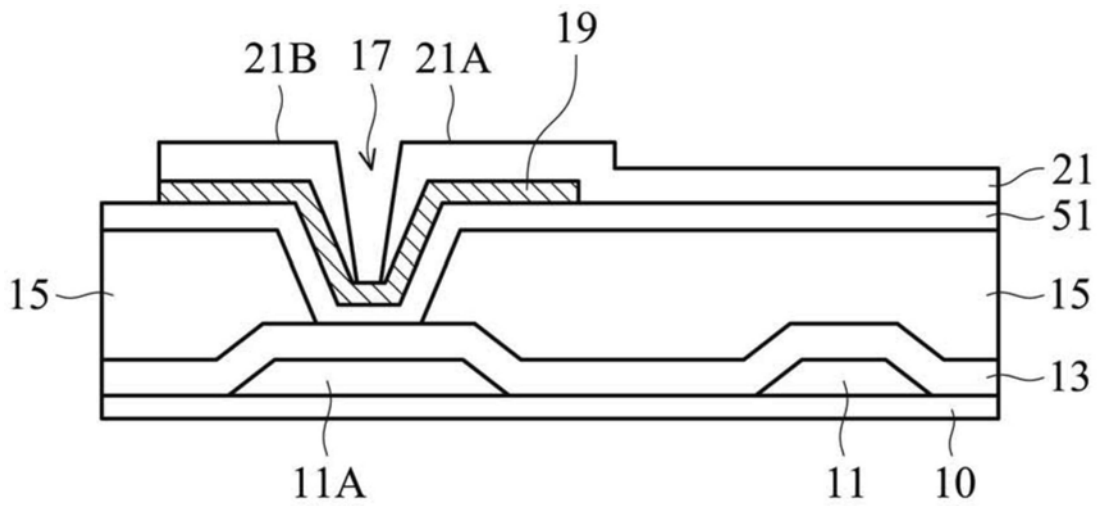


图5A

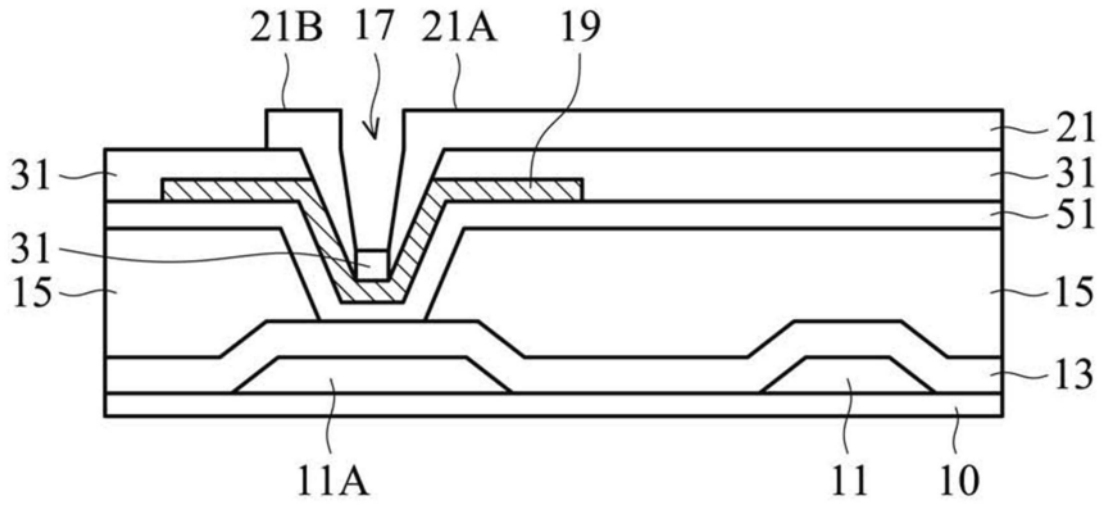


图5B

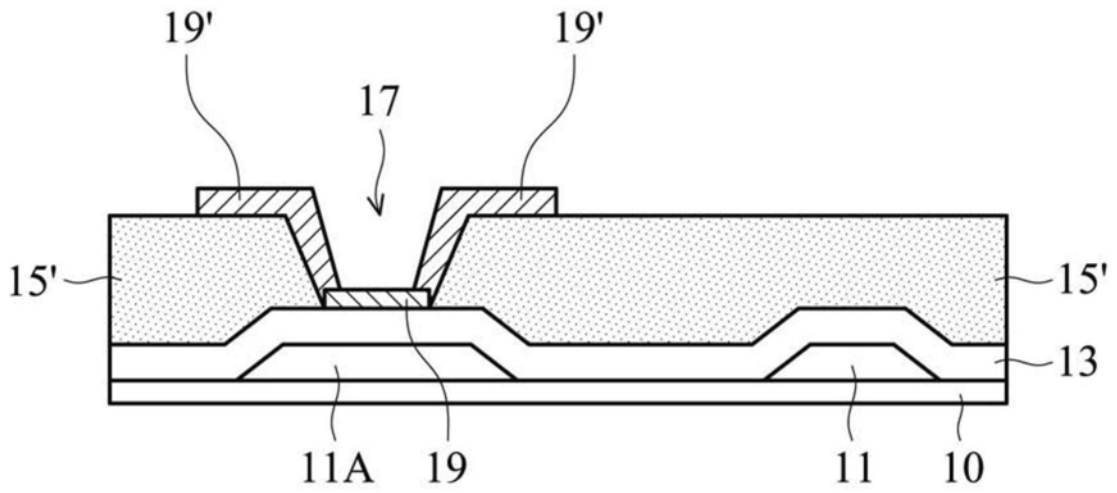


图6A

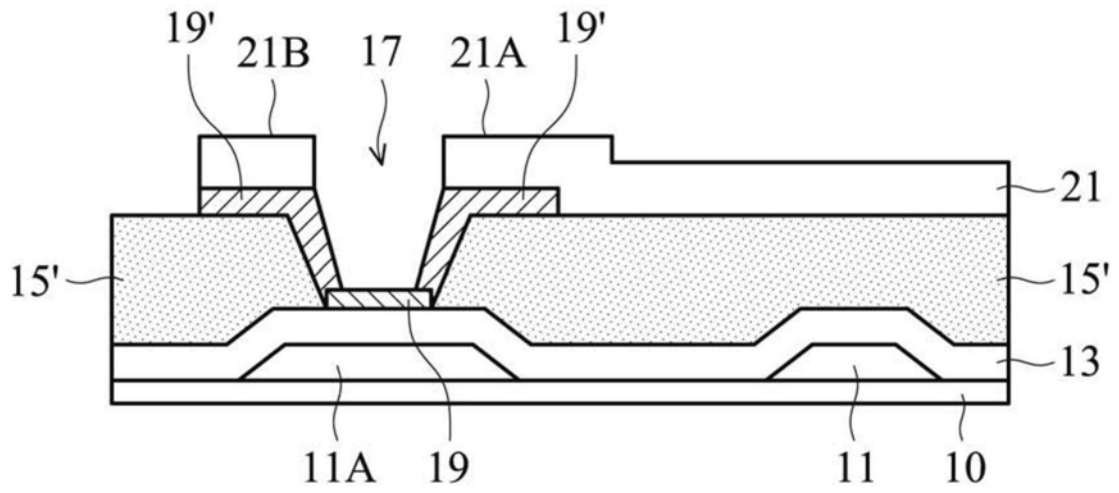


图6B

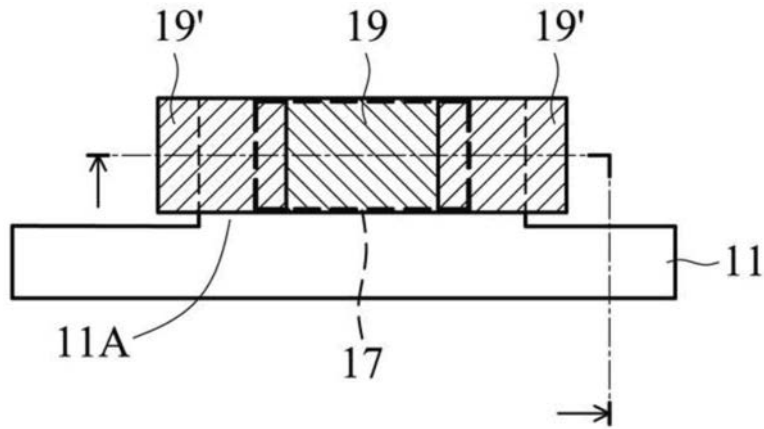


图7A

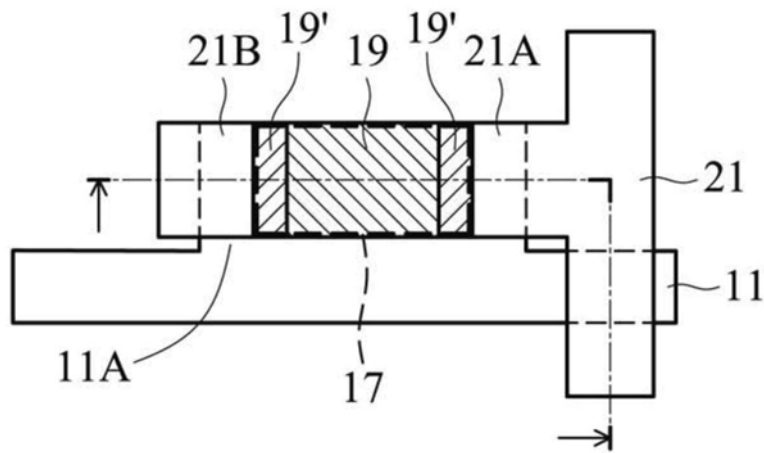


图7B

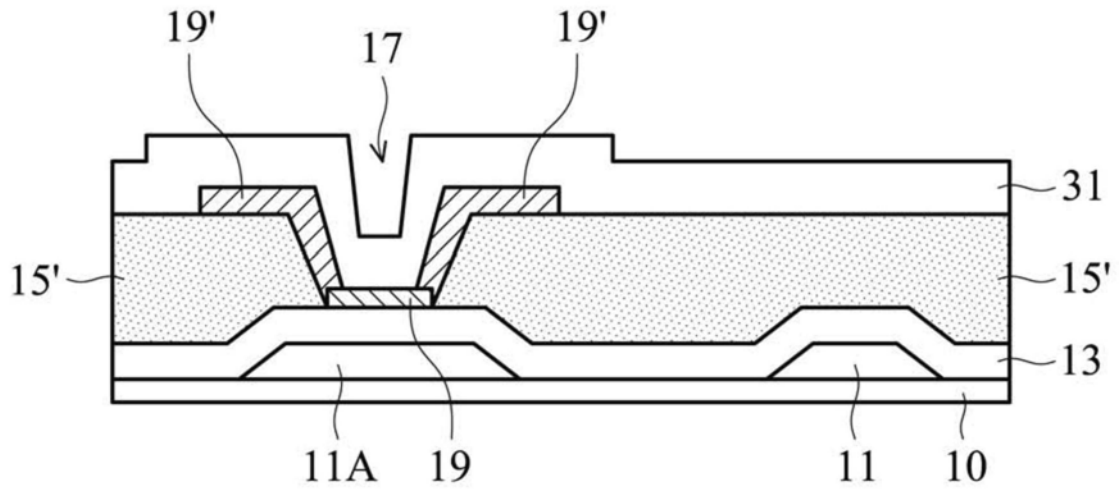


图8A

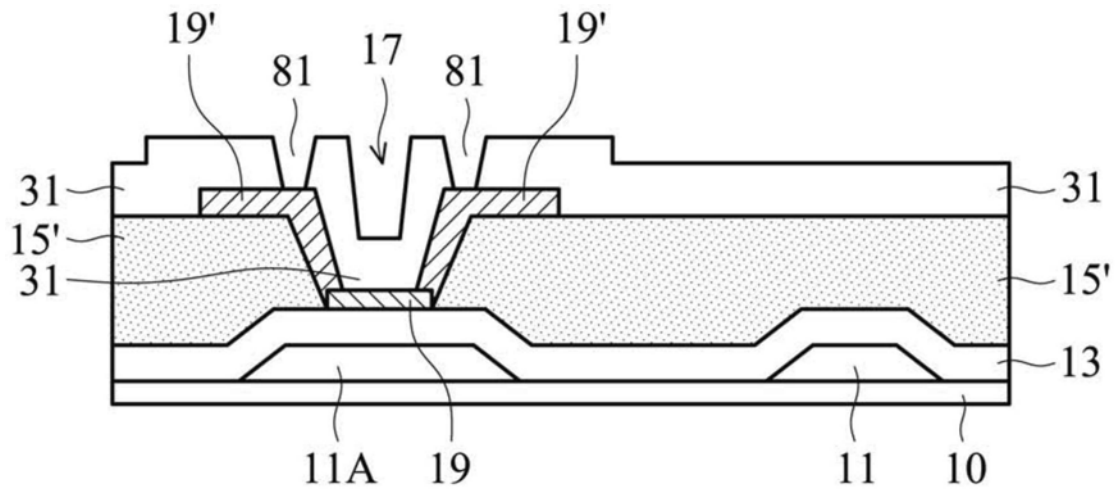


图8B

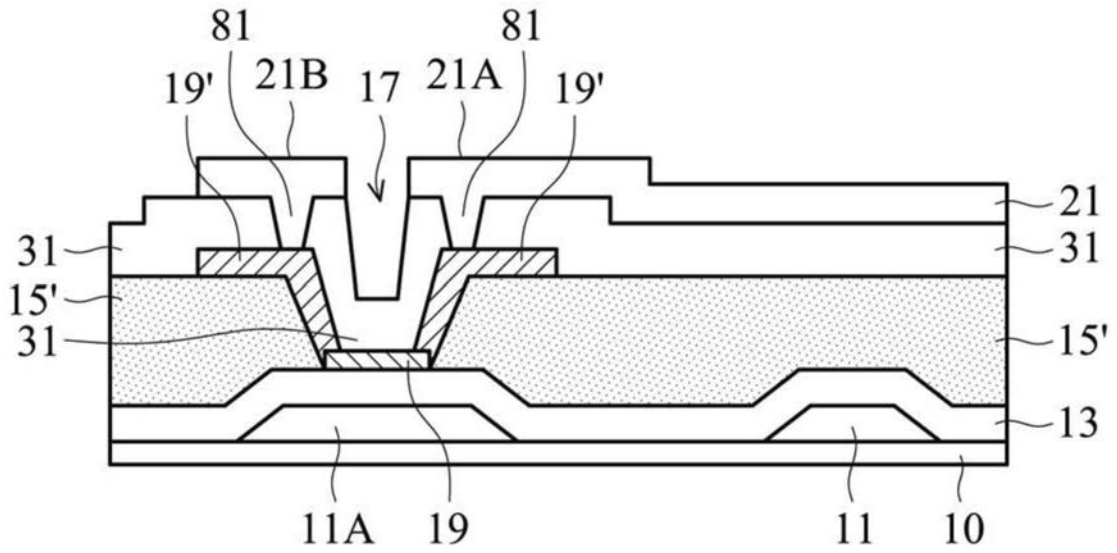


图8C

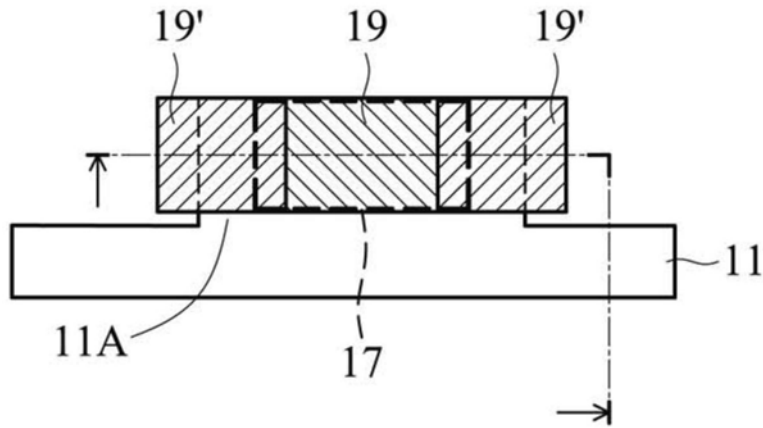


图9A

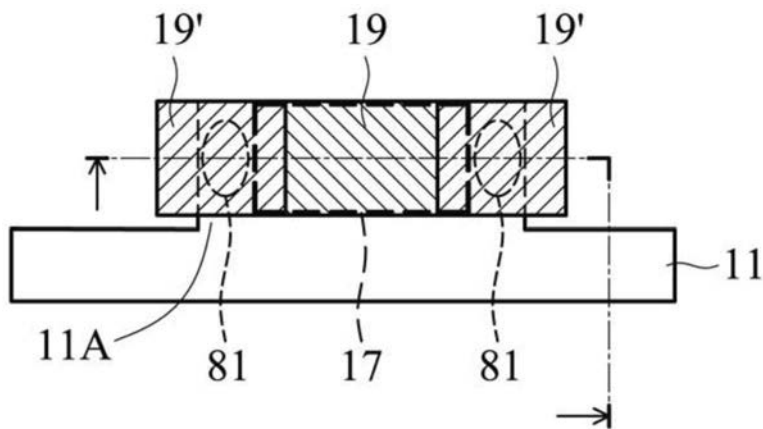


图9B

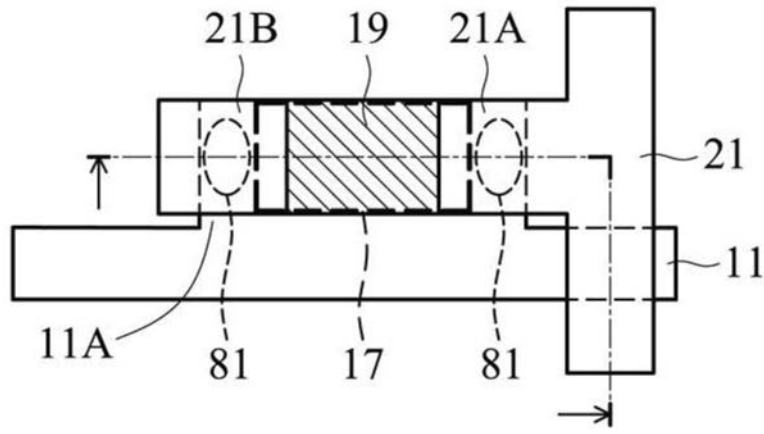


图9C

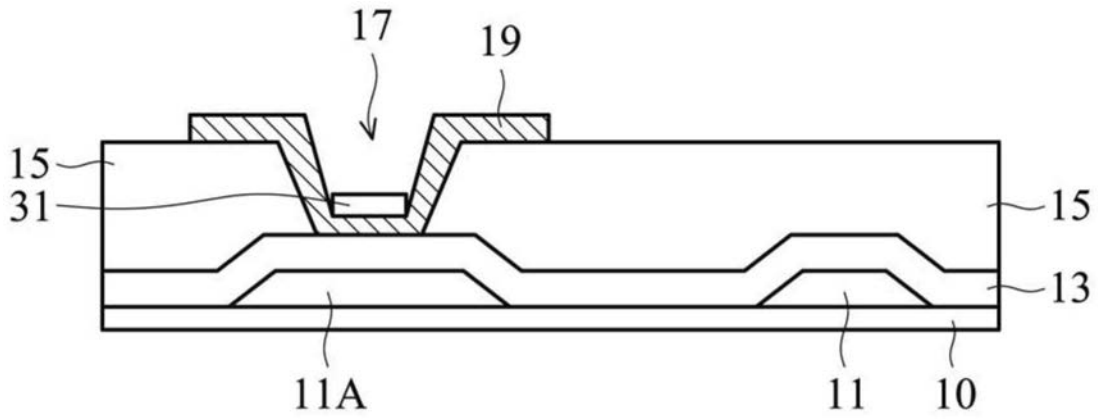


图10A

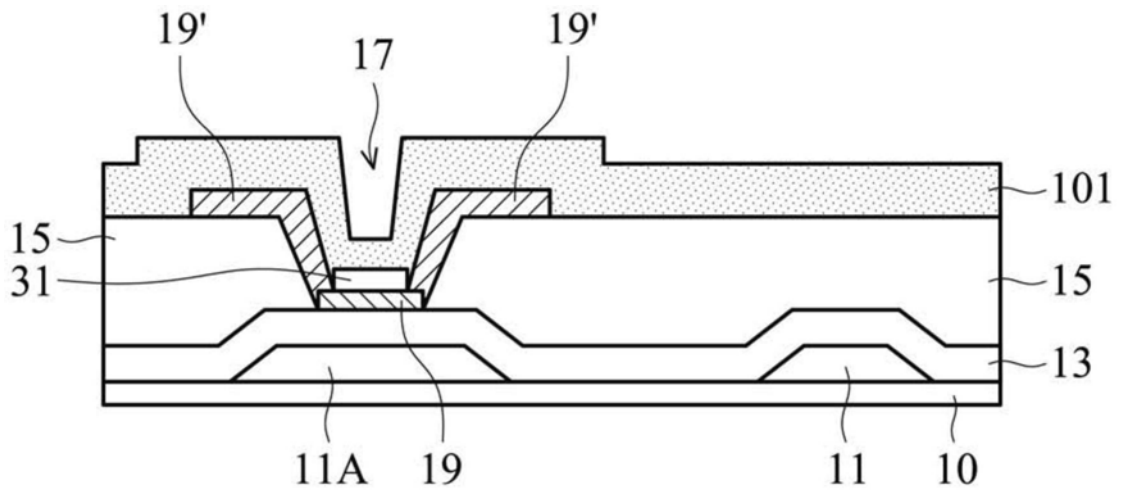


图10B

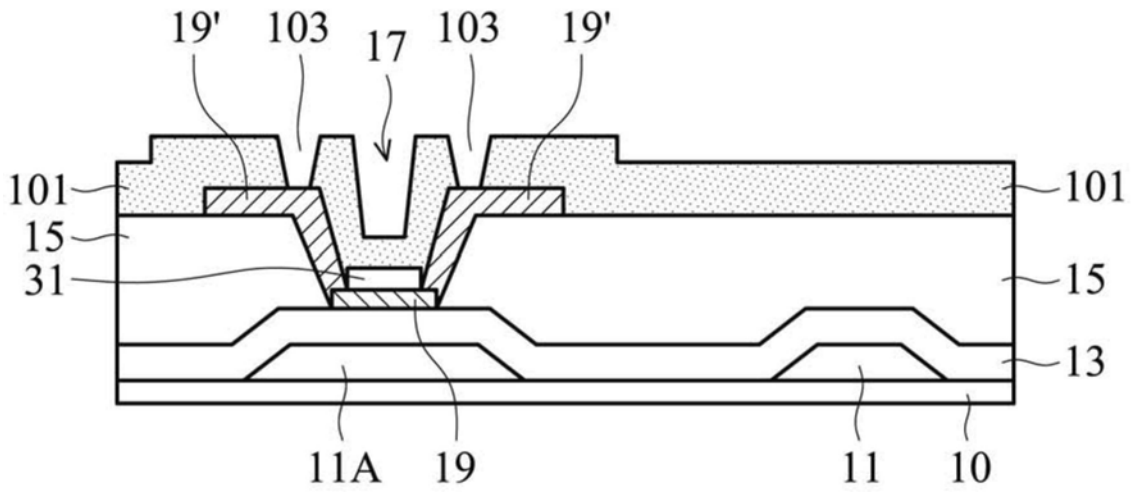


图10C

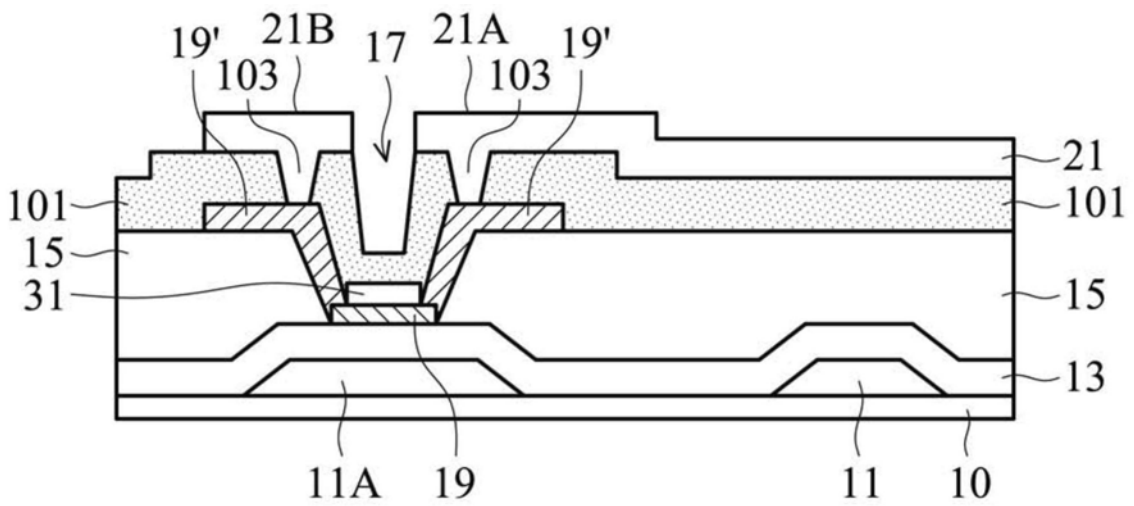


图10D

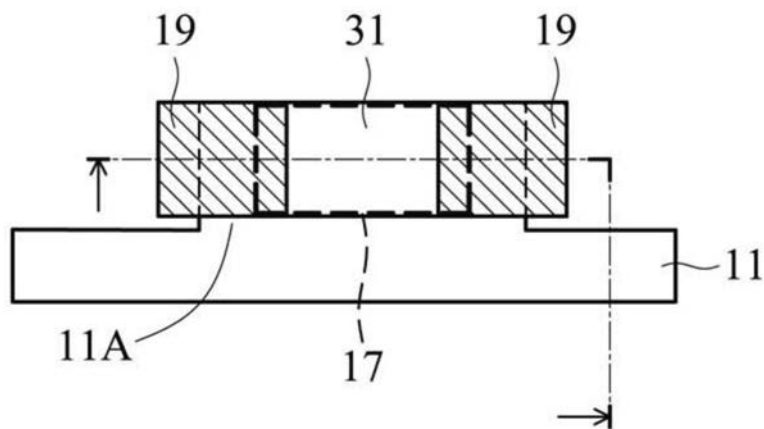


图11A

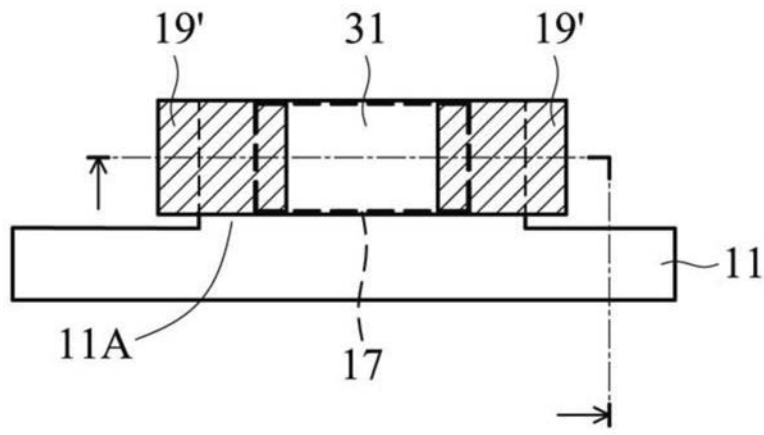


图11B

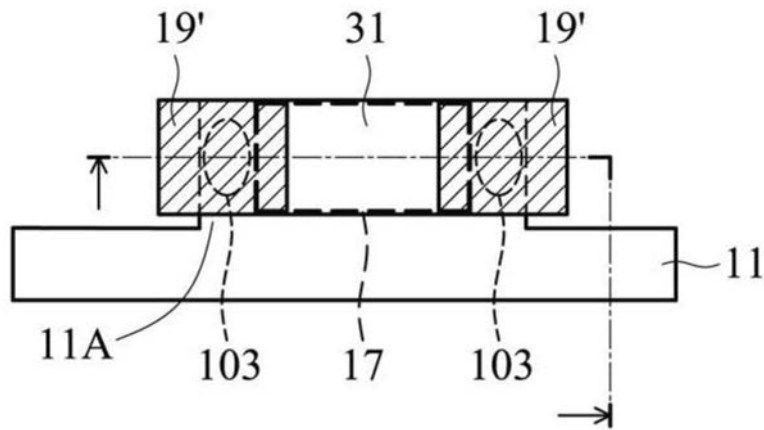


图11C

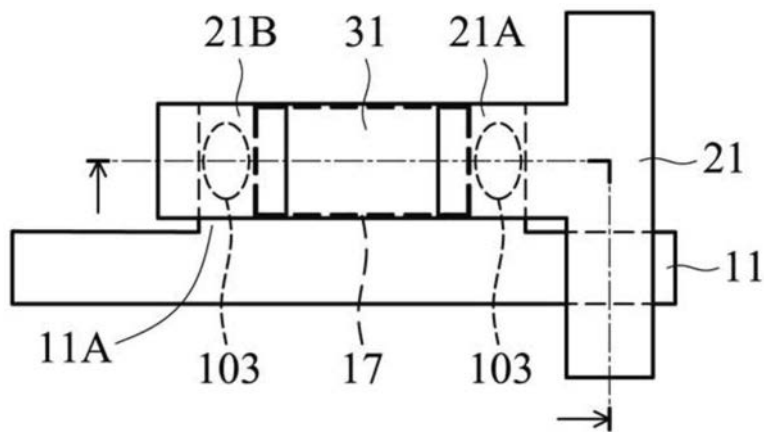


图11D

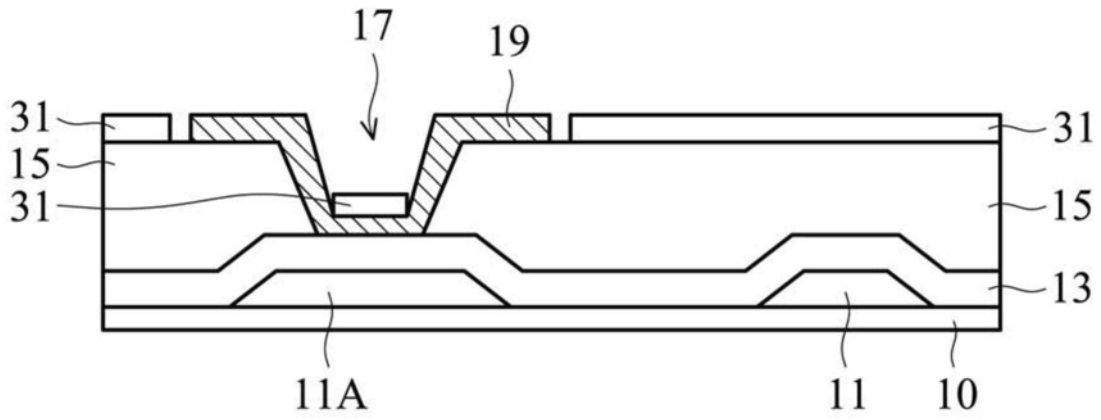


图12A

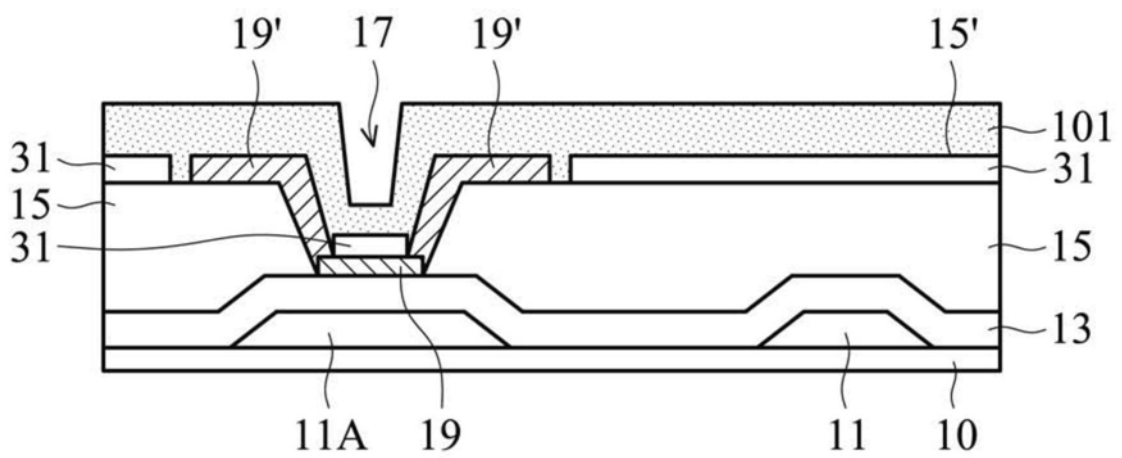


图12B

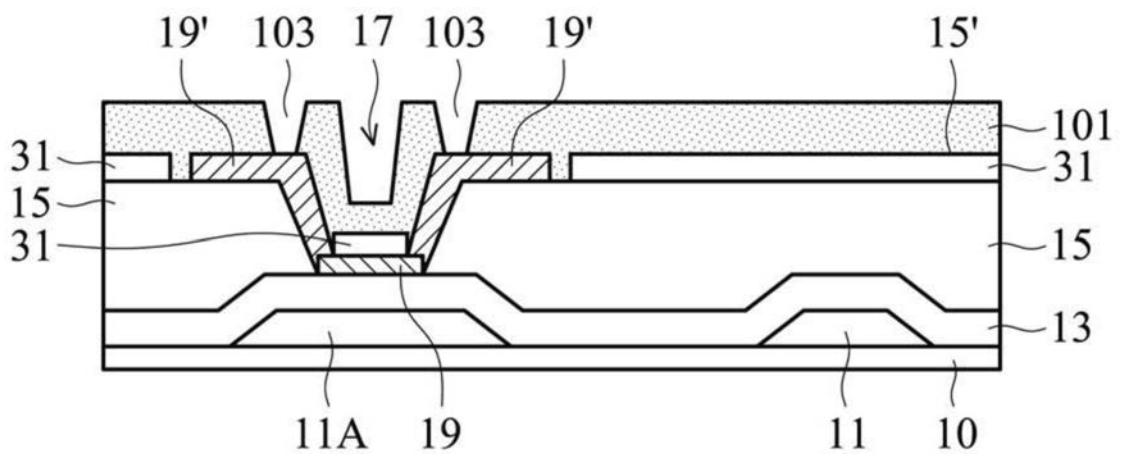


图12C

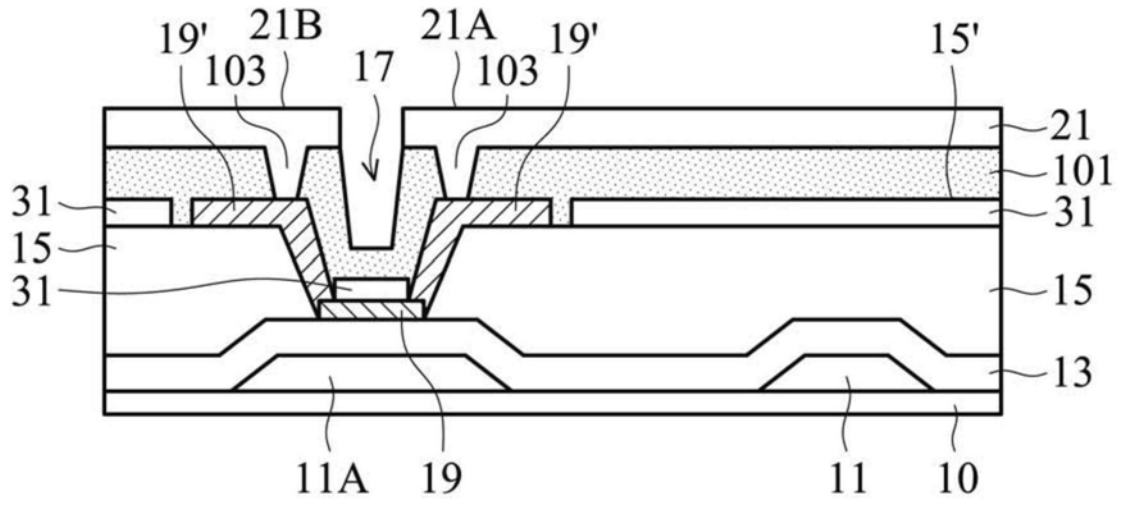


图12D

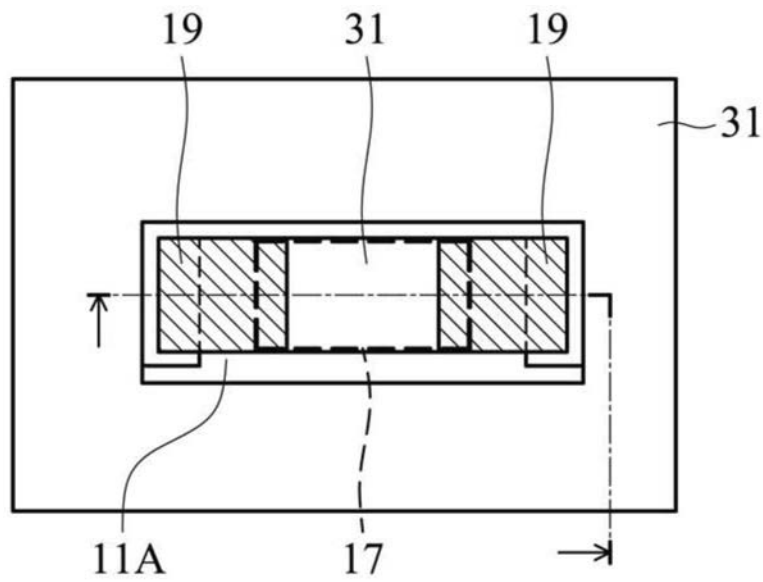


图13A

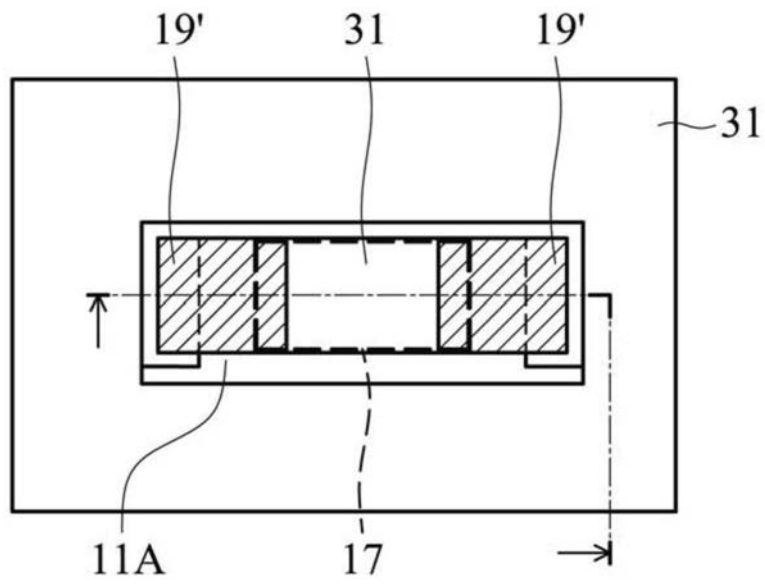


图13B

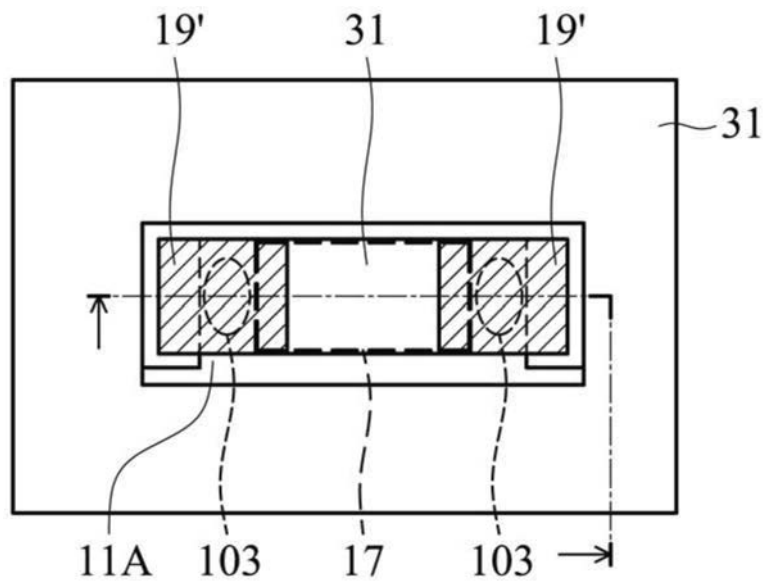


图13C

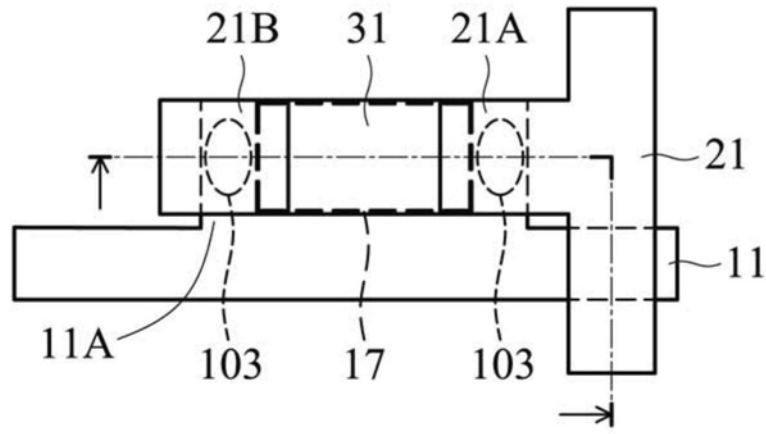


图13D

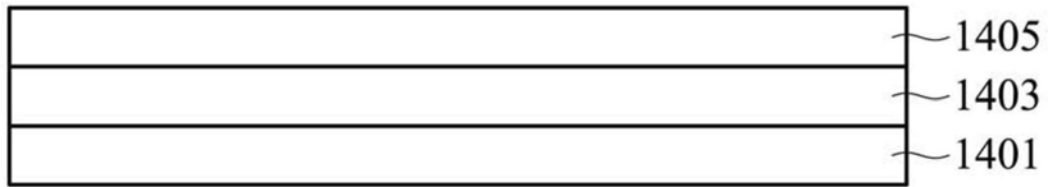


图14