



1. 一种直流到直流转换器,其包括:

开关电路,其包括耦合到开关节点的至少一个开关;

调制器电路,其耦合到所述开关电路,并且被配置为提供开关控制信号以选择性地致动和停用所述至少一个开关;

数字积分器电路,其耦合到参考电路,并且包括:

比较器电路,所述比较器电路具有第一输入、第二输入和比较器输出,所述第一输入耦合为接收至少部分基于参考电压提供的积分器参考电压信号,所述第二输入适于接收与所述直流到直流转换器的输出电压成比例的反馈电压信号,所述比较器输出被配置为提供二进制比较器输出信号,所述二进制比较器输出信号指示所述积分器参考电压信号是否大于所述反馈电压信号,以及

双计数器电路,其耦合到所述比较器输出,并且包括:

第一计数器,所述第一计数器包括适于耦合到积分器电路时钟源的第一时钟输入、耦合到所述比较器输出以接收所述比较器输出信号的第一向上/向下计数输入、以及多个第一计数器位输出,所述多个第一计数器位输出被配置为提供指示多位第一计数器输出值的信号,

第二计数器,所述第二计数器包含第二时钟输入、第二向上/向下计数输入、以及多个第二计数器位输出,所述多个第二计数器位输出被配置为提供指示多位第二计数器输出值的信号,以及

逻辑电路,所述逻辑电路耦合在所述第一计数器和所述第二计数器之间,并且被配置为响应于初始指示所述第一计数器的预定值的所述第一计数器位输出而初始递增或递减所述第二计数器,并且之后响应于在所述第一计数器位输出在一个方向上转变经过所述第一计数器的全部值范围之后再次指示所述预定值的所述第一计数器位输出而递增或递减所述第二计数器;以及

数字模拟转换器,所述数字模拟转换器具有耦合到所述第二计数器位输出的多个输入、以及输出,所述输出被配置为至少部分基于所述第二计数器位输出和所述参考电压提供补偿参考信号;以及

循环比较器电路,其耦合在所述数字模拟转换器和所述调制器电路之间,并且具有适于接收所述反馈电压信号的第一比较器输入、耦合为接收所述补偿参考信号的第二比较器输入以及循环比较器输出,所述循环比较器输出被配置为向所述调制器电路提供循环比较器输出信号,以便基于所述反馈电压信号和所述补偿参考信号来调节所述输出电压。

2. 根据权利要求1所述的直流到直流转换器,其中所述逻辑电路包含耦合到所述第一计数器的所述多个第一计数器位输出的多个输入、耦合到所述第二时钟输入的第一逻辑输出、以及耦合到所述第二向上/向下计数输入的第二逻辑输出,所述逻辑电路操作为:

响应于指示所述第一计数器的第一预定值的所述第一计数器位输出,将所述第一逻辑输出设置为第一二进制时钟输入状态;

响应于指示所述第一计数器的第二预定值的所述第一计数器位输出,将所述第一逻辑输出设置为第二二进制时钟输入状态;

响应于所述第一计数器位输出在第一方向上转变到所述第一计数器的所述第二预定值,将所述第二逻辑输出设置为第一二进制计数器状态;以及

响应于所述第一计数器位输出在第二方向上转变到所述第一计数器的所述第二预定值,将所述第二逻辑输出设置为第二二进制计数器状态。

3. 根据权利要求2所述的直流到直流转换器,其中所述双计数器电路进一步包括:

第一开关,其被配置为根据控制输入的第一状态,将所述第二计数器的所述第二时钟输入耦合到所述逻辑电路的所述第一逻辑输出,以及根据所述控制输入的第二状态,将所述第二计数器的所述第二时钟输入耦合到所述积分器电路时钟源;以及

第二开关,其被配置为根据所述控制输入的所述第一状态,将所述第二计数器的所述第二向上/向下计数输入耦合到所述逻辑电路的所述第二逻辑输出,以及根据所述控制输入的第二状态,将所述第二计数器的所述第二向上/向下计数输入耦合到所述比较器输出。

4. 根据权利要求1所述的直流到直流转换器,其中所述第一计数器和所述第二计数器中的每一个包括保持控制输入,并且所述第一计数器和所述第二计数器根据保持控制输入信号分别可操作为在第一模式中根据相应的时钟输入和相应的向上/向下计数输入选择性地更新相应的第一计数器位输出和第二计数器位输出,并且在第二模式中避免更新所述第一计数器位输出和所述第二计数器位输出。

5. 根据权利要求4所述的直流到直流转换器,其进一步包括过电流限制电路,所述过电流限制电路操作为选择性地向所述第一计数器和所述第二计数器的所述保持控制输入提供所述保持控制输入信号以便当检测到过电流限制条件时冻结提供给参考补偿电路的多位数字输入。

6. 根据权利要求1所述的直流到直流转换器,其进一步包括:电流反馈电路,其耦合到所述开关节点,并且被配置为感测通过耦合在所述开关节点和所述转换器输出节点之间的电感器的电感器电流,并生成表示所述电感器电流的差分信号,

其中所述数字积分器电路的所述比较器电路进一步包括输入差分对,其被配置为接收所述差分信号,其中所述比较器电路被配置为基于所述差分信号与所述积分器参考电压信号和所述反馈电压信号之间的差的组合来生成所述二进制比较器输出信号,并且

所述循环比较器电路进一步包括输入差分对,其被配置为接收所述差分信号,其中所述循环比较器电路被配置为基于所述差分信号与所述反馈电压信号和所述补偿参考信号之间的差的组合来生成所述循环比较器输出信号。

7. 根据权利要求1所述的直流到直流转换器,其进一步包括所述参考电路,所述参考电路被配置为至少部分地基于所述参考电压来提供所述积分器参考电压信号。

8. 一种用于直流到直流转换器的控制器,所述直流到直流转换器具有耦合到开关节点的至少一个开关,所述控制器包括:

调制器电路,其被配置为提供开关控制信号以选择性地致动和停用所述至少一个开关;

数字积分器电路,其包括:

比较器电路,所述比较器电路具有第一输入、第二输入和比较器输出,所述第一输入适于接收至少部分基于参考电压提供的积分器参考电压信号,所述第二输入适于接收与所述直流到直流转换器的输出电压成比例的反馈电压信号,所述比较器输出被配置为提供二进制比较器输出信号,所述二进制比较器输出信号指示所述积分器参考电压信号是否大于所述反馈电压信号,以及

双计数器电路,其包括:

第一计数器,所述第一计数器包括适于耦合到积分器电路时钟源的第一时钟输入、耦合到所述比较器输出以接收所述比较器输出信号的第一向上/向下计数输入、以及多个第一计数器位输出,所述多个第一计数器位输出被配置为提供指示多位第一计数器输出值的信号,

第二计数器,所述第二计数器包含第二时钟输入、第二向上/向下计数输入、以及多个第二计数器位输出,所述多个第二计数器位输出被配置为提供指示多位第二计数器输出值的信号,以及

逻辑电路,所述逻辑电路耦合在所述第一计数器和所述第二计数器之间,并且被配置为响应于初始指示所述第一计数器的预定值的所述第一计数器位输出而初始递增或递减所述第二计数器,并且之后响应于在所述第一计数器位输出在一个方向上转变经过所述第一计数器的全部值范围之后再次指示所述预定值的所述第一计数器位输出而递增或递减所述第二计数器;以及

数字模拟转换器,所述数字模拟转换器具有耦合到所述第二计数器位输出的多个输入、以及输出,所述输出被配置为至少部分基于所述第二计数器位输出和所述参考电压提供补偿参考信号;以及

循环比较器电路,其耦合在所述数字模拟转换器和所述调制器电路之间,并且具有适于接收所述反馈电压信号的第一比较器输入、耦合为接收所述补偿参考信号的第二比较器输入以及循环比较器输出,所述循环比较器输出被配置为向所述调制器电路提供循环比较器输出信号,以便基于所述反馈电压信号和所述补偿参考信号来调节所述输出电压。

9. 根据权利要求8所述的控制器,其中所述逻辑电路包含耦合到所述第一计数器的所述多个第一计数器位输出的多个输入、耦合到所述第二时钟输入的第一逻辑输出、以及耦合到所述第二向上/向下计数输入的第二逻辑输出,所述逻辑电路操作为:

响应于指示所述第一计数器的第一预定值的所述第一计数器位输出,将所述第一逻辑输出设置为第一二进制时钟输入状态;

响应于指示所述第一计数器的第二预定值的所述第一计数器位输出,将所述第一逻辑输出设置为第二二进制时钟输入状态;

响应于所述第一计数器位输出在第一方向上转变到所述第一计数器的所述第二预定值,将所述第二逻辑输出设置为第一二进制计数器状态;以及

响应于所述第一计数器位输出在第二方向上转变到所述第一计数器的所述第二预定值,将所述第二逻辑输出设置为第二二进制计数器状态。

10. 根据权利要求9所述的控制器,其中所述双计数器电路进一步包括:

第一开关,其被配置为根据控制输入的第一状态,将所述第二计数器的所述第二时钟输入耦合到所述逻辑电路的所述第一逻辑输出,以及根据所述控制输入的第二状态,将所述第二计数器的所述第二时钟输入耦合到所述积分器电路时钟源;以及

第二开关,其被配置为根据所述控制输入的所述第一状态,将所述第二计数器的所述第二向上/向下计数输入耦合到所述逻辑电路的所述第二逻辑输出,以及根据所述控制输入的第二状态,将所述第二计数器的所述第二向上/向下计数输入耦合到所述比较器输出。

11. 根据权利要求8所述的控制器,其中所述第一计数器和所述第二计数器根据保持控

制输入信号分别可操作为在第一模式中根据相应的时钟输入和相应的向上/向下计数输入选择性地更新所述第一计数器位输出和所述第二计数器位输出,并且在第二模式中避免更新所述第一计数器位输出和所述第二计数器位输出。

12. 根据权利要求11所述的控制器,其进一步包括过电流限制电路,所述过电流限制电路操作为选择性地向所述第一计数器和所述第二计数器的所述保持控制输入提供所述保持控制输入信号以便当检测到过电流限制条件时冻结提供给参考补偿电路的多位数字输入。

13. 根据权利要求8所述的控制器,其进一步包括:电流反馈电路,其耦合到所述开关节点,并且被配置为感测通过耦合在所述开关节点和所述转换器输出节点之间的电感器的电感器电流,并生成表示所述电感器电流的差分信号,

其中所述数字积分器电路的所述比较器电路进一步包括输入差分对,其被配置为接收所述差分信号,其中所述比较器电路被配置为基于所述差分信号与所述积分器参考电压信号和所述反馈电压信号之间的差的组合来生成所述二进制比较器输出信号,并且

所述循环比较器电路进一步包括输入差分对,其被配置为接收所述差分信号,其中所述循环比较器电路被配置为基于所述差分信号与所述反馈电压信号和所述补偿参考信号之间的差的组合来生成所述循环比较器输出信号。

14. 根据权利要求8所述的控制器,其进一步包括参考电路,所述参考电路被配置为至少部分地基于所述参考电压来提供所述积分器参考电压信号。

15. 一种电子装置,其包括:

直流到直流转换器,其包括:

开关电路,其包括耦合到开关节点的至少一个开关;

调制器电路,其耦合到所述开关电路,并且被配置为提供开关控制信号以选择性地致动和停用所述至少一个开关;

参考电路,其被配置为至少部分地基于参考电压来提供积分器参考电压信号;

数字积分器电路,其耦合到所述参考电路,并且包括:

比较器电路,所述比较器电路具有第一输入、第二输入和比较器输出,所述第一输入耦合到所述参考电路以接收所述积分器参考电压信号,所述第二输入适于接收与所述直流到直流转换器的输出电压成比例的反馈电压信号,所述比较器输出被配置为提供二进制比较器输出信号,所述二进制比较器输出信号指示所述积分器参考电压信号是否大于所述反馈电压信号,以及

双计数器电路,其包括:

第一计数器,所述第一计数器包括适于耦合到积分器电路时钟源的第一时钟输入、耦合到所述比较器输出以接收所述比较器输出信号的第一向上/向下计数输入、以及多个第一计数器位输出,所述多个第一计数器位输出被配置为提供指示多位第一计数器输出值的信号,

第二计数器,所述第二计数器包含第二时钟输入、第二向上/向下计数输入、以及多个第二计数器位输出,所述多个第二计数器位输出被配置为提供指示多位第二计数器输出值的信号,以及逻辑电路,所述逻辑电路耦合在所述第一计数器和所述第二计数器之间,并且被配置为响应于初始指示所述第一计数器的预定值的所述第一计数器位输出而初始递增

或递减所述第二计数器,并且之后响应于在所述第一计数器位输出在一个方向上转变经过所述第一计数器的全部值范围之后再次指示所述预定值的所述第一计数器位输出而递增或递减所述第二计数器;以及

数字模拟转换器,所述数字模拟转换器具有耦合到所述第二计数器位输出的多个输入、以及输出,所述输出被配置为至少部分基于所述第二计数器位输出和所述参考电压提供补偿参考信号;以及

循环比较器电路,其具有适于接收所述反馈电压信号的第一比较器输入、耦合到所述数字模拟转换器的所述输出以接收所述补偿参考信号的第二比较器输入以及循环比较器输出,所述循环比较器输出被配置为向所述调制器电路提供循环比较器输出信号,以便基于所述反馈电压信号和所述补偿参考信号来调节所述输出电压。

16. 根据权利要求15所述的装置,其中所述逻辑电路包含耦合到所述第一计数器的所述多个第一计数器位输出的多个输入、耦合到所述第二时钟输入的第一逻辑输出、以及耦合到所述第二向上/向下计数输入的第二逻辑输出,所述逻辑电路操作为:

响应于指示所述第一计数器的第一预定值的所述第一计数器位输出,将所述第一逻辑输出设置为第一二进制时钟输入状态;

响应于指示所述第一计数器的第二预定值的所述第一计数器位输出,将所述第一逻辑输出设置为第二二进制时钟输入状态;

响应于所述第一计数器位输出在第一方向上转变到所述第一计数器的所述第二预定值,将所述第二逻辑输出设置为第一二进制计数器状态;以及

响应于所述第一计数器位输出在第二方向上转变到所述第一计数器的所述第二预定值,将所述第二逻辑输出设置为第二二进制计数器状态。

17. 根据权利要求16所述的装置,其中所述双计数器电路进一步包括:

第一开关,其被配置为根据控制输入的第一状态,将所述第二计数器的所述第二时钟输入耦合到所述逻辑电路的所述第一逻辑输出,以及根据所述控制输入的第二状态,将所述第二计数器的所述第二时钟输入耦合到所述积分器电路时钟源;以及

第二开关,其被配置为根据所述控制输入的所述第一状态,将所述第二计数器的所述第二向上/向下计数输入耦合到所述逻辑电路的所述第二逻辑输出,以及根据所述控制输入的第二状态,将所述第二计数器的所述第二向上/向下计数输入耦合到所述比较器输出。

18. 根据权利要求15所述的装置,其中所述第一计数器和所述第二计数器根据保持控制输入信号分别可操作为在第一模式中根据相应的时钟输入和相应的向上/向下计数输入选择性地更新所述第一计数器位输出和所述第二计数器位输出,并且在第二模式中避免更新所述第一计数器位输出和所述第二计数器位输出。

19. 根据权利要求18所述的装置,其进一步包括过电流限制电路,所述过电流限制电路操作为选择性地向所述第一计数器和所述第二计数器的所述保持控制输入提供所述保持控制输入信号以便当检测到过电流限制条件时冻结提供给参考补偿电路的多位数字输入。

20. 根据权利要求15所述的装置,其进一步包括:电流反馈电路,其耦合到所述开关节点,并且被配置为感测通过耦合在所述开关节点和所述转换器输出节点之间的电感器的电感器电流,并生成表示所述电感器电流的差分信号,

其中所述数字积分器电路的所述比较器电路进一步包括输入差分对,其被配置为接收

所述差分信号,其中所述比较器电路被配置为基于所述差分信号与所述积分器参考电压信号和所述反馈电压信号之间的差的组合来生成所述二进制比较器输出信号,并且

所述循环比较器电路进一步包括输入差分对,其被配置为接收所述差分信号,其中所述循环比较器电路被配置为基于所述差分信号与所述反馈电压信号和所述补偿参考信号之间的差的组合来生成所述循环比较器输出信号。

## 具有双计数器数字积分器的直流到直流转换器控制器装置

[0001] 本申请是国际申请日为2014年05月22日、进入国家阶段日为2016年11月21日的名称为“具有双计数器数字积分器的直流到直流转换器控制器装置”的中国专利申请201480079061.X (PCT/CN2014/078117)的分案申请。

### 技术领域

[0002] 本公开总体涉及直流到直流转换器的控制,并且更具体地涉及具有双计数器数字积分器电路的直流到直流转换器控制器装置。

### 背景技术

[0003] 电压调节器和直流到直流转换器通常需要为现代电子电路中的处理器、专用集成电路(ASICs)、存储器以及其他组件的正常运转提供稳定的、调节的供应电压。计算机、智能手机、平板电脑以及其他电子产品尤其需要为处理器和其他内部电路提供高精度供应电压。直流到直流转换器控制器通常提供闭环转换器操作以便在初始加电、负载瞬变、过电流状态以及稳定状态运转期间维持总体恒定的输出电压。开关转换器通常包括由脉宽调制开关控制信号操作的一个或多个开关器件,并且脉宽调制(PWM)的普通形式一般采用固定开关频率,控制器根据反馈信号修改开关控制信号脉冲的宽度或持续时间以调节输出电压。然而,固定频率直流-直流转换面对负载电流中的突变遭受电压调至极限。即使在稳定状态操作,供应电压精度依然受到PWM比较器电路、电路信号变换以及参考分压器误差中的偏置的不利影响,并且模拟积分器电路经常采用补偿系统偏置。然而,模拟积分器需要外部电容器和并占据大量的集成电路管芯,并且也遭受高功耗和有限时间常数,导致负载瞬变期间缺乏输出调节。此外,由于积分制存储为积分器随时间放电两端的电压值,因此在连续导电模式(DCM)和不连续导电模式(CCM)之间转变期间关闭模拟积分器导致不稳定性。因此,模拟积分器方案需要在高负载状态下关闭模拟积分器牺牲负载效率,或可以通过在系统中其他功能块中降低功率来提供可接受的轻负载效率和精确度。数字积分器比模拟积分器占用较少的面积并使用较少的功率,但是数字积分器使用数字向上/向下计数器(up/down counter)遭受循环稳定性问题,尤其对于负载瞬变状态。因此,仍需要改善脉宽调制控制器以及改善的具有比传统方法更好的循环稳定性的调制精确度的直流到直流转换器。

### 发明内容

[0004] 本公开使用多个计数器提供具有新颖数字积分器的直流到直流转换器和控制器实施例,多个计数器可以有利地被用来促进积分器稳定精确的操作以补偿循环比较器和其他PWM控制电路偏置。

[0005] 公开一种直流到直流转换器,其包括开关电路、调制器、反馈电路以及循环比较器电路,该循环比较器电路基于反馈电压信号和补偿参考信号为调制器提供输出信号以调节输出电压。直流到直流转换器还包括具有比较器电路的数字积分器电路,该比较器电路包括耦合的第一输入以接收积分参考电压信号、耦合的第二输入以接收反馈电压信号、以及

比较器输出,该比较器输出提供表示参考电压是否大于反馈电压的输出信号。数字积分器包括具有第一和第二多位计数器的双计数器电路。第一计数器的时钟输入与积分器电路时钟源耦合,并且第一计数器的向上/向下计数输入被耦合为以接收比较器输出,第一计数器具有多个第一计数器位输出,该多个第一计数器位输出提供指示多位第一计数器输出值的信号。逻辑电路初始响应于初始表示预定第一计数器值的第一计数器位输出初始地递增(increment)或递减(decrement)第二计数器,然后响应于第一计数器位输出在一个方向转换通过第一计数器的所有值范围之后再次表示预定值的第一计数器位输出增加或减少第二计数器。提供数字模拟转换器(DAC),该DAC包括连接到第二计数器位输出的多个输入,以及至少部分基于第二计数器位输出和参考电压控制提供给第二比较器输入的补偿参考信号的输出。在某些实施例中可以采用提供具有第二计数器的控制递增或递减的两个独立计数器以方便控制积分器的带宽或响应时间以增强稳定性并因此增强稳定精确的直流到直流转换器操作。

[0006] 在某些实施例中可以包括开关以选择性地将第二计数器的时钟和向上/向下计数输入正常的或稳定状态操作的连接到逻辑电路,以及可替代地将第二计数器向上/向下计数输入连接到比较器输出以便将第二计数器的时钟输入连接到第二模式中的积分器电路时钟源。这些实施例进一步的方面可以在直流到直流转换器的启动期间促进补偿参考信号向正确值的快速转变。

[0007] 在某些实施例中两个计数器中的一个或两个可以包括输入以接收保持控制输入信号并在第一模式中操作以便根据相应的时钟和向上/向下计数输入选择性地更新其相关计数器输出,并且在第二模式中避免更新其相关计数器位输出。该实施例可以方便用于在反馈已知或认为是错误的情况下(诸如过电流情况、过电压情况等)冻结或保持积分值。

[0008] 根据本公开的进一步方面提供脉宽调制(PWM)控制器实施例,该PWM包括参考补偿电路,该参考补偿电路至少部分根据多位数字输入和参考电压提供补偿参考信号,该PWM还包括循环比较器电路,该循环比较器电路基于反馈电压和补偿参考信号控制功率转换器输出电压,该PWM还包括数字积分器电路。数字积分器电路包括比较器电路,该比较器电路提供指示参考电压信号是否大于反馈电压信号的二进制比较器输出信号,数字积分器电路还包括具有第一和第二计数器的双计数器电路以及逻辑电路。第一计数器接收比较器输出信号和积分时钟输入信号,并提供多位第一计数值,并且第二计数器为参考补偿电路提供多位数字输入。逻辑电路基于知识预定值的第一计数值初始递增或递减第二计数器,然后响应于第一计数值通过预定多位技术范围递增或递减来选择性地递增或递减第二计数器。

[0009] 在某些实施例中预定多位计数范围是第一计数器的全部范围。此外,在某些实施例中,提供第一开关,该第一开关根据控制输入操作为在第一状态中将第二时钟输入连接到逻辑电路,以及在第二状态中将第二时钟输入连接到积分时钟输入信号,并且提供第二开关,该第二开关根据控制输入操作为在第一状态中将第二向上/向下计数输入连接到逻辑电路,以及在第二状态中将第二向上/向下计数输入连接到比较器输出。在某些实施例中,第二计数器包括用于冻结提供给参考补偿电路的数字输入的保持控制输入。此外,某些实施例包括过电流限制电路,该过电流限制电路选择性地为第二计数器的保持控制输入提供保持信号以便当检测到过电流限制状态时冻结提供给参考补偿电路的多位数字输入。在某些实施例中参考补偿电路包括具有开关的开关电阻分压电路,该开关根据多位数字输入

操作为至少部分根据多位数字输入和参考电压提供补偿参考信号。

[0010] 根据本公开的进一步方面,提供用于积分参考电压信号和反馈电压信号之间的误差的数字积分器电路。沿着第一和第二计数器以及逻辑电路,数字积分器包括具有输出的比较器电路,该输出提供表示参考电压信号是否大于反馈电压信号的二进制比较器输出信号。第一计数器包括与积分器电路时钟源耦合第一时钟输入、耦合为接收比较器输出信号的第一向上/向下计数输入、以及多个第一计数器位输出,该多个第一计数器位输出提供表示多位第一计数器输出值的信号。第二计数器包括第二时钟输入、第二向上/向下计数输入、多个第二计数器位输出,该多个第二计数器位输出提供表示多位第二计数器输出值的信号、以及用于冻结第二计数器位输出的保持信号输入。逻辑电路操作为响应于初始表示预定值的第一计数器位输出初始递增或递减第二计数器。然后,逻辑电路仅响应于第一计数器位输出在一个方向上转变经过第一计数器的全部值范围之后再次表示预定值的第一计数器递增或递减第二计数器。在某些实施例中数字积分器包括第一开关,该第一开关根据控制输入操作为在第一状态中将第二计数器的时钟输入连接到逻辑电路,以及在第二状态中将第二计数器的四儿时钟输入连接到积分器电路时钟源,数字积分器好包括第二开关,该第二开关根据控制输入操作为在第一状态中将第二向上/向下计数输入连接到逻辑电路,以及在第二状态中将第二向上/向下计数输入连接到比较器输出。

### 附图说明

[0011] 以下描述和附图详细阐述本公开的某些说明性实施方式,表示实现本公开各种原则的一些方式。然而,附图说明示例并不详尽本公开的诸多可能实施例。本公开的其他对象、优势以及新颖性特征将在以下详细描述结合附图中阐述,其中:

[0012] 图1是根据本公开的一个或多个方面说明具有双计数器数字积分器电路的直流到直流转换器的示意图,其中双计数器数字积分器电路为调制器电路循环控制器提供补偿参考电压;

[0013] 图2是说明数字积分器中双计数器电路的进一步细节的示意图;

[0014] 图3是说明数字积分器中的逻辑电路的操作的状态图;

[0015] 图4是说明数字积分器中开关电阻分压器数字模拟转换器的示意图;

[0016] 图5是说明图1的直流到直流转换器中的各种信号波形的波形图;

[0017] 图6是根据本公开的一个或多个方面说明具有为调制器电路循环控制器提供补偿参考电压的双计数器数字积分器电路的另一个直流到直流转换器的示意图;

[0018] 图7是说明图6的直流到直流转换器中各种信号波形的波形图。

### 具体实施方式

[0019] 随后,结合附图描述一个或多个实施例或实施方式,其中贯穿全文相同的参考数字用于表示相同的元件,并且其中各种特征不必要按比例绘制。

[0020] 图1图示了直流到直流转换器(DC to DC converter)10,该直流到直流转换器提供输出电压 $V_{out}$ 以驱动连接在转换器输出端子和电路接地3之间的相关负载2,其中在该非限制性示例中的转换器10是具有在开关节点SW和输出端子之间连接的输出电感器4的降压转换器。具有相关等效串联电阻(ESR)8的输出电容器6与驱动负载2并连的被连接在输出端子

和电路接地3之间。尽管并不是所有实施例严格要求恒定频率或伪恒定频率，所图示的直流到直流转换器10提供在伪恒定频率下操作的调制器。编号为6,642,696、7,652,461以及8,476,887的美国专利中描述合适的调制器和相关电路的一般操作，这些专利的整体通过引用被包含在本文中。图1中的直流到直流转换器包括开关电路，该开关电路包含连接在输入供应电压 $V_{in}$ 和电路接地3之间的上部场效应管 (FET) 开关器件20和下部场效应管 (FET) 开关器件24 (本示例中的NMOS)，并且开关20和24在开关节点SW处相互连接。可以采用任意合适的开关电路，该开关电路具有用于根据至少一个相应的开关控制信号选择性地操作的连接到开关节点的至少一个开关。在所说明的示例中，高驱动电路22和低驱动电路26各自基于来自PWM锁存器触发器64 (PWML) 的调制输出信号65分别为开关20和24提供开关控制信号，其中锁存器64向交叉传导控制电路66提供输入信号，交叉传导控制电路66进而向驱动器22和26提供输入用于高开关器件20和低开关器件24的互补脉宽调制操作以控制提供到负载2的输出电压 $V_{out}$ 。

[0021] 在某些实施例中，通过PWM控制器集成电路 (IC) 提供直流到直流转换器10的脉宽调制控制，该PWM控制器集成电路 (IC) 可以 (但不必) 包括开关20和22并且为外部输出电感器4的连接提供端子18。可以提供电压感应 (VSNS) 输入端11用于连接到感测电压节点28以感测直流到直流转换器输出电压 $V_{out}$ ，并且可以包括输入电压端子12用于接收如图1所示的图示出的输入电压 $V_{in}$ 。其他实施例是可能的，其中开关器件20和24和/或相关驱动器22和26可以在控制器IC外部，并且IC可以包括用于将此组件连接到内部调制器电路的合适的端子。此外，尽管所说明的示例既包括高驱动器22又包括低驱动器26以及相关开关器件20和24，然而在某些实施例中可以省略低侧开关24及相对应的驱动器26，其中二极管连接在开关节点SW和电路接地3之间。此外，尽管图1中的直流到直流转换器10是降压型转换器，然而可以采用本公开的各种概念结合任意合适形式的直流到直流转换器或电压调节器，包括但不限于降压转换器、升压转换器、降压-升压转换器、CUK转换器等。此外，在说明的实施例中，外部可控START信号可以通过相应的端子14提供给控制器IC，或者在各种实施例中，可以使用控制器IC中的定时器或其他电路 (未示出) 内部产生启动控制信号。PWM控制电路通常在正常模式中操作，以根据参考电压 $V_{REF}$ 调制输出电压 $V_{out}$  (在所说明的实施例中，参考电压 $V_{out}$ 是在所述实施例中通过参考电压端子46提供给PWM控制器IC的外部输入信号)。

[0022] PWM锁存器64形成调制器电路，该调制器电路是PWM控制器连同驱动器22、26、任意包括的交叉传导控制电路66以及循环比较器36的一部分。基于连接到非反相第一比较器输入34的反馈信号 (FB) 并且基于提供给来自以下进一步描述的数字积分器40的非反相循环比较器输入38的补偿参考信号 $V_{REFout}$ ，循环比较器36通过与 (AND) 门62向锁存器64的设置输入“S”提供循环比较器输出37以调节转换器输出电压 $V_{out}$ 。这种情况下的反馈信号FB由电阻分压器反馈电路提供，该电阻分压器反馈电路包括连接在电路接地端3和在节点28处的输出电压感测信号VSNS之间的上部电阻器30和下部电阻器32，其中分压器30、32的中心节点为循环比较器电路36和数字积分器40提供反馈电压信号FB作为感测输出电压 $V_{out}$ 的一部分。

[0023] 在所说明的实施例中，PWM锁存器64的输出65 (“Q”) 作为输入被提供到交叉传导控制电路66以及最小关闭时间 (off-time) 定时器电路70和或 (OR) 门82和84。定时器电路70包括连接在正供应电压和关闭时间定时器电容器74 ( $C_{off}$ ) 的上部端子之间的电流源72

(Ioff), 该关闭时间定时器电容器74的下部端子被连接到电路接地, 其中NMOS晶体管76接收PWM锁存器输出65并且作为响应选择性地短路(例如, 放电)电容器74两端的电压。然后电流源72和电容器74为比较器78的非反相输入提供与参考电压79相比上升的电压信号, 使得比较器78将输出信号提供给或门82的输入。OR门82的输出作为第二输入提供给与门62, 用于控制PWM锁存器64的S输入, 以便由此控制PWM锁存器输出信号65是关闭的最小时间量。

[0024] 如图1中进一步看到的, 过零比较器电路68比较开关节点SW处的电压和电路接地并且将过零信号69作为第二输入提供给或门84。或门82和84向与门86提供输入, 与门86的输出控制重置“R”输入到过零锁存器(ZCL) 80, 过零锁存器(ZCL) 80具有通过所示的或门82的输出由反相器88驱动的设置“S”输入。此外, 在所说明的实施例中, 交叉传导控制电路66将驱动器22的输出与参考电压相比较, 以提供控制接通时间定时器电路90的输出信号, 接通时间定时器电路90包括电流源92(Ion, 在某些实施方式中设置为输入电压Vin和外部控制电阻器Ron之间的比率)、定时电容器94(Con)、控制晶体管96以及比较器98, 比较器98将电容器94两端的上升电压与感测的输出电压28相比较并且将输出信号99提供给PWM锁存器的重置“R”输入, 以控制提供给驱动器22和26的PWM开关信号的接通时间。因此, PWM控制电路提供闭环循环调制器, 以控制提供给负载2的直流到直流转换器输出电压Vout。

[0025] 现在参考图1和图2, 循环比较器36具有连接以接收反馈电压信号FB的第一输出34、以及连接以接收来自数字积分器电路40的补偿参考信号VREFout的第二比较器输入38。为了对调制器电路中的偏置(offset)(诸如循环比较器偏置、电阻器分压器偏置等)进行补偿, 积分器40接收参考信号VREF和反馈信号FB, 并且将补偿参考信号VREFout提供给循环比较器36。数字积分器40包括电阻分压器参考电路, 该电阻分压器参考电路具有在参考输入VREF和电路接地3之间相互串联连接的上部电阻器42和下部电阻器44, 并为积分器比较器48的非反相输入提供积分器参考信号。比较器48的反相输入被耦合以通过包括所示的电阻器50和电容器52的可选RC滤波器电路接收反馈信号FB。比较器输出49产生表示参考电压信号是否大于反馈电压信号FB的二进制比较器输出信号。比较器输出49作为输入信号提供给双计数器电路54, 双计数器电路54进而为数字模拟转换器(DAC) 60提供7位二进制编码数字输出QH(6:0)。DAC 60接收参考电压VREF和数字计数器输出并将补偿参考电压VREFout提供给循环比较器36的非反相输入38。

[0026] 在所说明的实施例中, 双计数器电路54也接收保持(HOLD)控制信号58和积分器时钟信号56(CLK)。任何合适的时钟源可以被用作积分器时钟信号56。例如, 尽管各种实施方式可能使用用于操作数字积分器40的分离时钟源56, 但是可以使用用于操作锁存器64的PWM时钟。在一个可能实施例中, 如图2所示, HOLD信号58被提供为来自过电流限制(OCL)检测电路47的输出, 其中电路47基于开关节点SW处的电压和输出电压感测信号VSNS检测直流到直流转换器10中的过电流情况。根据直流到直流转换器电路10中的其他情况, 包括但不限于过电压情况等, HOLD信号58可以被替代地或组合提供。具体地, HOLD信号58方便地冻结数字积分器40的值, 并因此在过电流限制和/或感测输出电压并因此认为反馈信号FB是不准确的情况下提供效用(utility)。

[0027] 如图2所最佳所见, 双计数器电路54包括具有用于接收积分器电路时钟源CLK的时钟输入CLKL的第一计数器100(例如, 该示例中的低位计数器), 以及耦合用于接收来自比较器48的输出信号49的第一向上/向下计数输入UPL。尽管可以使用具有两个或更多提供表示

多位第一计数器输出值的信号的二进制输出的任意多位第一计数器100,然而第一计数器100提供六位输出QL(5:0)。双计数器电路54进一步包括逻辑电路102和多位第二计数器104(例如,高位计数器),第二计数器104具有第二时钟输入CLKH、第二向上/向下计数输入UPH、以及多个第二计数器位输出QH(6:0),该多个第二计数器位输出为DAC提供表示7位第二计数器输出值的信号,用于产生补偿参考电压VREFout。尽管在说明的实施例中示出7位第二计数器104,然而其他实施例也是可能的,其中第二计数器104提供任意数量位的多位计数器输出。

[0028] 同样参考图3,在一个实施例中,逻辑电路102包括或以其他方式实现状态机操作作为响应于初始表示第一计数器100的预定值100000的第一计数器位输出QL(5:0)而递增或递减第二计数器104。可以使用任意合适的预定值,并且值100000仅仅是一个非限制性示例。此外,在某些实施例中,预定值(或以下描述的第一和第二预定值以及预限定范围)是可程序化的。在这方面,逻辑电路102可以是包括保持电路、触发器、逻辑门、寄存器等或这些的组合的任合合适的固定或可程序化的逻辑电路。逻辑电路102具有耦和以接收来自第一(低位)计数器100的计数器输出的多个输入、以及与第二时钟输入CLKH耦合(例如,如图2所示的直接地或通过开关106耦合)的第一逻辑输出(CLKH)、和与第二向上/向下计数输入UPH耦合(例如,直接地或通过开关108耦合)的第二逻辑输出。如以下进一步所解释的,开关106和108被提供在所说明的双计数器电路实施例54以选择性地控制时钟和向上/向下计数器输入到第二计数器104的连接用于根据START信号14而选择性操作在正常模式和“启动”模式中。

[0029] 在正常操作中,其中第二计数器时钟输入CLKH通过开关106被连接到逻辑电路102的第一逻辑输出并且UPH计数器输入通过开关108被连接到第二逻辑输出,并且在高位计数器104的第一次更新之后,响应于第一计数器位输出QL(5:0)在一个方向上转变(向上或向下)经过预定值范围之后再次表示预定值100000的第一计数器位输出QL(5:0),逻辑电路102选择性地递增或递减第二计数器104。在所说明的实施例中,尽管逻辑电路102可以被构建为使得实现表示第一计数器100的两个或更多计数(向上或向下)的预定范围,但是预定多位计数器范围是第一计数器100的全部范围。此外,在某些实施例中,逻辑电路102操作为响应于第一计数器100在一个方向上经历连续转变(不改变方向)经过预定值范围而选择性地递增或递减第二计数器104,尽管这并非实施例的严格要求。

[0030] 图3说明示出具有有效低HOLD信号的逻辑电路102的一个实施例操作的状态图200,其中有效低HOLD信号被置于202的有效“1”状态。一旦HOLD信号58成为低以开始正常操作,逻辑电路102在初始第一计数器值或状态204开始处于第一计数器值或编码000000(图3中的编码(CODE)1)。当第一计数值到达第一预定值000000时,逻辑电路102在状态224将第一逻辑输出(CLKH)设置为第一二进制时钟输入状态(LOW),以通过开关106对第二计数器104重置时钟输入。从初始状态204,第一计数器100根据时钟输入56和来自积分器电路比较器48的向上/向下输入49操作为在低位时钟CLKL的每个活动边沿向上或向下计数,其中第一计数器100在UPL=1的指定的时钟沿处递增或向上计数(在图中顺时针方向)并且在UPL=0的指定的时钟沿处递减或向下计数(逆时针)。

[0031] 图3中仅说明了许多可能的第一计数器值或状态中的若干个,包括通过从初始状态204通过向上计数进入的第一状态206(000001)、下一个上升值或状态208(00010),状态

208继续增加得到状态210(011111)。在这种情况下,第一计数器100的随后的上升计数(UPL=1)导致逻辑电路102通过状态212转变到第二预定值或状态214(图3中具有计数值100000的编码2),其中逻辑电路102响应于第一计数器位输出QL(5:0)向上转变为第二预定值100000而在状态212将第二逻辑输出(UPH)设置为第二二进制计数器状态(HIGH)。而且,该向上计数示例中的逻辑电路响应于将第一计数器100向上计数为第二预定值100000而将第一逻辑输出(CLKH)设置为第二二进制时钟输入状态(HIGH),以便触发第二计数器104的时钟输入。

[0032] 在所描述的数字积分器40中,响应于第一计数器到达预定计数值10000,第一计数器100向上计数之后选择性地触发第二计数器104递增第二计数器104,并因此递增提供给DAC 60的计数值QH(6:0),由此提升补偿参考电压VREFout。循环比较器36的闭合循环操作进而将VREFout和反馈信号FB相比较并相应地修改PWM控制电路的调制,从而增加直流到直流转换器输出电压Vout,导致被提供为数字积分器40的输入的反馈信号FB的增加。此补偿参考电压和转换器输出调整的结果可以改变或不改变来自积分器比较器48的比较器输出49。如果不改变,第一计数器100将从状态214继续向上计数(图3中的顺时针方向)到状态218,并且该向上计数(UPL=1)可以继续经过所图示的状态220和状态222,其中计数器100在状态204处可能再次达到第一预定值000000。在这种情况下,逻辑电路102再次将第一逻辑输出设置为低,以便在状态224重置第二计数器时钟CLKH,并且逻辑电路102继续上述操作用于第一计数器100的任意进一步向上计数。

[0033] 如果通过积分器比较器48对参考信号和调整后的反馈信号的相对比较改变比较器输出49的状态,第一计数器100将反而向下计数(UPL=0),其中该向下计数出现在图3的状态图200中的逆时针方向。在这种情况下,从状态218(第一计数器值100001)向下转变到第二预定值100000,使得逻辑电路102将通过开关108提供的向上/向下信号(LOW)改变到在状态226处的第二计数器104的UPH输入,并且响应于计数器100在向下方向中达到状态214处的100000值,使得逻辑电路102在状态216通过开关106再次触发第二计数器104的时钟输入CLKH(高脉冲边缘),因此递减第二计数器104的计数值。本示例中向下方向中的进一步计数导致状态图200通过状态210、208和206转变回来,可能再次达到状态204下的第一预定值000000,并且第一计数器100的向下计数操作导致如上所述的逻辑电路操作。因此,第二计数器响应于第一计数器100的计数操作在一个方向(或另一个方向)上超出预定计数范围(例如,本示例中的全部范围)在正常模式中选择性地递增或递减。

[0034] 通过此操作,逻辑电路102选择性地控制第二(高位)计数器104的递增或递减,第二计数器104进而控制提供给DAC 60的计数值的调整。以这种方式,双计数器电路54抑制或减缓数字积分器40的响应时间,从而促进直流到直流转换器10中的稳定操作,同时促进数字积分器相比于常规模拟积分器电路的优势(例如,减低集成电路的管芯空间、降低能量消耗、保留数字积分器值等)。在这方面,补偿参考电压VREFout将是稳定的,这是由于第二计数器104的输出在第一计数器100经过预限定计数范围(在这种情况下,为第一计数器100的全部范围)转变之前不会改变。逻辑电路102的其他实施例可以被实施为对数字积分器40提供不同的响应时间,例如,通过实现第一计数器100的计数值的不同预限定范围来设置第二计数器104的响应性。

[0035] 此外,逻辑电路102的某些实施例是可能的,其中,第二计数器104仅在第一计数器

100中连续达到计数值的预限定范围的情况下被递增或递减。就此而言,这种实施例可以仅在第一计数器100连续向上计数(没有任何向下计数)经过计数值的预定范围之后递增第二计数器104,并且仅在第一计数器100连续向下计数(没有任何向上计数)经过预定范围之后递减第二计数器104。此外,尽管如在说明的实施例单个范围可被用于在全部两个方向上进行计数,然而在某些实施例中可以实施不同的预限定范围用于向上计数和向下计数。此外,逻辑电路102可以是可配置或可程序化(例如,通过外部通讯、或通过PWM控制器集成电路上的输入引脚等)用于预限定值范围的选择性调整,从而允许动态调整数字积分器40的响应性或用于在不同的最终使用应用中裁剪或配置单个PWM控制器集成电路产品。

[0036] 因此相比于模拟积分器方案,公开的数字积分器40概念方便促进减小集成电路管芯尺寸和能量消耗,并且避免需要外部积分器电容器。此外,当针对调制器电路中的偏置(包括循环补偿器偏置等)补偿闭合循环直流到直流转换器控制时,积分器40中的双计数器电路54的使用缓解或避免常规模拟积分器方案中所见的循环稳定性新问题。

[0037] 图4说明可以在某些实施例中采用的电阻分压器DAC电路60。本实施例中的DAC 60包括七个开关61,七个开关61分别操作于根据第二计数器104的二进制输出中相对应的一个(QH(6:0))选择性地将相对应的电阻器分支连接到参考电压VREF或连接到电路接地3。可以使用任意合适的电阻值R和2R,其中所说明的示例提供二进制加权,并且某些实施例可以进一步包括连接在非反相循环比较器输入38和电路接地3之间的电容(未示出),以促进信号稳定性和补偿参考电压VREFout。说明的示例是7位R-2R梯式电路,该7位R-2R梯式电路提供给具有二进制加权的循环比较器36的补偿参考电压VREFout提供 $2^7$ 个可能的模拟电压等级。此外,说明的开关电阻分压器电路DAC 60仅仅是一个可能的实施例,而且可以使用数字模拟转换器60的任何适用形式,该数字模拟转换器60操作为至少部分基于来自第二计数器104的计数器输出(QH(6:0))和参考电压VREF提供补偿参考电压VREFout。

[0038] 如图2所进一步看到的,在启动期间和/或需要允许数字积分器40快速响应的其他情况下,数字积分器40进一步为快速动态响应提供开关106和108。第一开关106根据在终端14接收的START信号操作为在第一状态下(正常操作),以将第二计数器104的第二时钟输入CLKH连接到逻辑电路102的第一逻辑输出,并且在第二状态下(START信号被激活)将第二计数器104的第二时钟输入CLKH连接到积分器电路时钟源56(CLK)。而且,第二开关108操作为在正常模式中将第二计数器104的第二向上/向下计数输入UPH连接到逻辑电路102的第二逻辑输出,并且在启动模式中(其中START信号激活)将第二计数器104的第二向上/向下计数输入UPH连接到比较器输出49。因此,当START信号被激活时,第二计数器104操作为提供七位输出QH(6,0)的单个7位二进制计数器,以控制DAC 60并因此通过积分器比较器48快速响应来自电阻分压器42、44的参考信号和反馈信号FB之间的大差异。在各种实施例中,START信号可以通过所说明的终端14从外部源提供,或可以被内部产生(例如,根据PWM控制电路的启动时的操作和/或基于其他检测的操作状态等)或这些方式的结合。

[0039] 再次参考图1和图2,计数器100和104中的一个或两个都可以包括保持(HOLD)输入,其可被提供有来自外部源和/或来自内部源(诸如图2所示的OCL检测电路47)的保持控制输入信号58。当HOLD输入根据相应的时钟输入CLKL、CLKH以及相应的向上/向下计数输入UPL、UPH未被激活为选择性地更新其各自的计数器位输出时,说明示例中的计数器100和104如上所述在正常或启动模式中操作。当HOLD信号被激活时(例如,在一个示例中激活为

高),计数器100和104避免更新其各自的计数器位输出(计数器不向上或向下计数)。在某些操作情况中,尤其是当第二输出电压以及随之的反馈信号FB已知为或假设为错误的时候,这种本质上保持或“冻结”数字积分器40的值的防止或缓解PWM控制器的闭环循环操作中的不精确性或不稳定性。例如,在CCM和DCM操作之间转变、过电压条件或过电流限制情况(例如,由图2中的OCL检测电路检测)期间,通过冻结第二计数器104的输出值,HOLD信号58的驱动可以中断数字积分器40的积分操作,从而由DAC 60防止补偿参考信号VREFout的可能错误的调整,并允许随后一旦去激活HOLD信号58而重新开始使用保存或冻结的计数器值。因此,保持或冻结计数器100和104中的一个或两个(或至少第二计数器104)的输出值的能力加强系统稳定性。此外,相比于模拟积分器电容器的电压遭受泄露(由此逐渐丢失计数器值电路)所在的模拟积分器电路,数字积分器40的使用允许保留更精确的积分器值。一旦重新开始正常操作,说明的实施例中的HOLD信号58可以被退动(deactuated),其中数字积分器40从没有损失积分器输出信息的先前状态重新开始操作。

[0040] 图5提供曲线图300,其说明在图1的直流到直流转换器10的一个实施例的操作中的各种信号波形,其中系统软启动延迟,直到数字积分器140被初始化。在该示例中,输出电压Vout(图5中的曲线302)在时间T1处以0V开始,同时START信号14(曲线304)初始激活(低(low))并且HOLD信号58(图5中的曲线310)初始激活(高)。在具有HOLD信号为激活的逻辑电路102的操作中,第二逻辑输出(UPH,曲线306)保持高,并且没有时钟脉冲(CLKH)由第一逻辑输出被应用到第二时钟104,其中START信号14是激活的。在预定时间之后或在外部控制下,HOLD和STSR信号在时间T2附近被去激活,并且第二计数器104(曲线308)开始接收时钟脉冲,同时相应的向上/向下计数输入(UPH)信号由比较器输出49通过开关108被驱动为高(high)。这导致第二计数器104的计数器输出的增加,从而通过DAC 60在数字积分器从T2到T3初始化期间的操作而增加补偿参考信号电压VREFout(曲线312)。一旦比较器48确定反馈值FB超过积分器参考电压,系统软启动开始于T3,并且输出电压302从T3加大到T4,其中如在T4时刻之后的曲线306和曲线308所示,数字积分器40缓慢递增或递减第二计数器104。

[0041] 如图5的曲线300所示,因此补偿参考电压VREFout曲线312在T3之后总体稳定,并且如双计数器电路54仅不频繁改变并且逻辑电路102的操作有效地控制数字积分器40的时间常量,以避免或缓解在操作PWM控制调制器电路时循环比较器36所使用的补偿参考电压的过度抖动。此外,在稳定状态操作期间,说明的实施例除了提供稳定循环响应之外还提供快速初始化,具有在转变期间保持或冻结积分器操作的能力。因此本公开的数字积分器概念提供用于改善精确度和直流到直流转换、以及减小能量消耗和集成电路管芯尺寸同时消除外部积分器电容器以及相比于模拟积分器设计改善的稳定性和积分器值保留的补偿电路偏置的能力。

[0042] 图6中示出直流到直流转换器10的另一个实施例,该实施例包括如上所述的数字积分器140和调制器,其中经由电阻RS1和RS2和电容器CS1和CS2通过跨导放大器G提供电流反馈,从而为循环比较器36a和积分器比较器48a提供电流斜坡(ramp)信息。在该实施例中,循环比较器36a包括接收来自参考分压器42、44的信号和来自RC电路50、52的反馈的第一输入差分对、以及接收来自跨导放大器G的差分输出输出的第二输入差分对,其中电流信息被叠加到反馈用于与补偿参考信号VREFout进行比较。并且,积分器比较器48a具有第一差分对输入和第二差分对输入,其中第一差分输入对接收来自DAC 60的FB信号和补偿参考信号

VREF<sub>out</sub>,并且第二差分输入对接收来自跨导放大器G的差分输出。在本实施例中,对比较器36a和48a的叠加输入提供电流斜坡信息以加强循环稳定性。此外,DAC 60的调节范围优选被设置为允许补偿主循环比较器36a中偏置、电流斜坡信号DC误差、半纹波误差以及任意分压器比率误差。

[0043] 图7示出说明在图6的直流到直流转换器实施例10的操作中各种信号波形的曲线图500,其中在完成软启动之后初始化数字积分器140。在一个实施例中,由于系统10完成启动时电流斜坡信号有效,因此在软启动完成(而V<sub>out</sub>准备加载)之后可以初始化数字积分器140。在该示例中,输出电压V<sub>out</sub>(图7中的曲线502)在时间T<sub>1</sub>处以0V开始,并且在T<sub>1</sub>到T<sub>2</sub>的系统软启动时间段期间斜上升,同时START信号14(曲线504)被初始激活(低)并且HOLD信号58(图7中曲线510)被初始激活(高电平)。在HOLD信号为激活的逻辑电路102的操作中,第二逻辑输出(UPH,曲线506)保持高,并且没有时钟脉冲(CLKH)由第一逻辑输出被应用到第二时钟104,其中START信号14是激活的。在预定时间之后,或在外部控制下,HOLD和START信号在T<sub>2</sub>时间附近被去激活,并且在T<sub>2</sub>到T<sub>3</sub>数字积分器40的初始化期间,第二计数器104(曲线508)开始接收脉冲同时相应的向上/向下计数输入(UPH)信号由比较器输出49通过开关108被驱动为高。这导致第二计数器104的计数器输出的增加,从而通过DAC60的操作增加补偿参考电压VREF<sub>out</sub>(曲线512),其中伴随着输出电压曲线502沿斜上升。如在T<sub>3</sub>时间之后在曲线506和508所示,一旦比较器48确定反馈值FB超过积分器参考电压,数字积分器40缓慢递增或递减第二计数器104。因此,如图7的曲线500所示,补偿参考电压VREF<sub>out</sub>曲线512在T<sub>3</sub>之后总体稳定,并且如双计数器电路54仅相对不频繁改变,并且逻辑电路102的操作有效地控制数字积分器40的时间常量。

[0044] 上文的示例仅仅是本公开的各个方面的说明性的几个可能实施例,其中本领域技术人员根据阅读并理解本说明书以及附图,将发生等价变化和/或修改。此外,尽管本公开的详细特征可以仅相对于多个实施方式中的一个被公开,然而该特征可以与其他实施例的一个或多个特征结合,对于任意给定或特殊应用可以是期望的或有利的。并且,对于术语“包含”、“包括”、“具有”、“有”、“带有”或它们的变型被用于详细说明和/或权利要求中,使得这些术语意在以类似于术语“包括”的方式是包含在内的。

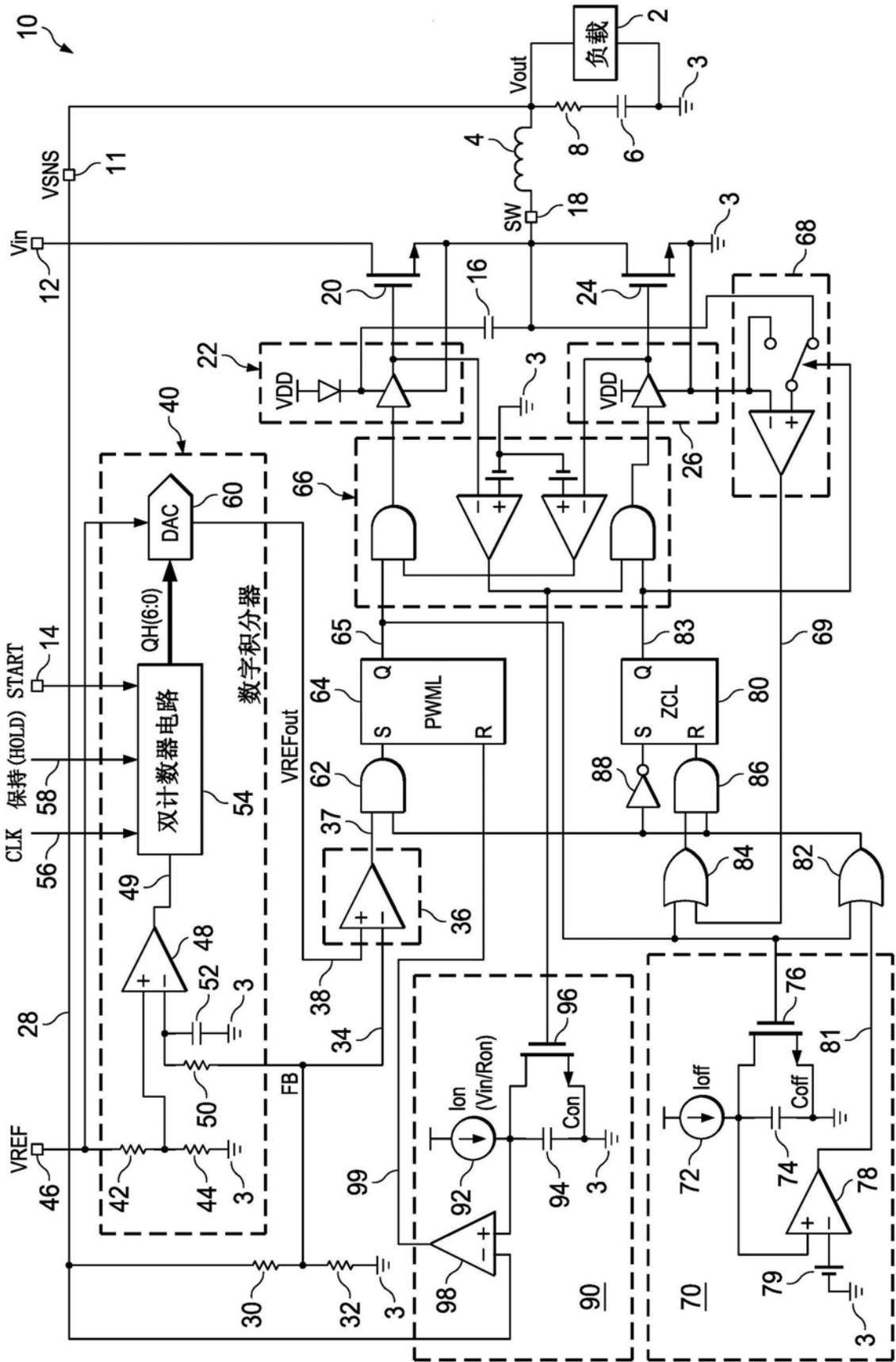


图1

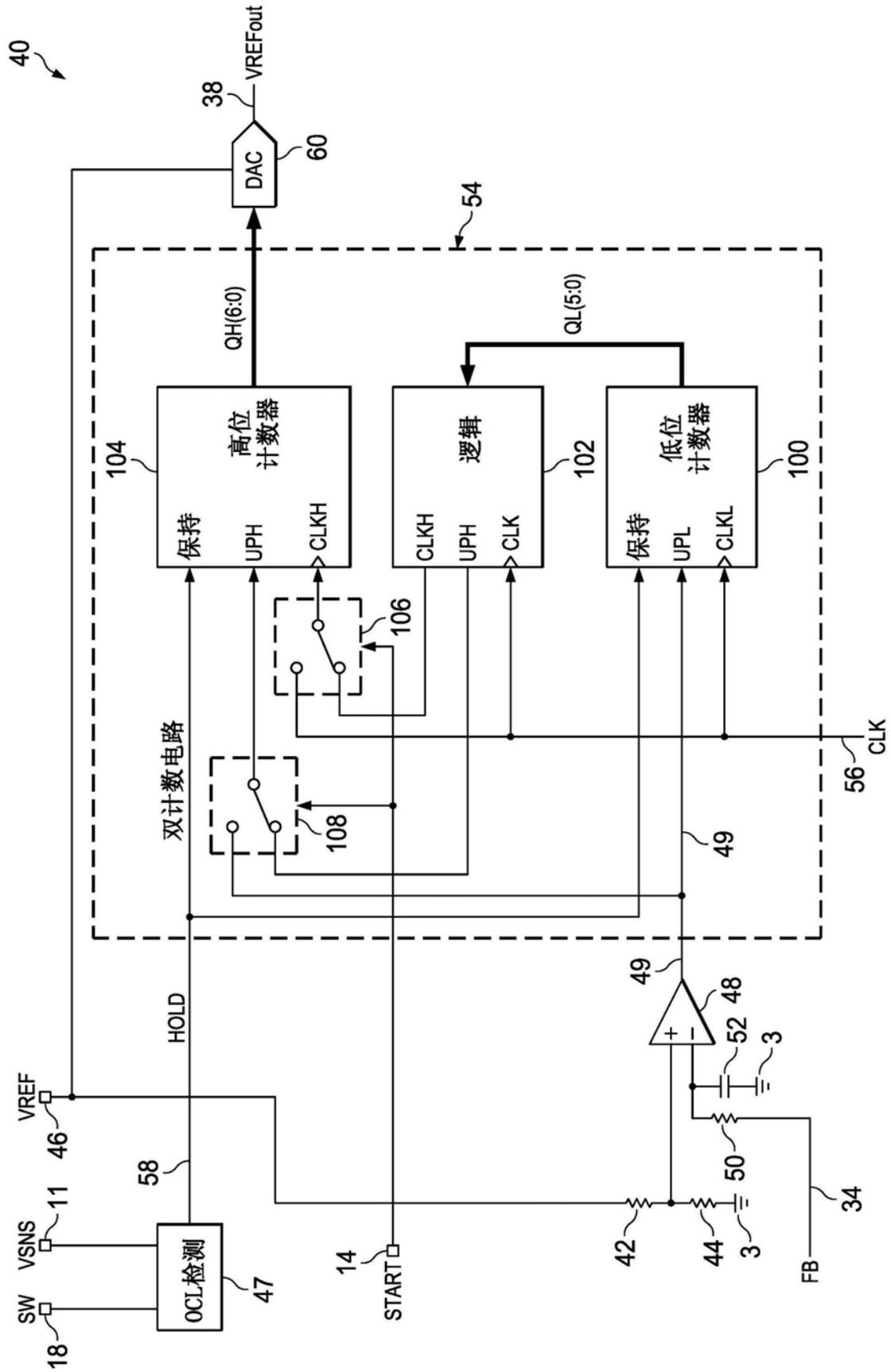


图2

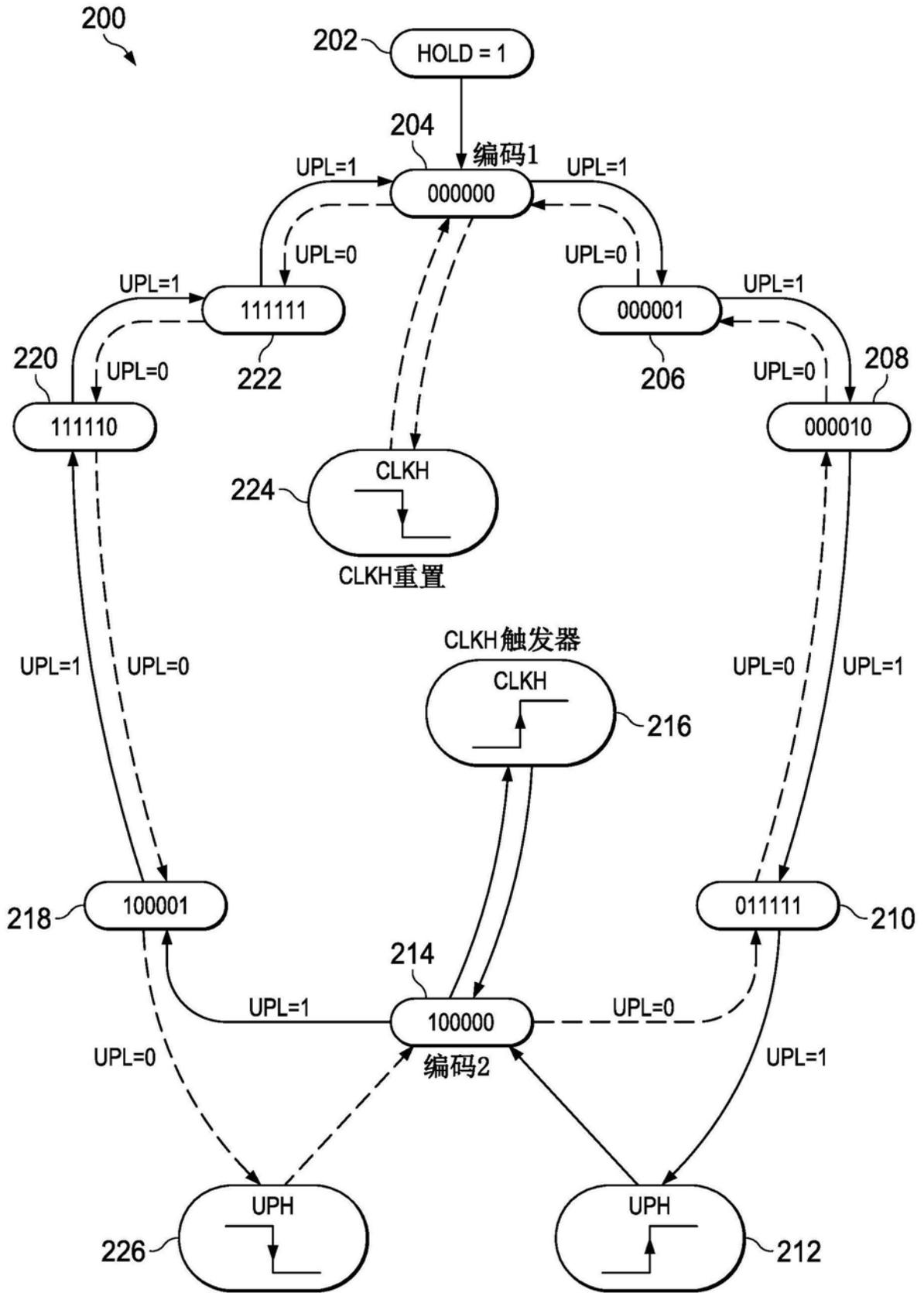


图3

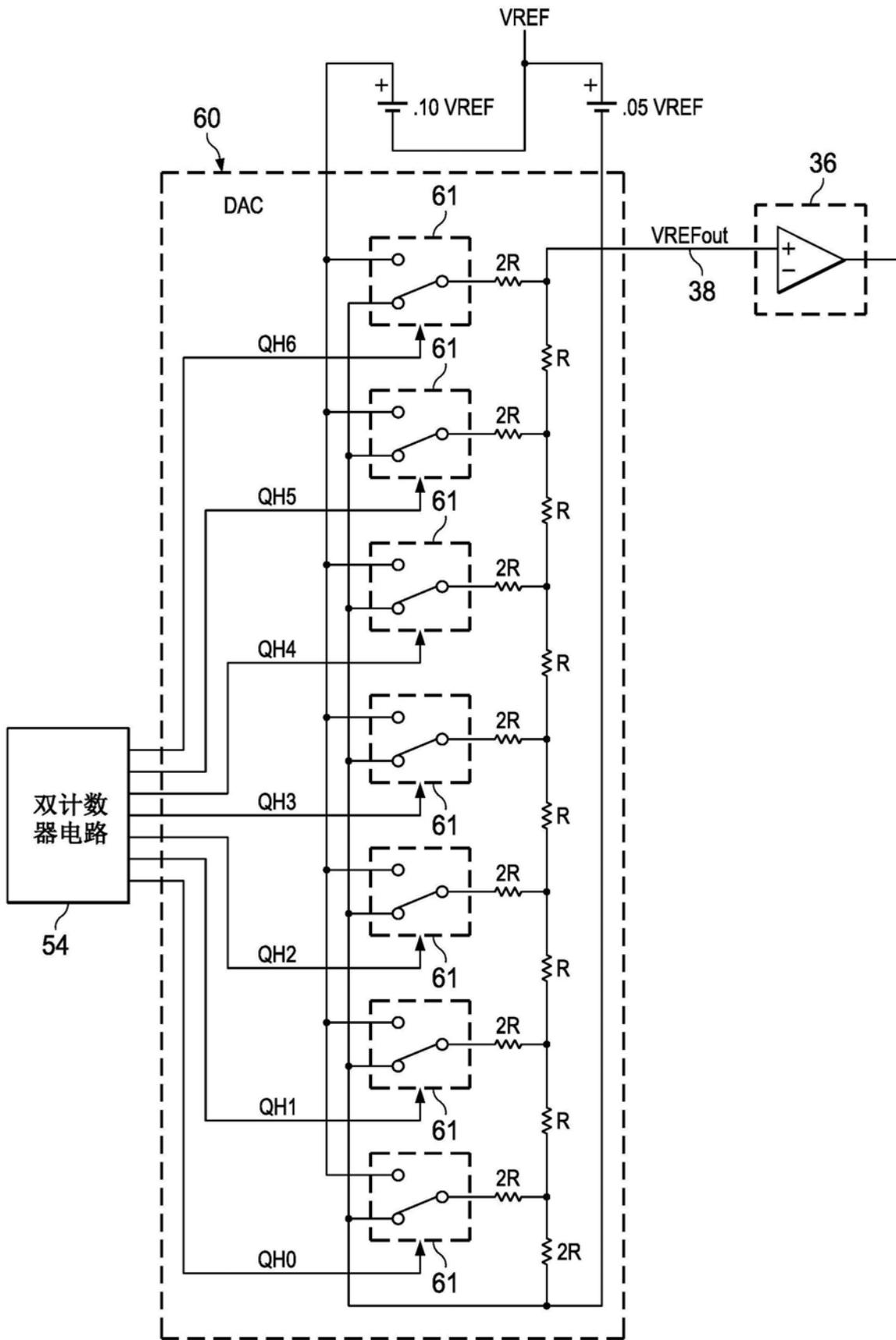


图4

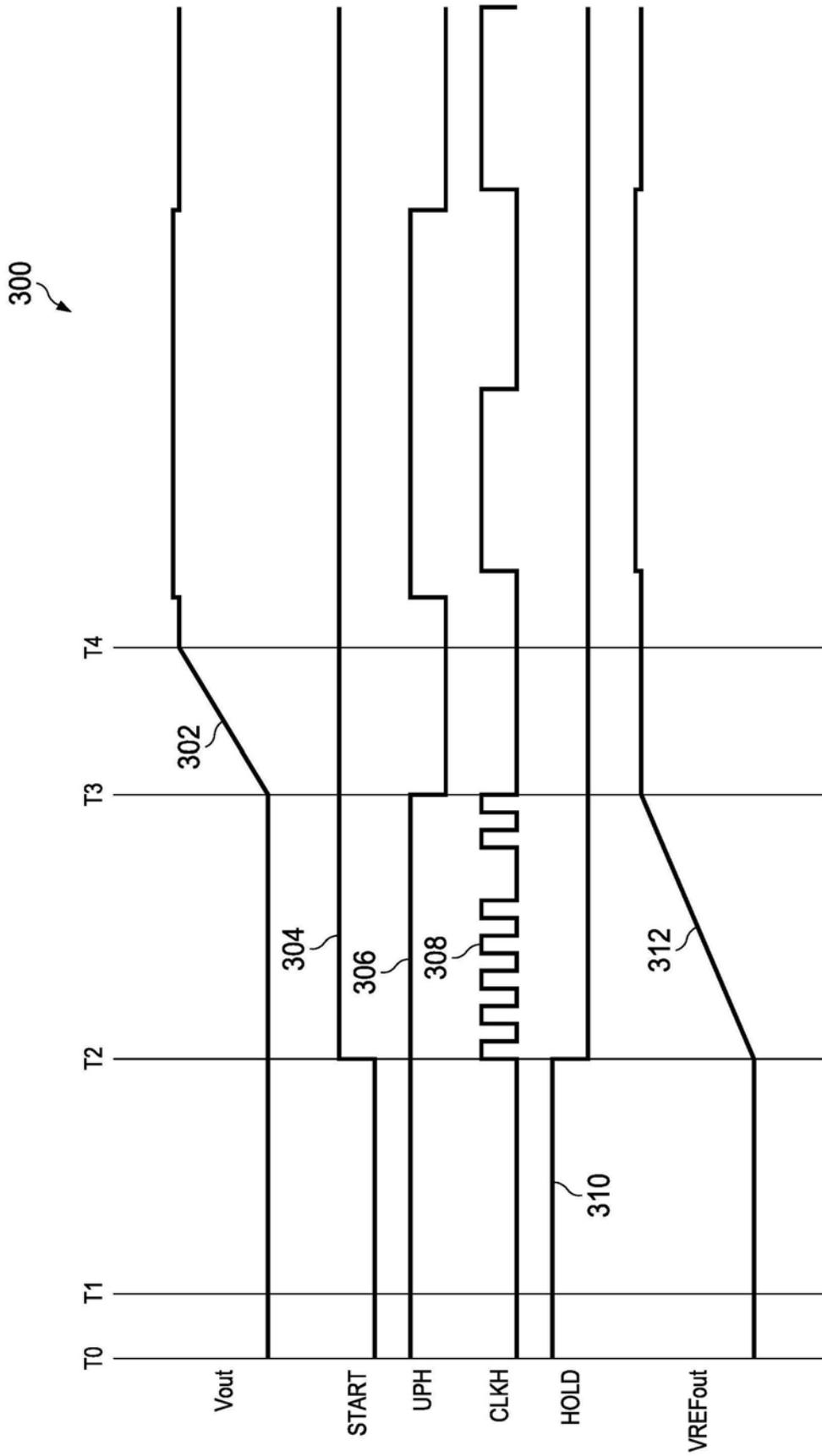


图5

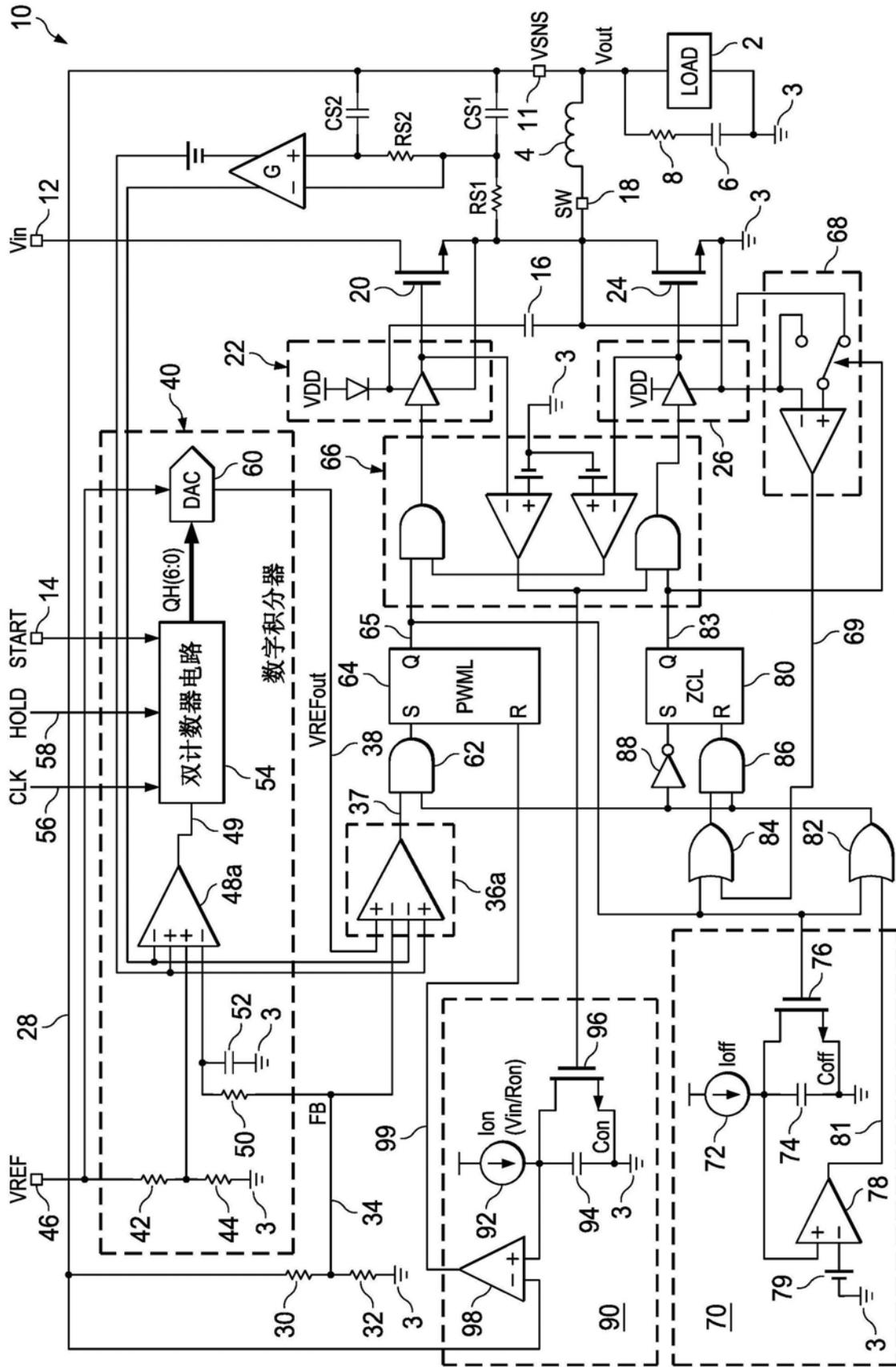


图6

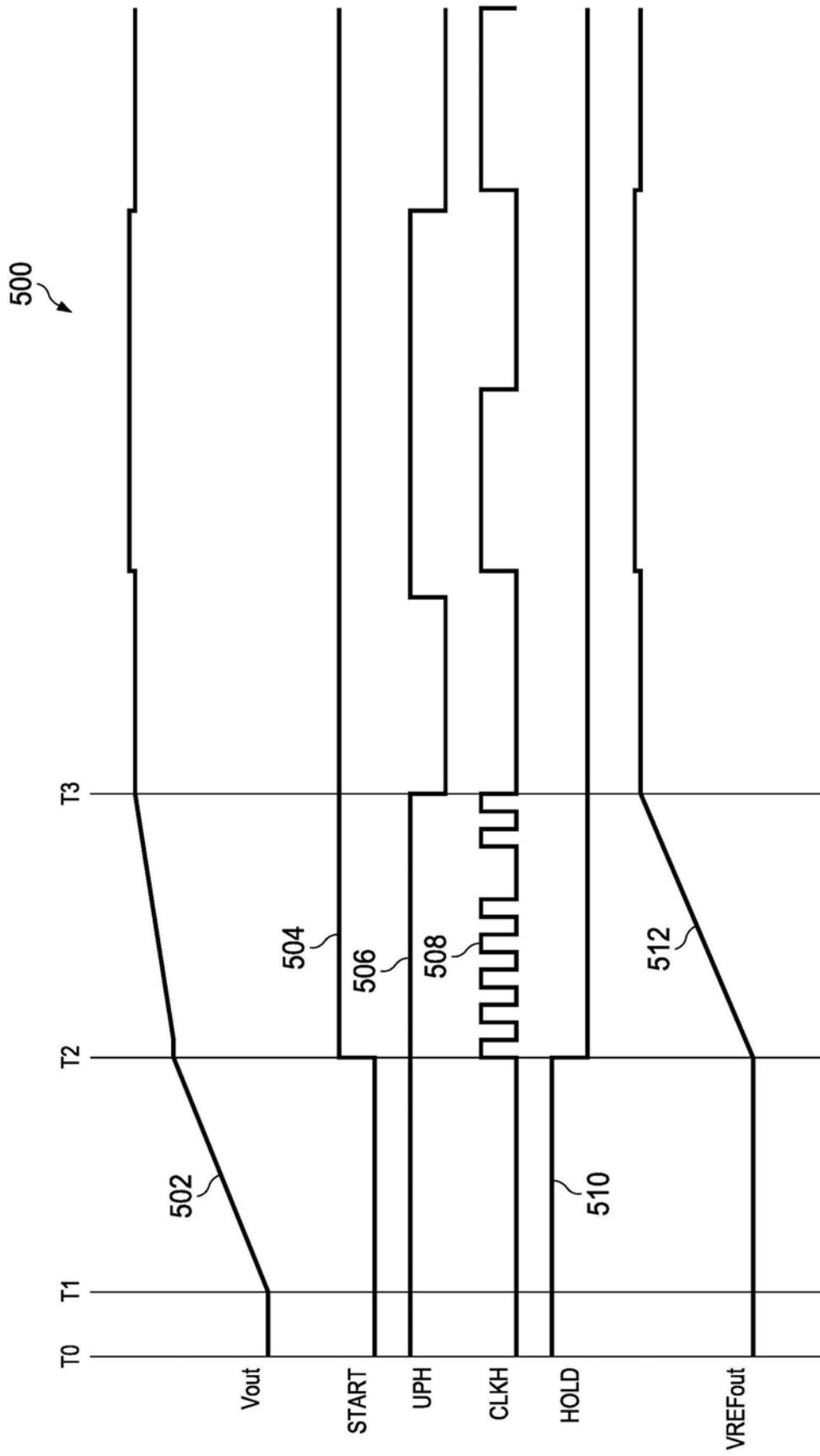


图7