



(12) 发明专利

(10) 授权公告号 CN 113410243 B

(45) 授权公告日 2023. 04. 25

(21) 申请号 202110623282.0

(22) 申请日 2020.05.27

(65) 同一申请的已公布的文献号
申请公布号 CN 113410243 A

(43) 申请公布日 2021.09.17

(62) 分案原申请数据
202080001145.7 2020.05.27

(73) 专利权人 长江存储科技有限责任公司
地址 430074 湖北省武汉市东湖新技术开
发区未来三路88号

(72) 发明人 张坤

(74) 专利代理机构 北京永新同创知识产权代理
有限公司 11376
专利代理师 杨锡勋 赵磊

(51) Int. Cl.

H10B 43/20 (2023.01)

H10B 43/30 (2023.01)

(56) 对比文件

CN 110914991 A, 2020.03.24

CN 110896668 A, 2020.03.20

CN 110785851 A, 2020.02.11

CN 109417076 A, 2019.03.01

审查员 薛梦妮

权利要求书3页 说明书33页 附图29页

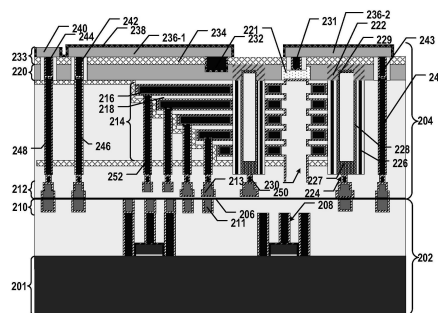
(54) 发明名称

用于形成三维存储器件的方法

(57) 摘要

公开了3D存储器件及其形成方法的实施例。在示例中,公开了一种用于形成3D存储器件的方法。依次形成处于衬底上的牺牲层、处于牺牲层上的具有N阱的P型掺杂半导体层以及处于P型掺杂半导体层上的电介质堆叠体。形成垂直地延伸穿过电介质堆叠体和P型掺杂半导体层的沟道结构。利用存储堆叠体代替电介质堆叠体,使得沟道结构垂直地延伸穿过存储堆叠体和P型掺杂半导体层。去除衬底和牺牲层,以暴露沟道结构的末端。利用半导体插塞代替沟道结构的与P型掺杂半导体层邻接的部分。

200



1. 一种用于形成三维(3D)存储器件的方法,包括:
 - 形成掺杂半导体层;
 - 形成垂直地延伸穿过所述掺杂半导体层和存储堆叠体的沟道结构;
 - 暴露所述沟道结构的末端;
 - 利用半导体插塞代替所述沟道结构的与所述掺杂半导体层邻接的部分;
 - 在所述掺杂半导体层的与所述存储堆叠体相对侧处,形成与所述掺杂半导体层接触的源极触点;
 - 形成在所述源极触点以上并且与所述源极触点接触的互连层;
 - 形成穿过所述掺杂半导体层并且与所述互连层相接触的触点,使得所述掺杂半导体层通过所述源极触点和所述互连层电连接至所述触点。
2. 根据权利要求1所述的方法,其中,形成所述掺杂半导体层包括:
 - 依次形成处于衬底上的牺牲层、处于所述牺牲层上的具有所述掺杂半导体层以及处于所述掺杂半导体层上的电介质堆叠体。
3. 根据权利要求2所述的方法,其中,所述掺杂半导体层是具有N阱的P型掺杂半导体层。
4. 根据权利要求3所述的方法,其中,所述衬底是载体晶圆的部分,所述牺牲层包括电介质材料,所述P型掺杂半导体层包括多晶硅,并且所述电介质堆叠体包括交替的堆叠电介质层和堆叠牺牲层。
5. 根据权利要求3所述的方法,其中,形成垂直地延伸穿过所述掺杂半导体层和存储堆叠体的沟道结构包括:利用存储堆叠体代替所述电介质堆叠体。
6. 根据权利要求5所述的方法,其中,所述电介质堆叠体包括交替的堆叠电介质层和堆叠牺牲层,并且其中,利用所述存储堆叠体代替所述电介质堆叠体包括:
 - 刻蚀出垂直地延伸穿过所述电介质堆叠体、停止在所述P型掺杂半导体层处的开口;以及
 - 通过所述开口,利用堆叠导电层代替所述堆叠牺牲层,以形成包括交替的所述堆叠电介质层和所述堆叠导电层的所述存储堆叠体。
7. 根据权利要求6所述的方法,进一步包括:在利用所述存储堆叠体代替所述电介质堆叠体之后,将一种或多种电介质材料沉积到所述开口中,以形成垂直地延伸穿过所述存储堆叠体的绝缘结构。
8. 根据权利要求3-7中的任何一项所述的方法,其中,形成所述沟道结构包括:
 - 刻蚀出垂直地延伸穿过所述电介质堆叠体和所述P型掺杂半导体层、停止在所述牺牲层处的沟道孔;以及
 - 沿所述沟道孔的侧壁依次沉积存储膜和半导体沟道。
9. 根据权利要求8所述的方法,其中,利用所述半导体插塞代替所述沟道结构的与所述P型掺杂半导体层邻接的所述部分包括:
 - 对所述存储膜的与所述P型掺杂半导体层邻接的部分进行刻蚀,以形成围绕所述半导体沟道的部分的凹槽;
 - 对所述半导体沟道的所述部分进行掺杂;以及
 - 将多晶硅沉积到所述凹槽中,以形成围绕掺杂的半导体沟道的所述部分并且与所述掺

杂的半导体沟道的所述部分接触的所述半导体插塞。

10. 根据权利要求3所述的方法,进一步包括:在利用所述半导体插塞代替所述沟道结构的与所述P型掺杂半导体层邻接的所述部分之后,

形成与所述P型掺杂半导体层接触的第一源极触点;以及

形成与所述N阱接触的第二源极触点。

11. 根据权利要求10所述的方法,进一步包括形成互连层,所述互连层包括分别与所述第一源极触点和所述第二源极触点接触的第一互连和第二互连。

12. 根据权利要求11所述的方法,进一步包括:

形成穿过所述P型掺杂半导体层并且与所述第一互连接触的第一触点,使得所述P型掺杂半导体层通过所述第一源极触点和所述第一互连电连接至所述第一触点;以及

形成穿过所述P型掺杂半导体层并且与所述第二互连接触的第二触点,使得所述N阱通过所述第二源极触点和所述第二互连电连接至所述第二触点。

13. 根据权利要求3所述的方法,进一步包括:在形成所述电介质堆叠体之前,利用N型掺杂剂对所述P型掺杂半导体层的部分进行掺杂,以形成所述N阱。

14. 根据权利要求1所述的方法,其中,所述掺杂半导体层是N型掺杂半导体层。

15. 一种三维(3D)存储器件,包括:

包括交替的导电层和电介质层的存储堆叠体;

处于所述存储堆叠体以上的掺杂半导体层,其中,所述掺杂半导体层中包括半导体插塞,并且所述半导体插塞的掺杂浓度不同于所述掺杂半导体层的其余部分的掺杂浓度;

垂直地延伸穿过所述存储堆叠体到所述掺杂半导体层中的沟道结构,其中,所述半导体插塞包围所述沟道结构的半导体沟道的、延伸到所述掺杂半导体层中的顶部部分并且与所述顶部部分接触;

与所述掺杂半导体层接触的源极触点,所述源极触点在所述掺杂半导体层的与所述存储堆叠体相对侧;

在所述源极触点以上并且与所述源极触点接触的互连层;

穿过所述掺杂半导体层并且与所述互连层相接触的触点,其中,所述掺杂半导体层通过所述源极触点和所述互连层电连接至所述触点。

16. 根据权利要求15所述的3D存储器件,其中,所述掺杂半导体层是具有N阱的P型掺杂半导体层。

17. 根据权利要求16所述的3D存储器件,其中,所述沟道结构的上端与所述P型掺杂半导体层的顶表面平齐或处于所述顶表面以下。

18. 根据权利要求17所述的3D存储器件,其中,所述沟道结构包括存储膜和半导体沟道,并且所述存储膜的上端处于所述半导体沟道的上端以下。

19. 根据权利要求18所述的3D存储器件,其中,所述存储膜的所述上端处于所述P型掺杂半导体层的所述顶表面以下,并且所述半导体沟道的所述上端与所述P型掺杂半导体层的所述顶表面平齐或处于所述顶表面以下。

20. 根据权利要求18或19所述的3D存储器件,其中,所述半导体沟道的延伸到所述P型掺杂半导体层中的部分包括掺杂多晶硅。

21. 根据权利要求20所述的3D存储器件,其中,所述半导体插塞包括多晶硅,并且所述P

型掺杂半导体层的所述其余部分包括多晶硅。

22. 根据权利要求20所述的3D存储器件,其中,所述半导体插塞包括多晶硅,并且所述P型掺杂半导体层的所述其余部分包括单晶硅。

23. 根据权利要求16所述的3D存储器件,进一步包括绝缘结构,所述绝缘结构垂直地延伸穿过所述存储堆叠体并且横向延伸,以将所述沟道结构分成多个块。

24. 根据权利要求23所述的3D存储器件,其中,所述绝缘结构被填充有一种或多种电介质材料。

25. 根据权利要求23或24所述的3D存储器件,其中,所述绝缘结构的顶表面与所述P型掺杂半导体层的底表面平齐。

26. 根据权利要求16所述的3D存储器件,进一步包括:

衬底;

处于所述衬底以上的外围电路;以及

处于所述外围电路和所述存储堆叠体之间的键合界面。

27. 根据权利要求26所述的3D存储器件,进一步包括:

处于所述存储堆叠体以上并且与所述P型掺杂半导体层接触的第一源极触点;以及

处于所述存储堆叠体以上并且与所述N阱接触的第二源极触点。

28. 根据权利要求27所述的3D存储器件,其中,所述互连层处于所述第一源极触点和所述第二源极触点以上并且与所述第一源极触点和所述第二源极触点电连接,并且其中,所述互连层包括与所述第一源极触点接触的第一互连以及与所述第二源极触点接触的第二互连。

29. 根据权利要求28所述的3D存储器件,进一步包括:

穿过所述P型掺杂半导体层的第一触点,其中,所述P型掺杂半导体层至少通过所述第一源极触点、所述第一互连和所述第一触点电连接至所述外围电路;以及

穿过所述P型掺杂半导体层的第二触点,其中,所述N阱至少通过所述第二源极触点、所述第二互连和所述第二触点电连接至所述外围电路。

用于形成三维存储器件的方法

技术领域

[0001] 本公开的实施例涉及三维 (3D) 存储器件及其制作方法。

背景技术

[0002] 通过改进工艺技术、电路设计、程序算法和制作工艺使平面存储单元缩小到了更小的尺寸。但是,随着存储单元的特征尺寸接近下限,平面工艺和制作技术变得更加困难,并且成本更加高昂。因此,针对平面存储单元的存储密度接近上限。

[0003] 3D存储架构能够解决平面存储单元中的密度限制。3D存储架构包括存储阵列以及用于控制往返于存储阵列的信号的外围器件。

发明内容

[0004] 本文公开了3D存储器件及其形成方法的实施例。

[0005] 在一个示例中,公开了一种用于形成3D存储器件的方法。依次形成处于衬底上的牺牲层、处于牺牲层上的具有N阱的P型掺杂半导体层以及处于P型掺杂半导体层上的电介质堆叠体。形成垂直地延伸穿过电介质堆叠体和P型掺杂半导体层的沟道结构。利用存储堆叠体代替电介质堆叠体,使得沟道结构垂直地延伸穿过存储堆叠体和P型掺杂半导体层。去除衬底和牺牲层,以暴露沟道结构的末端。利用半导体插塞代替沟道结构的与P型掺杂半导体层邻接的部分。

[0006] 在另一示例中,公开了一种用于形成3D存储器件的方法。利用P型掺杂剂对绝缘体上硅(SOI)晶圆的器件层进行掺杂,所述SOI晶圆包括操纵层、掩埋的氧化物层和器件层。利用N型掺杂剂对掺杂的器件层的部分进行掺杂,以在掺杂的器件层中形成N阱。在SOI晶圆的掺杂的器件层上形成电介质堆叠体。形成垂直地延伸穿过电介质堆叠体和掺杂的器件层的沟道结构。利用存储堆叠体代替电介质堆叠体,使得沟道结构垂直地延伸穿过存储堆叠体和掺杂的器件层。去除SOI晶圆的操纵层和掩埋的氧化物层,以暴露沟道结构的末端。利用半导体插塞代替沟道结构的与掺杂的器件层邻接的部分。

[0007] 在又一示例中,公开了一种用于形成3D存储器件的方法。形成处于第一衬底上的外围电路。在第二衬底以上形成垂直地延伸穿过存储堆叠体和具有N阱的P型掺杂半导体层的沟道结构。将第一衬底和第二衬底按照面对面方式键合,使得存储堆叠体处于外围电路以上。去除第二衬底,以暴露沟道结构的上端。利用半导体插塞代替沟道结构的与P型掺杂半导体层邻接的部分。

附图说明

[0008] 被并入本文并形成说明书的部分的附图例示了本公开的实施例并且与说明书一起进一步用以解释本公开的原理,并且使相关领域的技术人员能够做出和使用本公开。

[0009] 图1示出了根据本公开的一些实施例的示例性3D存储器件的截面的侧视图。

[0010] 图2示出了根据本公开的一些实施例的另一示例性3D存储器件的截面的侧视图。

[0011] 图3A-3N示出了根据本公开的一些实施例的用于形成示例性3D存储器件的制作工艺。

[0012] 图4A-4O示出了根据本公开的一些实施例的用于形成另一示例性3D存储器件的制作工艺。

[0013] 图5A示出了根据本公开的一些实施例的用于形成示例性3D存储器件的方法的流程图。

[0014] 图5B示出了根据本公开的一些实施例的用于形成示例性3D存储器件的另一方法的流程图。

[0015] 图6A示出了根据本公开的一些实施例的用于形成另一示例性3D存储器件的方法的流程图。

[0016] 图6B示出了根据本公开的一些实施例的用于形成另一示例性3D存储器件的另一方法的流程图。

[0017] 将参考附图描述本公开的实施例。

具体实施方式

[0018] 尽管讨论了具体配置和布置,但是应当理解所述讨论只是为了达到举例说明的目的。本领域技术人员将认识到可以使用其他配置和布置而不脱离本公开的实质和范围。本领域技术人员显然将认识到也可以将本公开用到各种各样的其他应用当中。

[0019] 应当指出,在说明书中提到“一个实施例”、“实施例”、“示例实施例”、“一些实施例”等表示所述的实施例可以包括特定的特征、结构或特性,但未必每个实施例都包括该特定特征、结构或特性。此外,这样的短语未必是指同一实施例。此外,在结合实施例描述特定特征、结构或特性时,结合明确或未明确描述的其他实施例实现这样的特征、结构或特性处于本领域技术人员的知识范围之内。

[0020] 一般而言,可以至少部分地由语境下的使用来理解术语。例如,至少部分地根据语境,文中使用的词语“一个或多个”可以用于从单数的意义上描述任何特征、结构或特点,或者可以用于从复数的意义上描述特征、结构或特点的组合。类似地,还可以将词语“一”、“一个”或“该”理解为传达单数用法或者传达复数用法,其至少部分地取决于语境。此外,可以将词语“基于”理解为未必意在传达排他的一组因素,并且相反,再次至少部分地取决于语境,可以允许存在额外的未必明确表述的因素。

[0021] 应当容易地理解,应当按照最宽的方式解释本公开中的“在……上”、“在……以上”和“在……之上”,“在……上”不仅意味着直接处于某物上,还包含在某物上,其中其间具有中间特征或层的含义,以及“在……以上”或者“在……之上”不仅包含在某物以上或之上的含义,还包含在某物以上或之上,其中其间没有中间特征或层的含义(即,直接处于某物上)。

[0022] 此外,文中为了便于说明可以利用空间相对术语,例如,“下面”、“以下”、“下方”、“以上”、“上方”等,以描述一个元件或特征与其他元件或特征的如图所示的关系。空间相对术语意在包含除了附图所示的取向之外的处于使用或操作中的器件的不同取向。所述设备可以具有其他取向(旋转90度或者处于其他取向上),并照样相应地解释本文中使用的空间相对描述词。

[0023] 文中使用的“衬底”一词是指在上面添加后续材料层的材料。能够对衬底本身图案化。添加到衬底上面的材料可以受到图案化,或者可以保持不受图案化。此外,衬底可以包括很宽范围内的半导体材料,例如,硅、锗、砷化镓、磷化铟等。或者,衬底可以由非导电材料,例如,玻璃、塑料或者蓝宝石晶圆等形成。

[0024] 文中使用的“层”一词可以指包括具有一定厚度的区域的材料部分。层可以延伸在整个的下层结构或上覆结构之上,或者可以具有比下层或上覆结构的范围小的范围。此外,层可以是同质或者非同质的连续结构的一个区域,其具有小于该连续结构的厚度的厚度。例如,层可以位于所述连续结构的顶表面和底表面之间的任何成对水平面之间,或者位于所述顶表面和底表面处。层可以水平延伸、垂直延伸和/或沿锥形表面延伸。衬底可以是层,可以在其中包含一个或多个层,和/或可以具有位于其上、其以上和/或其以下的一个或多个层。层可以包括多个层。例如,互连层可以包括一个或多个导体层和接触层(在其中形成互连线和/或垂直互连通道(通孔)触点)以及一个或多个电介质层。

[0025] 文中所使用的词语“标称/标称地”是指在产品或工艺的设计阶段内设置的部件或工艺操作的特征或参数的预期或目标值连同高于和/或低于所述预期值的值的范围。所述值的范围可能归因于制造工艺或容限的略微变化。如文中所使用的,“大约”一词是指既定量的值能够基于与对象半导体器件相关联的特定技术节点发生变动。基于特定技术节点,“大约”一词可以指示既定量的值在(例如)该值的10-30%(例如,该值的 $\pm 10\%$ 、 $\pm 20\%$ 或者30%)以内发生变动。

[0026] 文中使用的“3D存储器件”一词是指具有垂直取向存储单元晶体管串(文中称为“存储串”,例如,NAND存储串)的半导体器件,所述垂直取向存储单元晶体管串处于横向取向的衬底上,从而使得所述存储串相对于衬底沿垂直方向延伸。文中使用的词语“垂直/垂直地”是指在标称上垂直于衬底的横向表面。

[0027] 在一些3D存储器件(例如,3D NAND存储器件)中,使用缝隙结构(例如,栅极线缝隙(GLS))从器件的正面提供与存储阵列的源极(例如,阵列公共源极(ACS))的电连接。然而,正面源极触点可能因在字线和源极触点之间(甚至是在其间存在间隔体的情况下)引入漏电流和寄生电容这两者而影响3D存储器件的电性能。间隔体的形成还使制作工艺复杂化。除了影响电性能之外,缝隙结构往往包括壁状多晶硅和/或金属填充,其可能引入局部应力,从而导致晶圆弓弯或翘曲,由此降低产率。

[0028] 此外,在一些3D NAND存储器件中,选择性地生长半导体插塞,以包围沟道结构的侧壁,例如,其被称为侧壁选择性外延生长(SEG)。与形成于沟道结构下端的另一种类型的半导体插塞(例如,底部SEG)相比,侧壁SEG的形成避免了对处于沟道孔的底表面处的存储膜和半导体沟道的刻蚀(又称为“SONO”穿孔),由此增大了工艺窗口,尤其是在利用先进技术制作3D NAND存储器件时,例如,当在多构成级(multi-deck)架构的情况下具有96级或更多级(level)时。侧壁SEG往往是通过利用侧壁SEG代替在衬底和堆叠体结构之间的牺牲层而形成的,其涉及通过缝隙开口进行的多个沉积和刻蚀工艺。然而,随着3D NAND存储器件的级持续增多,延伸穿过堆叠体结构的缝隙开口的高宽比变得更大,从而使通过缝隙开口进行沉积和刻蚀工艺更具挑战性,而且对于使用已知方案形成侧壁SEG而言是不合乎需要的,原因在于提高的成本和下降的成品率。

[0029] 根据本公开的各种实施例提供了具有背面源极触点的3D存储器件。通过将源极触

点从正面移到背面,可以降低每存储单元的成本,因为能够增大有效存储单元阵列面积,并且能够跳过间隔体形成工艺。还能够提高器件性能,例如,通过避免在字线与源极触点之间的漏电流和寄生电容以及通过减少由正面缝隙结构(作为源极触点)引起的局部应力。侧壁SEG(例如,半导体插塞)可以从衬底的背面形成,以避免在衬底的正面通过延伸穿过堆叠体结构的开口进行任何沉积或刻蚀工艺。因此,能够降低制作工艺的复杂性和成本,并且能够提高产率。而且,由于侧壁SEG的制作工艺不再受穿过堆叠体结构的开口的高宽比的影响,即,不受存储堆叠体的级的限制,因此还能够提高3D存储器件的可扩展性。

[0030] 在一些实施例中,从背面去除在其上形成存储堆叠体的衬底,从而在形成侧壁SEG之前暴露沟道结构。因此,可以将对衬底的选择扩展至(例如)伪晶圆,以降低成本,或者扩展至绝缘体上硅(SOI)晶圆,以简化制作工艺。对衬底的去除还可以避免在使用背面减薄工艺的已知方法中的厚度均匀性控制这一存在挑战的问题。

[0031] 本公开中公开了各种3D存储器件架构及其制作方法,例如,它们具有不同的擦除操作机制,以适应不同的要求和应用。在一些实施例中,侧壁SEG是N型掺杂半导体层的部分,从而实现由3D存储器件进行的栅致漏极泄漏(gate-induced-drain-leakage, GIDL)擦除。在一些实施例中,侧壁SEG是P型掺杂半导体层的部分,从而实现由3D存储器件进行的P阱批量擦除(bulk erasing)。

[0032] 图1示出了根据本公开的一些实施例的示例性3D存储器件100的截面的侧视图。在一些实施例中,3D存储器件100是包括第一半导体结构102以及堆叠设置在第一半导体结构102之上的第二半导体结构104的键合芯片。根据一些实施例,第一半导体结构102和第二半导体结构104在其间的键合界面106处联结。如图1所示,第一半导体结构102可以包括衬底101,所述衬底101可以包括硅(例如,单晶硅、c-Si)、硅锗(SiGe)、砷化镓(GaAs)、锗(Ge)、SOI或者任何其他适当材料。

[0033] 3D存储器件100的第一半导体结构102可以包括处于衬底101上的外围电路108。应当指出,在图1中包含x轴和y轴是为了进一步例示具有衬底101的3D存储器件100中的部件的空间关系。衬底101包括沿x方向(即,横向方向)横向延伸的两个横向表面(例如,顶表面和底表面)。如文中所使用的,当衬底在y方向上处于半导体器件的最低平面内时,所述半导体器件(例如,3D存储器件100)的一个部件(例如,层或器件)是处于另一部件(例如,层或器件)“上”、“之上”还是“之下”是沿y方向(即,垂直方向)相对于所述半导体器件的衬底(例如,衬底101)确定的。在本公开中将通篇利用相同的概念来描述空间关系。

[0034] 在一些实施例中,外围电路108被配置为控制和感测3D存储器件100。外围电路108可以是任何用于促进3D存储器件100的操作的适当数字、模拟和/或混合信号控制和感测电路,其包括但不限于页缓冲器、解码器(例如,行解码器和列解码器)、感测放大器、驱动器(例如,字线驱动器)、电荷泵、电流或电压参考或者所述电路的任何有源或无源部件(例如,晶体管、二极管、电阻器或电容器)。外围电路108可以包括形成于衬底101“上”的晶体管,其中,晶体管的全部或部分形成于半导体层101中(例如,处于衬底101的顶表面以下)和/或直接形成于衬底101上。还可以在衬底101中形成隔离区(例如,浅沟槽隔离(STI))和掺杂区(例如,晶体管的源极区和漏极区)。根据一些实施例,借助于高级逻辑工艺(例如,90nm、65nm、45nm、32nm、28nm、20nm、16nm、14nm、10nm、7nm、5nm、3nm、2nm等技术节点),晶体管是高速的。应当理解,在一些实施例中,外围电路108可以进一步包括任何其他与高级逻辑工艺

兼容的电路,包括诸如处理器和可编程逻辑器件(PLD)的逻辑电路或者诸如静态随机存取存储器(SRAM)和动态RAM(DRAM)的存储电路。

[0035] 在一些实施例中,3D存储器件100的第一半导体结构102进一步包括处于外围电路108以上的互连层(未示出),以传递通往和来自外围电路108的电信号。互连层可以包括多个互连(本文又称为“触点”),包括横向互连线和垂直互连访问(通孔)触点。如本文所用,“互连”一词可以宽泛地包括任何适当类型的互连,例如,中道工序(MEOL)互连和后道工序(BEOL)互连。互连层可以进一步包括一个或多个层间电介质(ILD)层(又称为“金属间电介质(IMD)层”),所述互连线和通孔触点可以形成于所述ILD层中。也就是说,互连层可以包括处于多个ILD层中的互连线和通孔触点。互连层中的互连线和通孔触点可以包导电材料,其包括但不限于钨(W)、钴(Co)、铜(Cu)、铝(Al)、硅化物或其任何组合。互连层中的ILD层可以包括电介质材料,所述电介质材料包括但不限于氧化硅、氮化硅、氮氧化硅、低介电常数(低k)电介质或其任何组合。

[0036] 如图1所示,3D存储器件100的第一半导体结构102可以进一步包括处于键合界面106处并且处于互连层和外围电路108以上的键合层110。键合层110可以包括多个键合触点111以及对键合触点111电隔离的电介质。键合触点111可以包括导电材料,所述导电材料包括但不限于W、Co、Cu、Al、硅化物或其任何组合。键合层110的其余区域可以利用电介质形成,所述电介质包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。键合层110中的键合触点111和周围电介质可以用于混合键合。

[0037] 类似地,如图1所示,3D存储器件100的第二半导体结构104也可以包括处于键合界面106处并且处于第一半导体结构102的键合层110以上的键合层112。键合层112可以包括多个键合触点113以及对键合触点113电隔离的电介质。键合触点113可以包括导电材料,所述导电材料包括但不限于W、Co、Cu、Al、硅化物或其任何组合。键合层112的其余区域可以利用电介质形成,所述电介质包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。键合层112中的键合触点113和周围电介质可以用于混合键合。根据一些实施例,键合触点113与键合触点111在键合界面处106相接触。

[0038] 如下文所详述的,第二半导体结构104可以在键合界面106处按照面对面的方式键合到第一半导体结构102的顶上。在一些实施例中,键合界面106作为混合键合(又称为“金属/电介质混合键合”)的结果设置于键合层110和键合层112之间,所述混合键合是一种直接键合技术(例如,在无需使用诸如焊料或粘合剂的中间层的情况下在表面之间形成键合),并且可以同时获得金属-金属键合和电介质-电介质键合。在一些实施例中,键合界面106是键合层112和键合层110相遇并且键合的地方。在实践当中,键合界面106可以是包括第一半导体结构102的键合层110的顶表面和第二半导体结构104的键合层112的底表面的具有一定厚度的层。

[0039] 在一些实施例中,3D存储器件100的第二半导体结构104进一步包括处于键合层112以上的互连层(未示出),以传递电信号。该互连层可以包括多个互连,诸如MEOL互连和BEOL互连。该互连层可以进一步包括一个或多个ILD层,所述互连线和通孔触点可以形成于所述ILD层中。互连层中的互连线和通孔触点可以包导电材料,其包括但不限于W、Co、Cu、Al、硅化物或其任何组合。互连层中的ILD层可以包括电介质材料,所述电介质材料包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。

[0040] 在一些实施例中,3D存储器件100是NAND闪速存储器件,其中,存储单元是以NAND存储串的阵列的形式提供的。如图1所示,3D存储器件100的第二半导体结构104可以包括起到NAND存储串的阵列的作用的沟道结构124的阵列。如图1所示,每一沟道结构124可以垂直地延伸穿过多个对,每一对包括导电层116和电介质层118。交替的导电层116和电介质层118是存储堆叠体114的部分。存储堆叠体114中的导电层116和电介质层118的对的数量(例如,32、64、96、128、160、192、224、256或更多)确定3D存储器件100中的存储单元的数量。应当理解,在一些实施例中,存储堆叠体114可以具有多构成级架构(未示出),该架构包括一个叠一个地堆叠的多个存储构成级。每一存储构成级中的导电层116和电介质层118的对的数量可以是相同的或者不同的。

[0041] 存储堆叠体114可以包括多个交替的导电层116和电介质层118。存储堆叠体114中的导电层116和电介质层118可以在垂直方向上交替。换言之,除了处于存储堆叠体114的顶部或底部的层之外,每一导电层116可以在两侧与两个电介质层118相邻,并且每一电介质层118可以在两侧与两个导电层116相邻。导电层116可以包括导电材料,所述导电材料包括但不限于W、Co、Cu、Al、多晶硅、掺杂硅、硅化物或其任何组合。每一导电层116可以包括被粘合剂层包围的栅电极(栅极线)和栅极电介质层。导电层116的栅电极可以作为字线横向延伸,其结束于存储堆叠体114的一个或多个阶梯结构处。电介质层118可以包括电介质材料,所述电介质材料包括但不限于氧化硅、氮化硅、氮氧化硅或其任何组合。

[0042] 如图1所示,3D存储器件100的第二半导体结构104还可以包括处于存储堆叠体114以上的N型掺杂半导体层120。N型掺杂半导体层120可以是如上文所述的“侧壁SEG”的示例。N型掺杂半导体层120可以包括半导体材料,例如,硅。在一些实施例中,N型掺杂半导体层120包括通过沉积技术形成的多晶硅,如下文详细所述。在一些实施例中,N型掺杂半导体层120包括单晶硅,例如,SOI晶圆的器件层,如下文详细所述。N型掺杂半导体层120可以掺有任何适当的N型掺杂剂,诸如磷(P)、砷(Ar)或锑(Sb),它们贡献自由电子并且提高本征半导体的导电性。例如,N型掺杂半导体层120可以是掺有诸如P、Ar或Sb的N型掺杂剂的多晶硅层。在一些实施例中,N型掺杂半导体层120是在垂直方向上具有均匀的掺杂浓度分布情况的单个多晶硅层,其与具有多个多晶硅子层、在它们的界面处具有非均匀掺杂浓度(例如,在两个子层之间的界面处的突然的掺杂浓度变化)相反。应当理解,N型掺杂半导体层120的N型掺杂剂的掺杂浓度仍然可以在垂直方向上逐渐变化,只要没有任何能够根据掺杂浓度变化来区分两个或更多子层的突然掺杂浓度变化即可。

[0043] 在一些实施例中,每一沟道结构124包括利用半导体层(例如,作为半导体沟道128)和复合电介质层(例如,作为存储膜126)填充的沟道孔。在一些实施例中,半导体沟道128包括硅,例如非晶硅、多晶硅或单晶硅。

[0044] 在一些实施例中,存储膜126是包括隧穿层、存储层(又称为“电荷捕集层”)和阻挡层的复合层。沟道结构124的其余空间可以部分地或者全部以包括电介质材料(例如,氧化硅)和/或空气隙的帽盖层来填充。沟道结构124可以具有圆柱形状(例如,柱形形状)。根据一些实施例,帽盖层、半导体沟道128以及存储膜126的隧穿层、存储层和阻挡层按此顺序沿从柱的中间向柱的外表面径向布置。隧穿层可以包括氧化硅、氮氧化硅或其任何组合。存储层可以包括氮化硅、氮氧化硅、硅或其任何组合。阻挡层可以包括氧化硅、氮氧化硅、高k电介质或其任何组合。在一个示例中,存储膜126可以包括氧化硅/氮氧化硅/氧化硅(ONO)复

合层。

[0045] 在一些实施例中,沟道结构124进一步包括处于沟道结构124的底部部分当中(例如,处于下端)的沟道插塞129。如文中所使用的,在衬底101被置于3D存储器件100的最低平面中时,部件(例如,沟道结构124)的“上端”是在y方向上离衬底101较远的一端,并且部件(例如,沟道结构124)的“下端”是在y方向上离衬底101较近的一端。沟道插塞129可以包括半导体材料(例如,多晶硅)。在一些实施例中,沟道插塞129起到NAND存储串的漏极的作用。

[0046] 如图1所示,每一沟道结构124可以垂直地延伸穿过存储堆叠体114的交替的导电层116和电介质层118,到N型掺杂半导体层120中。每一沟道结构124的上端可以与N型掺杂半导体层120的顶表面平齐或者处于所述顶表面以下。也就是说,根据一些实施例,沟道结构124不延伸超出N型掺杂半导体层120的顶表面。在一些实施例中,存储膜126的上端处于沟道结构124中的半导体沟道128的上端以下,如图1所示。在一些实施例中,存储膜126的上端处于N型掺杂半导体层120的顶表面以下,并且半导体沟道128的上端与N型掺杂半导体层120的顶表面平齐或者处于所述顶表面以下。例如,如图1所示,存储膜126可以终止于N型掺杂半导体层120的底表面处,而半导体沟道128则可以延伸到N型掺杂半导体层120的底表面上,使得N型掺杂半导体层120可以包围半导体沟道128的、延伸到N型掺杂半导体层120中的顶部部分127并且与所述顶部部分127接触。在一些实施例中,半导体沟道128的、延伸到N型掺杂半导体层120中的顶部部分127的掺杂浓度不同于半导体沟道128的其余部分的掺杂浓度。例如,半导体沟道128除了顶部部分127之外可以包括未掺杂多晶硅,所述顶部部分127可以包括掺杂多晶硅,从而在形成与周围的N型掺杂半导体层120的电连接时提高其导电性。

[0047] 在一些实施例中,N型掺杂半导体层120包括半导体插塞122,每一半导体插塞包围沟道结构124的相应半导体沟道128的、延伸到N型掺杂半导体层120中的顶部部分127并且与所述顶部部分127接触。根据一些实施例,半导体插塞122包括掺杂多晶硅,例如,N型掺杂多晶硅。半导体插塞122的掺杂浓度可以不同于N型掺杂半导体层120的其余部分的掺杂浓度,因为半导体插塞122可以是在形成N型掺杂半导体层120的其余部分之后的较晚工艺中形成的,如下文详细描述。在一些实施例中,半导体插塞122包括多晶硅(例如,N型掺杂多晶硅),并且N型掺杂半导体层120的其余部分包括单晶硅(例如,N型掺杂单晶硅)。在一些实施例中,半导体插塞122包括多晶硅(例如,N型掺杂多晶硅),并且N型掺杂半导体层120的其余部分包括多晶硅(例如,N型掺杂多晶硅),但是掺杂浓度与半导体插塞122的掺杂浓度不同。

[0048] 每一半导体插塞122可以包围相应半导体沟道128的顶部部分127的侧壁并且与所述侧壁接触。因此,N型掺杂半导体层120中的半导体插塞122可以起到沟道结构124的“侧壁SEG(例如,半导体插塞)”的作用,以代替“底部SEG(例如,半导体插塞)”。此外,如下文详细描述,半导体插塞122的形成发生在存储堆叠体114的相对侧上,这可以避免通过延伸穿过存储堆叠体114的开口进行任何沉积或刻蚀工艺,由此降低制作复杂性和成本并且提高成品率和垂直可扩展性。根据每一沟道结构124的半导体沟道128的上端相对于N型掺杂半导体层120的顶表面的相对位置,半导体插塞122还可以被形成到半导体沟道128的上端以上并且与所述上端接触,例如,如图1所示,当半导体沟道128的上端处于N型掺杂半导体层120的顶表面以下时。应当理解,在半导体沟道128的上端与N型掺杂半导体层120的顶表面平齐

的其他示例中,半导体插塞122可以被形成为仅包围半导体沟道128的顶部部分127的侧壁并且与所述侧壁接触。

[0049] 然而,以半导体插塞122(例如,作为侧壁SEG)包围沟道结构124的半导体沟道128的顶部部分127的N型掺杂半导体层120能够实现用于针对3D存储器件100的擦除操作的GIDL辅助的主体偏置。围绕NAND存储串的源极选择栅的GIDL能够生成流入NAND存储串的空穴电流,以提高用于进行擦除操作的主题电势。

[0050] 如图1所示,3D存储器件100的第二半导体结构104可以进一步包括绝缘结构130,每一绝缘结构130垂直地延伸穿过存储堆叠体114的交替的导电层116和电介质层118。根据一些实施例,与进一步延伸到N型掺杂半导体层120中的沟道结构124不同,绝缘结构130停止在N型掺杂半导体层120的底表面处,即,不垂直地延伸到N型掺杂半导体层120中。也就是说,绝缘结构130的顶表面可以与N型掺杂半导体层120的底表面平齐。每一绝缘结构130还可以横向延伸,从而将沟道结构124分成多个块。也就是说,存储堆叠体114可以被绝缘结构130划分成多个存储块,使得沟道结构124的阵列能够被分到每一存储块当中。与上文描述的现有3DNAND存储器件中的包括正面ACS触点的缝隙结构不同,根据一些实施例,绝缘结构130不包含在其中的任何触点(即,不起到源极触点的作用),并且因此,不引入与导电层116(包括字线)的寄生电容和漏电流。在一些实施例中,每一绝缘结构130包括填充有一种或多种电介质材料的开口(例如,缝隙),所述电介质材料包括但不限于氧化硅、氮化硅、氮氧化硅或其任何组合。在一个示例中,可以利用氧化硅填充每一绝缘结构130。

[0051] 此外,如下文详细所述,由于用于形成绝缘结构130的开口未被用于形成N型掺杂半导体层120和其中的半导体插塞122(例如,侧壁SEG),因此随着交替的导电层116和电介质层118的数量的提高,该开口的增大的高宽比将不影响对N型掺杂半导体层120和其中的半导体插塞122的形成。

[0052] 3D存储器件100可以不包括正面源极触点,而是可以包括处于存储堆叠体114以上并且与N型掺杂半导体层120接触的背面源极触点132,如图1所示。源极触点132和存储堆叠体114(以及贯穿其的绝缘结构130)可以被设置到N型掺杂半导体层120的相对侧上,并且因此被视为“背面”源极触点。在一些实施例中,源极触点132通过N型掺杂半导体层120的半导体插塞122来电连接至沟道结构124的半导体沟道128。在一些实施例中,源极触点132不与绝缘结构130横向对准,而是接近沟道结构124,以缩短其间的电连接的电阻。例如,源极触点132可以横向处于绝缘结构130和沟道结构124之间(例如,在图1中的x方向上)。源极触点132可以包括任何适当类型的触点。在一些实施例中,源极触点132包括通孔触点。在一些实施例中,源极触点132包括横向延伸的壁状触点。源极触点132可以包括一个或多个导电层,诸如金属层(例如,W、Co、Cu或Al)或者被粘合剂层(例如,氮化钛(TiN))包围的硅化物层。

[0053] 如图1所示,3D存储器件100可以进一步包括处于源极触点132以上并且与所述源极触点132电连接的BEOL互连层133,以实现焊盘引出,例如,在3D存储器件100和外部电路之间传递电信号。在一些实施例中,互连层133包括处于N型掺杂半导体层120上的一个或多个ILD层134以及处于ILD层134上的重新分布层136。根据一些实施例,源极触点132的上端与ILD层134的顶表面以及重新分布层136的底表面平齐,并且源极触点132垂直地延伸穿过ILD层134,到N型掺杂半导体层120中。互连层133中的ILD层134可以包括电介质材料,所述电介质材料包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。互连层133

中重新分布层136可以包导电材料,其包括但不限于W、Co、Cu、Al、硅化物或其任何组合。在一个示例中,重新分布层136包括Al。在一些实施例中,互连层133进一步包括作为最外层的钝化层138,其用于3D存储器件100的钝化和保护。重新分布层136的部分可以从钝化层138暴露,以作为触点焊盘140。也就是说,3D存储器件100的互连层133还可以包括用于线键合和/或与内插器进行键合的触点焊盘140。

[0054] 在一些实施例中,3D存储器件100的第二半导体结构104进一步包括穿过N型掺杂半导体层120的触点142和144。根据一些实施例,由于N型掺杂半导体层120可以是减薄衬底,例如,SOI晶圆的器件层,所以触点142和144是过硅触点(TSC)。在一些实施例中,触点142延伸穿过N型掺杂半导体层120和ILD层134,从而与重新分布层136接触,使得N型掺杂半导体层120通过源极触点132和互连层133的重新分布层136电连接至接触142。在一些实施例中,触点144延伸穿过N型掺杂半导体层120和ILD层134,从而与触点焊盘140接触。触点142和触点144每者可以包括一个或多个导电层,诸如金属层(例如,W、Co、Cu或Al)或者被粘合剂层(例如,TiN)包围的硅化物层。在一些实施例中,至少触点144进一步包括间隔体(例如,电介质层),从而使触点144与N型掺杂半导体层120电隔离。

[0055] 在一些实施例中,3D存储器件100进一步包括外围触点146和148,它们每者垂直地延伸在存储堆叠体114之外。每一外围触点146或148可以具有大于存储堆叠体114的深度,以在存储堆叠体114以外的外围区域中垂直地从键合层112延伸至N型掺杂半导体层120。在一些实施例中,外围触点146处于触点142以下并且与触点142相接触,使得N型掺杂半导体层120至少通过源极触点132、互连层133、触点142和外围触点146电连接至第一半导体结构102中的外围电路108。在一些实施例中,外围触点148处于触点144以下并且与触点144接触,使得第一半导体结构102中的外围电路108至少通过触点144和外围触点148电连接至用于焊盘引出的触点焊盘140。外围触点146和触点148每者可以包括一个或多个导电层,诸如金属层(例如,W、Co、Cu或Al)或者被粘合剂层(例如,TiN)包围的硅化物层。

[0056] 如图1所示,3D存储器件100还包括作为互连结构的的部分的各种各样的局部触点(又称为“C1”),它们直接与存储堆叠体114中的结构接触。在一些实施例中,这些局部触点包括沟道局部触点150,每一沟道局部触点处于相应的沟道结构124的下端以下并且与所述下端接触。每一沟道局部触点150可以电连接至位线触点(未示出),以实施位线扇出(fan-out)。在一些实施例中,局部触点进一步包括字线局部触点152,每一字线局部触点处于存储堆叠体114的阶梯结构处的相应的导电层116(包括字线)以下并且与所述导电层116接触,以用于字线扇出。局部触点(诸如沟道局部触点150和字线局部触点152)可以至少通过键合层112和110电连接至第一半导体结构102的外围电路108。局部触点(诸如沟道局部触点150和字线局部触点152)每者可以包括一个或多个导电层,诸如金属层(例如,W、Co、Cu或Al)或者被粘合剂层(例如,TiN)包围的硅化物层。

[0057] 图2示出了根据本公开的一些实施例的另一示例性3D存储器件200的截面的侧视图。在一些实施例中,3D存储器件200是包括第一半导体结构202以及堆叠设置在第一半导体结构202之上的第二半导体结构204的键合芯片。根据一些实施例,第一半导体结构202和第二半导体结构204在其间的键合界面206处联结。如图2所示,第一半导体结构202可以包括衬底201,衬底201可以包括硅(例如,单晶硅、c-Si)、SiGe、GaAs、Ge、SOI或者任何其他适当材料。

[0058] 3D存储器件200的第一半导体结构202可以包括处于衬底201上的外围电路208。在一些实施例中,外围电路208被配置为控制和感测3D存储器件200。外围电路208可以是任何用于促进3D存储器件200的操作的适当数字、模拟和/或混合信号控制和感测电路,其包括但不限于页缓冲器、解码器(例如,行解码器和列解码器)、感测放大器、驱动器(例如,字线驱动器)、电荷泵、电流或电压参考或者所述电路的任何有源或无源部件(例如,晶体管、二极管、电阻器或电容器)。外围电路208可以包括形成于衬底201“上”的晶体管,其中,晶体管的全部或部分形成于半导体层201中(例如,处于衬底201的顶表面以下)和/或直接形成于衬底201上。还可以在衬底201中形成隔离区(例如,浅沟槽隔离(STI))和掺杂区(例如,晶体管的源极区和漏极区)。根据一些实施例,借助于高级逻辑工艺(例如,90nm、65nm、45nm、32nm、28nm、20nm、16nm、14nm、10nm、7nm、5nm、3nm、2nm等技术节点),晶体管是高速的。应当理解,在一些实施例中,外围电路208可以进一步包括与高级逻辑工艺兼容的任何其他电路,包括诸如处理器和PLD的逻辑电路或者诸如SRAM和DRAM的存储电路。

[0059] 在一些实施例中,3D存储器件200的第一半导体结构202进一步包括处于外围电路208以上的互连层(未示出),以传递通往和来自外围电路208的电信号。互连层可以包括多个互连(本文又称为“触点”),包括横向互连线和通孔触点。如本文所用,“互连”一词可以宽泛地包括任何适当类型的互连,诸如MEOL互连和BEOL互连。互连层可以进一步包括一个或多个ILD层(又称为“IMD层”),所述互连线和通孔触点可以形成于所述ILD层中。也就是说,互连层可以包括处于多个ILD层中的互连线和通孔触点。互连层中的互连线和通孔触点可以包导电材料,其包括但不限于W、Co、Cu、Al、硅化物或其任何组合。互连层中的ILD层可以包括电介质材料,所述电介质材料包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。

[0060] 如图2所示,3D存储器件200的第一半导体结构202可以进一步包括处于键合界面206处并且处于互连层和外围电路208以上的键合层210。键合层210可以包括多个键合触点211以及对键合触点211电隔离的电介质。键合触点211可以包括导电材料,所述导电材料包括但不限于W、Co、Cu、Al、硅化物或其任何组合。键合层210的其余区域可以利用电介质形成,所述电介质包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。键合层210中的键合触点211和周围电介质可以用于混合键合。

[0061] 类似地,如图2所示,3D存储器件200的第二半导体结构204还可以包括处于键合界面206处并且处于第一半导体结构202的键合层210以上的键合层212。键合层212可以包括多个键合触点213以及对键合触点213电隔离的电介质。键合触点213可以包括导电材料,所述导电材料包括但不限于W、Co、Cu、Al、硅化物或其任何组合。键合层212的其余区域可以利用电介质形成,所述电介质包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。键合层212中的键合触点213和周围电介质可以用于混合键合。根据一些实施例,键合触点213与键合触点211在键合界面处206相接触。

[0062] 如下文所详述的,第二半导体结构204可以在键合界面206处按照面对面的方式键合到第一半导体结构202的顶上。在一些实施例中,键合界面206作为混合键合(又称为“金属/电介质混合键合”)的结果设置于键合层210和键合层212之间,所述混合键合是一种直接键合技术(例如,在不使用诸如焊料或粘合剂的中间层的情况下在表面之间形成键合),并且可以同时获得金属-金属键合和电介质-电介质键合。在一些实施例中,键合界面206是

键合层212和键合层210相遇并且键合的地方。在实践当中,键合界面206可以是包括第一半导体结构202的键合层210的顶表面和第二半导体结构204的键合层212的底表面的具有某一厚度的层。

[0063] 在一些实施例中,3D存储器件200的第二半导体结构204进一步包括处于键合层212以上的互连层(未示出),以传递电信号。该互连层可以包括多个互连,诸如MEOL互连和BEOL互连。该互连层可以进一步包括一个或多个ILD层,所述互连线 and 通孔触点可以形成于所述ILD层中。互连层中的互连线和通孔触点可以包导电材料,其包括但不限于W、Co、Cu、Al、硅化物或其任何组合。互连层中的ILD层可以包括电介质材料,所述电介质材料包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。

[0064] 在一些实施例中,3D存储器件200是NAND闪速存储器件,其中,存储单元是以NAND存储串的阵列的形式提供的。如图2所示,3D存储器件200的第二半导体结构204可以包括起到NAND存储串的阵列的作用的沟道结构224的阵列。如图2所示,每一沟道结构224垂直地延伸穿过多个对,每一对包括导电层216和电介质层218。交替的导电层216和电介质层218是存储堆叠体214的部分。存储堆叠体214中的导电层216和电介质层218的对的数量(例如,32、64、96、128、160、192、224、256或更多)确定3D存储器件200中的存储单元的数量。应当理解,在一些实施例中,存储堆叠体214可以具有多构成级架构(未示出),该架构包括一个叠一个地堆叠设置的多个存储构成级。每一存储构成级中的导电层216和电介质层218的对的数量可以是相同的或者不同的。

[0065] 存储堆叠体214可以包括多个交替的导电层216和电介质层218。存储堆叠体214中的导电层216和电介质层218可以在垂直方向上交替。换言之,除了处于存储堆叠体214的顶部或底部的层之外,每一导电层216可以在两侧与两个电介质层218相邻,并且每一电介质层218可以在两侧与两个导电层216相邻。导电层216可以包括导电材料,所述导电材料包括但不限于W、Co、Cu、Al、多晶硅、掺杂硅、硅化物或其任何组合。每一导电层216可以包括被粘合剂层包围的栅电极(栅极线)和栅极电介质层。导电层216的栅电极可以作为字线横向延伸,其结束于存储堆叠体214的一个或多个阶梯结构处。电介质层218可以包括电介质材料,所述电介质材料包括但不限于氧化硅、氮化硅、氮氧化硅或其任何组合。

[0066] 如图2所示,3D存储器件200的第二半导体结构204还可以包括处于存储堆叠体114以上的P型掺杂半导体层220。P型掺杂半导体层220可以是如上文所述的“侧壁SEG”的示例。P型掺杂半导体层220可以包括半导体材料,例如,硅。在一些实施例中,P型掺杂半导体层220包括通过沉积技术形成的多晶硅,如下文详细所述。在一些实施例中,P型掺杂半导体层220包括单晶硅,例如,SOI晶圆的器件层,如下文详细所述。P型掺杂半导体层220可以掺有任何适当的P型掺杂剂,诸如硼(B)、镓(Ga)或铝(Al),以使本征半导体建立价电子的缺失,其又被称为“空穴”。例如,P型掺杂半导体层220可以是掺有诸如P、Ar或Sb的P型掺杂剂的多晶硅层。在一些实施例中,P型掺杂半导体层220是在垂直方向上具有均匀的掺杂浓度分布情况的单个多晶硅层,其与具有多个多晶硅子层、在它们的界面处具有非均匀掺杂浓度(例如,在两个子层之间的界面处存在突然的掺杂浓度变化)相反。应当理解,P型掺杂半导体层220的P型掺杂剂的掺杂浓度仍然可以在垂直方向上逐渐变化,只要没有任何能够根据掺杂浓度变化来区分两个或更多子层的突然掺杂浓度变化即可。

[0067] 在一些实施例中,3D存储器件200的第二半导体结构204进一步包括处于P型掺杂

半导体层220中的N阱221。N阱221可以掺有任何适当的N型掺杂剂,诸如P、Ar或Sb,它们贡献自由电子并且提高本征半导体的导电性。在一些实施例中,N阱221是从P型掺杂半导体层220的底表面掺杂的。应当理解,N阱221可以在P型掺杂半导体层220的整个厚度中垂直地延伸,即,到P型掺杂半导体层220的顶表面,或者在P型掺杂半导体层220的整个厚度的部分中垂直地延伸。

[0068] 在一些实施例中,每一沟道结构224包括利用半导体层(例如,作为半导体沟道228)和复合电介质层(例如,作为存储膜226)填充的沟道孔。在一些实施例中,半导体沟道228包括硅,例如非晶硅、多晶硅或单晶硅。

[0069] 在一些实施例中,存储膜226是包括隧穿层、存储层(又称为“电荷捕集层”)和阻挡层的复合层。沟道结构224的其余空间可以部分地或者全部以包括电介质材料(例如,氧化硅)和/或空气隙的帽盖层填充。沟道结构224可以具有圆柱形状(例如,柱形形状)。根据一些实施例,盖帽层、半导体沟道228以及存储膜226的隧穿层、存储层和阻挡层按此顺序沿从柱的中间向柱的外表面径向布置。隧穿层可以包括氧化硅、氮氧化硅或其任何组合。存储层可以包括氮化硅、氮氧化硅、硅或其任何组合。阻挡层可以包括氧化硅、氮氧化硅、高k电介质或其任何组合。在一个示例中,存储膜226可以包括氧化硅/氮氧化硅/氧化硅(ONO)复合层。

[0070] 在一些实施例中,沟道结构224进一步包括处于沟道结构224的底部部分当中(例如,处于下端)的沟道插塞227。如文中所使用的,在衬底201被置于3D存储器件200的最低平面中时,部件(例如,沟道结构224)的“上端”是在y方向上离衬底201较远的一端,并且部件(例如,沟道结构224)的“下端”是在y方向上离衬底201较近的一端。沟道插塞227可以包括半导体材料(例如,多晶硅)。在一些实施例中,沟道插塞227起到NAND存储串的漏极的作用。

[0071] 如图2所示,每一沟道结构224可以垂直地延伸穿过存储堆叠体214的交替的导电层216和电介质层218,到P型掺杂半导体层220中。每一沟道结构224的上端可以与P型掺杂半导体层220的顶表面平齐或者处于所述顶表面以下。也就是说,根据一些实施例,沟道结构224不延伸超出P型掺杂半导体层220的顶表面。在一些实施例中,存储膜226的上端处于沟道结构224中的半导体沟道228的上端以下,如图2所示。在一些实施例中,存储膜226的上端处于P型掺杂半导体层220的顶表面以下,并且半导体沟道228的上端与P型掺杂半导体层220的顶表面平齐或者处于所述顶表面以下。例如,如图2所示,存储膜226可以终止于P型掺杂半导体层220的底表面处,而半导体沟道228则可以延伸到P型掺杂半导体层220的底表面上,使得P型掺杂半导体层220可以包围半导体沟道228的延伸到P型掺杂半导体层220中的顶部部分229并且与所述顶部部分229接触。在一些实施例中,半导体沟道228的延伸到P型掺杂半导体层220中的顶部部分229的掺杂浓度不同于半导体沟道228的其余部分的掺杂浓度。例如,半导体沟道228除了顶部部分229之外可以包括未掺杂多晶硅,顶部部分229可以包括掺杂多晶硅,以在形成与周围的P型掺杂半导体层220的电连接时提高其导电性。

[0072] 在一些实施例中,P型掺杂半导体层220包括半导体插塞222,每一半导体插塞222包围沟道结构224的相应半导体沟道228的延伸到P型掺杂半导体层220中的顶部部分229并且与所述顶部部分229接触。根据一些实施例,半导体插塞222包括掺杂多晶硅,例如,P型掺杂多晶硅。半导体插塞222的掺杂浓度可以不同于P型掺杂半导体层220的其余部分的掺杂浓度,因为半导体插塞222可以是在形成P型掺杂半导体层220的其余部分之后的较晚工艺

中形成的,如下文详细描述。在一些实施例中,半导体插塞222包括多晶硅(例如,P型掺杂多晶硅),并且P型掺杂半导体层220的其余部分包括单晶硅(例如,P型掺杂单晶硅)。在一些实施例中,半导体插塞222包括多晶硅(例如,P型掺杂多晶硅),并且P型掺杂半导体层220的其余部分包括多晶硅(例如,P型掺杂多晶硅),但是具有与半导体插塞222的掺杂浓度不同的掺杂浓度。

[0073] 每一半导体插塞222可以包围相应半导体沟道228的顶部部分229的侧壁并且与所述侧壁接触。因此,P型掺杂半导体层220中的半导体插塞222可以起到沟道结构224的“侧壁SEG(例如,半导体插塞)”的作用,以代替“底部SEG(例如,半导体插塞)”。此外,如下文详细描述,对半导体插塞222的形成发生在存储堆叠体214的相对侧上,这可以避免通过延伸穿过存储堆叠体214的开口进行任何沉积或刻蚀工艺,由此降低制作复杂性和成本并且提高成品率和垂直可扩展性。根据每一沟道结构224的半导体沟道228的上端相对于P型掺杂半导体层220的顶表面的相对位置,半导体插塞222还可以被形成到半导体沟道228的上端以上并且与所述上端接触,例如,如图2所示,当半导体沟道228的上端处于P型掺杂半导体层220的顶表面以下时。应当理解,在半导体沟道228的上端与P型掺杂半导体层220的顶表面平齐的其他示例中,半导体插塞222可以被形成为仅包围半导体沟道228的顶部部分229的侧壁并且与所述侧壁接触。

[0074] 然而,以半导体插塞222(例如,作为侧壁SEG)包围沟道结构224的半导体沟道228的顶部部分229的P型掺杂半导体层220能够实现针对3D存储器件200的P阱批量擦除操作。本文公开的3D存储器件200的设计能够实现分别用于形成擦除操作和读取操作的空穴电流路径和电子电流路径的分开。在一些实施例中,3D存储器件200被配置为在电子源(例如,N阱221)和沟道结构224的半导体沟道228之间形成电子电流路径,以在根据一些实施例执行读取操作时向NAND存储串提供电子。反之,3D存储器件200被配置为在空穴源(例如,P型掺杂半导体层220)和沟道结构224的半导体沟道228之间形成空穴电流路径,以在根据一些实施例执行P阱批量擦除操作时向NAND存储串提供空穴。

[0075] 如图2所示,3D存储器件200的第二半导体结构204可以进一步包括绝缘结构230,每一绝缘结构230垂直地延伸穿过存储堆叠体214的交替的导电层216和电介质层218。根据一些实施例,与进一步延伸到P型掺杂半导体层220中的沟道结构224不同,绝缘结构230停止在P型掺杂半导体层220的底表面处,即,不垂直地延伸到P型掺杂半导体层220中。也就是说,绝缘结构230的顶表面可以与P型掺杂半导体层220的底表面平齐。每一绝缘结构230还可以横向延伸,以将沟道结构224分成多个块。也就是说,存储堆叠体214可以被绝缘结构230划分成多个存储块,使得沟道结构224的阵列能够被分到每一存储块当中。与上文描述的现有3D NAND存储器件中的包括正面ACS触点的缝隙结构不同,根据一些实施例,绝缘结构230不包含在其中的任何触点(即,不起到源极触点的作用),并且因此,不引入与导电层216(包括字线)的寄生电容和漏电流。在一些实施例中,每一绝缘结构230包括填充有一种或多种电介质材料的开口(例如,缝隙),所述电介质材料包括但不限于氧化硅、氮化硅、氮氧化硅或其任何组合。在一个示例中,可以利用氧化硅填充每一绝缘结构230。

[0076] 此外,如下文详细描述,由于用于形成绝缘结构230的开口未被用于形成P型掺杂半导体层220和在其中的半导体插塞222(例如,侧壁SEG),因此随着交替的导电层216和电介质层218的数量的提高,该开口的增大的高宽比将不影响对P型掺杂半导体层220和在其

中的半导体插塞222的形成。

[0077] 3D存储器件100可以不包括正面源极触点,而是可以包括处于存储堆叠体214以上并且分别与N阱221和P型掺杂半导体层220接触的背面源极触点231和232,如图1所示。源极触点231和232以及存储堆叠体214(以及贯穿其的绝缘结构230)可以被设置到P型掺杂半导体层220的相对两侧上,并且因此被视为“背面”源极触点。在一些实施例中,与P型掺杂半导体层220接触的源极触点232通过P型掺杂半导体层220的半导体插塞222电连接至沟道结构224的半导体沟道228。在一些实施例中,与N阱221接触的源极触点231通过P型掺杂半导体层220的半导体插塞222电连接至沟道结构224的半导体沟道228。在一些实施例中,源极触点232不与绝缘结构230横向对准,并且接近沟道结构224,以减小在其间的电连接的电阻。应当理解,尽管源极触点231如图2所示与绝缘结构230横向对准,但是在一些示例中,源极触点231也可以不与绝缘结构230横向对准,而是接近沟道结构224(例如,沿横向处于绝缘结构230和沟道结构224之间),以也降低其间的电连接的电阻。如上文所述,源极触点231和232可以分别用于在读取操作期间和擦除操作期间分开控制电子电流和空穴电流。源极触点231和232可以包括任何适当类型的触点。在一些实施例中,源极触点231和232包括通孔触点。在一些实施例中,源极触点231和232包括横向延伸的壁状触点。源极触点231和232可以包括一个或多个导电层,诸如金属层(例如,W、Co、Cu或Al)或者被粘合剂层(例如,氮化钛(TiN))包围的硅化物层。

[0078] 如图2所示,3D存储器件100可以进一步包括处于源极触点231和232以上并且与源极触点231和232电连接的BEOL互连层233,以实现焊盘引出,例如,在3D存储器件200和外部电路之间传递电信号。在一些实施例中,互连层233包括处于P型掺杂半导体层220上的一个或多个ILD层234以及处于ILD层234上的重新分布层236。源极触点231或232的上端与ILD层234的顶表面以及重新分布层236的底表面平齐。源极触点231和232可以通过ILD层234电分隔。在一些实施例中,源极触点232垂直地延伸穿过ILD层234到P型掺杂半导体层220中,以与P型掺杂半导体层220发生电连接。在一些实施例中,源极触点231垂直地延伸穿过ILD层234和P型掺杂半导体层220,到N阱221中,以与N阱发生电连接。源极触点231包括围绕其侧壁的间隔体(例如,电介质层),以与P型掺杂半导体层220电隔离。重新分布层236可以包括两个电分隔的互连:与源极触点232接触的第一互连236-1以及与源极触点231接触的第二互连236-2。

[0079] 互连层233中的ILD层234可以包括电介质材料,所述电介质材料包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。互连层233中的重新分布层236可以包导电材料,其包括但不限于W、Co、Cu、Al、硅化物或其任何组合。在一个示例中,重新分布层236包括Al。在一些实施例中,互连层233进一步包括作为最外层的钝化层238,其用于3D存储器件200的钝化和保护。重新分布层236的部分可以从钝化层238暴露,以作为触点焊盘240。也就是说,3D存储器件200的互连层233还可以包括用于线键合和/或与内插器进行键合的触点焊盘240。

[0080] 在一些实施例中,3D存储器件200的第二半导体结构204进一步包括穿过P型掺杂半导体层220的触点242、243和244。根据一些实施例,由于P型掺杂半导体层220可以是减薄衬底,例如,SOI晶圆的器件层,因此触点242、243和244是TSC。在一些实施例中,触点242延伸穿过P型掺杂半导体层220和ILD层234,以与重新分布层236的第一互连236-1接触,使得P

型掺杂半导体层220通过源极触点232和互连层233的第一互连236-1电连接至触点242。在一些实施例中,触点243延伸穿过P型掺杂半导体层220和ILD层234,以与重新分布层236的第二互连236-2接触,使得N阱221通过源极触点231和互连层233的第二互连236-2电连接至触点243。在一些实施例中,触点244延伸穿过P型掺杂半导体层220和ILD层234,以与触点焊盘240接触。触点242、243和244每者可以包括一个或多个导电层,诸如金属层(例如,W、Co、Cu或Al)或者被粘合剂层(例如,TiN)包围的硅化物层。在一些实施例中,至少触点243和244每者进一步包括间隔体(例如,电介质层),以使触点243和244与P型掺杂半导体层220电分隔。

[0081] 在一些实施例中,3D存储器件200进一步包括外围触点246、247和248,它们每者垂直地延伸在存储堆叠体214之外。每一外围触点246、247或248可以具有大于存储堆叠体214的深度的深度,以在存储堆叠体214外的外围区域中垂直地从键合层212延伸至P型掺杂半导体层220。在一些实施例中,外围触点246处于触点242以下并且与所述触点242相接触,使得P型掺杂半导体层220至少通过源极触点232、互连层233的第一互连236-1、触点242和外围触点246电连接至第一半导体结构202中的外围电路208。在一些实施例中,外围触点247处于触点243以下并且与所述触点243相接触,使得N阱221至少通过源极触点231、互连层233的第二互连236-2、触点243和外围触点247电连接至第一半导体结构202中的外围电路208。也就是说,可以由外围电路208通过不同电连接,来分开控制用于读取操作和擦除操作的电子电流和空穴电流。在一些实施例中,外围触点248处于触点244以下并且与所述触点244接触,使得第一半导体结构202中的外围电路208至少通过触点244和外围触点248电连接至用于焊盘引出的触点焊盘240。外围触点246、247和248每者可以包括一个或多个导电层,诸如金属层(例如,W、Co、Cu或Al)或者被粘合剂层(例如,TiN)包围的硅化物层。

[0082] 如图2所示,3D存储器件200还包括作为互连结构的的一部分的各种各样的局部触点(又称为“C1”),它们直接与存储堆叠体214中的结构接触。在一些实施例中,局部触点包括沟道局部触点250,每一沟道局部触点250处于相应的沟道结构224的下端以下并且与所述下端接触。每一沟道局部触点250可以电连接至位线触点(未示出),以用于位线扇出。在一些实施例中,局部触点进一步包括字线局部触点252,每一字线局部触点252处于存储堆叠体214的阶梯结构处的相应的导电层216(包括字线)以下并且与所述导电层216接触,以用于字线扇出。局部触点(诸如沟道局部触点250和字线局部触点252)可以至少通过键合层212和210电连接至第一半导体结构202的外围电路208。局部触点(诸如沟道局部触点250和字线局部触点252)每者可以包括一个或多个导电层,诸如金属层(例如,W、Co、Cu或Al)或者被粘合剂层(例如,TiN)包围的硅化物层。

[0083] 图3A-3N示出了根据本公开的一些实施例的用于形成示例性3D存储器件的制作工艺。图5A示出了根据本公开的一些实施例的用于形成示例性3D存储器件的方法500的流程图。图5B示出了根据本公开的一些实施例的用于形成示例性3D存储器件的另一方法501的流程图。图3A-3N、图5A和图5B中描绘的3D存储器件的示例包括图1中描绘的3D存储器件100。将对图3A-3N、图5A和图5B一起描述。应当理解,方法500和501中所示的操作并不具有排他性,并且也可以在所示操作中的任何操作之前、之后或之间执行其他操作。此外,所述操作中的某些操作可以是同时执行的或者可以是按照不同于图5A和图5B所示的顺序执行的。

[0084] 参考图5A,方法500开始于操作502,在该操作中,在第一衬底上形成外围电路。所述第一衬底可以是硅衬底。如图3G所示,使用多种工艺在硅衬底350上形成多个晶体管,所述多种工艺包括但不限于光刻、刻蚀、薄膜沉积、热生长、注入、化学机械抛光(CMP)以及任何其他适当工艺。在一些实施例中,通过离子注入和/或热扩散在硅衬底350中形成掺杂区(未示出),所述掺杂区起到例如晶体管的源极区和/或漏极区的作用。在一些实施例中,还通过湿法刻蚀和/或干法刻蚀和薄膜沉积,在硅衬底350中形成隔离区(例如,STI)。晶体管能够在硅衬底350上形成外围电路352。

[0085] 如图3G所示,在外围电路352以上形成键合层348。键合层348包括电连接至外围电路352的键合触点。为了形成键合层348,使用诸如化学气相沉积(CVD)、物理气相沉积(PVD)、原子层沉积(ALD)或其任何组合的一种或多种薄膜沉积工艺,来沉积ILD层;使用湿法刻蚀和/或干法刻蚀(例如,反应离子刻蚀(RIE)),接着一种或多种薄膜沉积工艺(诸如ALD、CVD、PVD任何其他适当工艺或其任何组合),形成穿过ILD层的键合触点。

[0086] 可以在第二衬底以上形成垂直地延伸穿过存储堆叠体和N型掺杂半导体层的沟道结构。方法500进行至操作504,如图5A所示,在该操作中,依次形成处于第二衬底上的牺牲层、处于牺牲层上的N型掺杂半导体层以及处于N型掺杂半导体层上的电介质堆叠体。第二衬底可以是硅衬底。应当理解,由于第二衬底将被从最终产品中去除,因此第二衬底可以由任何适当材料构成的伪晶圆(例如,载体衬底)的部分,以降低第二衬底的成本,例如,所述材料可以是玻璃、蓝宝石、塑料、硅,这里仅举出了几个例子。在一些实施例中,该衬底是载体衬底,牺牲层包括电介质材料,N型掺杂半导体层包括多晶硅,并且电介质堆叠体包括交替的堆叠电介质层和堆叠牺牲层。在一些实施例中,堆叠电介质层和堆叠牺牲层在N型掺杂半导体层上交替沉积,以形成电介质堆叠体。

[0087] 如图3A所示,牺牲层304形成于载体衬底302上,并且N型掺杂半导体层306形成于牺牲层304上。N型掺杂半导体层306可以包括掺有诸如P、As或Sb的N型掺杂剂的多晶硅。牺牲层304可以包括任何适当的牺牲材料,所述牺牲材料可以以后被选择性地去除并且不同于N型掺杂半导体层306的材料。在一些实施例中,牺牲层304包括电介质材料,诸如氧化硅或氮化硅。根据一些实施例,为了形成牺牲层304,使用包括但不限于CVD、PVD、ALD或其任何组合的一种或多种薄膜沉积工艺,在载体衬底302上沉积氧化硅或氮化硅。在一些实施例中,为了形成N型掺杂半导体层306,使用包括但不限于CVD、PVD、ALD或其任何组合的一种或多种薄膜沉积工艺在牺牲层304上沉积多晶硅,接着使用离子注入和/或热扩散,利用N型掺杂剂(诸如P、As或Sb)对所沉积的多晶硅进行掺杂。在一些实施例中,为了形成N型掺杂半导体层306,当在牺牲层304上沉积多晶硅时,执行诸如P、As或Sb的N型掺杂剂的原位掺杂。

[0088] 如图3B所示,包括多对的第一电介质层(本文被称为“堆叠牺牲层”312)和第二电介质层(本文被称为“堆叠电介质层”310,在文中与前者一起被称为“电介质层对”)的电介质堆叠体308被形成到N型掺杂半导体层306上。根据一些实施例,电介质堆叠体308包括交替的堆叠牺牲层312和堆叠电介质层310。堆叠电介质层310和堆叠牺牲层312可以交替沉积在处于载体衬底302以上的N型掺杂半导体层306上,以形成电介质堆叠体308。在一些实施例中,每一堆叠电介质层310包括氧化硅层,并且每一堆叠牺牲层312包括氮化硅层。电介质堆叠体308可以通过一种或多种薄膜沉积工艺形成的,所述工艺包括但不限于CVD、PVD、ALD或其任何组合。如图3B所示,可以在电介质堆叠体308的边缘上形成阶梯结构。该阶梯结

构可以通过朝向载体衬底302对电介质堆叠体308的电介质层对执行多个所谓的“修整-刻蚀”循环而形成的。由于施加至电介质堆叠体308的电介质层对的反复修整-刻蚀循环,电介质堆叠体308可以具有一个或多个倾斜边缘以及比底部电介质层对短的顶部电介质层对,如图3B所示。

[0089] 方法500进行至操作506,如图5A所示,在该操作中,形成垂直地延伸穿过电介质堆叠体和N型掺杂半导体层的沟道结构。在一些实施例中,为了形成该沟道结构,刻蚀出垂直地延伸穿过电介质堆叠体和N型掺杂半导体层、停止在牺牲层处的沟道孔,并且沿沟道孔的侧壁依次沉积存储膜和半导体沟道。

[0090] 如图3B所示,沟道孔是垂直地延伸穿过电介质堆叠体308和N型掺杂半导体层306的开口。在一些实施例中,形成多个开口,使得每一开口变成用于在后面的工艺当中生长单独的沟道结构314的位置。在一些实施例中,用于形成沟道结构314的沟道孔的制作工艺包括湿法刻蚀和/或干法刻蚀,例如,深RIE (DRIE)。牺牲层304可以起到用于控制在不同沟道孔之间的开槽变化(gouging variation)的刻蚀停止层。例如,对沟道孔的刻蚀可以由牺牲层304停止,而不进一步延伸到载体衬底302中。也就是说,根据一些实施例,每一沟道孔(和对应的沟道结构314)的下端处于牺牲层304的顶表面和底表面之间。

[0091] 如图3B所示,随后沿沟道孔的侧壁和底表面,按列举顺序形成包括阻挡层317、存储层316和隧穿层315的存储膜以及半导体沟道318。在一些实施例中,使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,按列举顺序首先沿沟道孔的侧壁和底表面沉积阻挡层317、存储层316和隧穿层315,以形成存储膜。之后,可以通过使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,在隧穿层315之上沉积比如多晶硅(例如,未掺杂多晶硅)的半导体材料,来形成半导体沟道318。在一些实施例中,随后沉积第一氧化硅层、氮化硅层、二氧化硅层和多晶硅层(“SONO”结构),以形成存储膜的阻挡层317、存储层316和隧穿层315以及半导体沟道318。

[0092] 如图3B所示,在沟道孔中并且在半导体沟道318以上形成帽盖层,以完全或部分地填充沟道孔(例如,没有空气隙或具有空气隙)。可以通过使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,沉积比如氧化硅的电介质材料而形成帽盖层。之后,在沟道孔的顶部部分中形成沟道插塞。在一些实施例中,通过CMP、湿法刻蚀和/或干法刻蚀,去除存储膜、半导体沟道318和帽盖层的处于电介质堆叠体308的顶表面上的部分,并且对其进行平面化。然后可以通过对半导体沟道318和帽盖层的处于沟道孔的顶部部分中的部分进行湿法刻蚀和/或干法刻蚀,而在沟道孔的顶部部分中形成凹槽。之后,可以通过诸如CVD、PVD、ALD或其任何组合的一种或多种薄膜沉积工艺,沉积比如多晶硅的半导体材料,来形成沟道插塞。由此形成穿过电介质堆叠体308和N型掺杂半导体层306的沟道结构314。根据牺牲层304将对每一沟道孔的刻蚀停止的深度,沟道结构314可以进一步延伸到牺牲层304中或者停止在牺牲层304与N型掺杂半导体层306之间的界面处。然而,沟道结构314可以不进一步延伸到载体衬底302中。

[0093] 方法500进行至操作508,如图5A所示,在该操作中,使用例如所谓的“栅极代替”工艺,利用存储堆叠体代替该电介质堆叠体,使得该沟道结构垂直地延伸穿过存储堆叠体和N型掺杂半导体层。在一些实施例中,为了利用存储堆叠体代替电介质堆叠体,刻蚀出垂直地延伸穿过电介质堆叠体、停止在N型掺杂半导体层处的开口,并且通过所述开口,利用堆叠

导电层代替堆叠牺牲层,以形成包括交替的堆叠电介质层和堆叠导电层的存储堆叠体。

[0094] 如图3C所示,缝隙320是垂直地延伸穿过电介质堆叠体308并且停止在N型掺杂半导体层306处的开口。在一些实施例中,用于形成缝隙320的制作工艺包括湿法刻蚀和/或干法刻蚀,例如,DRIE。之后,可以通过缝隙320执行栅极代替,以利用存储堆叠体330代替电介质堆叠体308(如图3E所示)。

[0095] 如图3D所示,首先通过经由缝隙320去除堆叠牺牲层312(如图3C所示),来形成横向凹槽322。在一些实施例中,通过经由缝隙320施加刻蚀剂来去除堆叠牺牲层312,建立在堆叠电介质层310之间交替的横向凹槽322。刻蚀剂可以包括相对于堆叠电介质层310选择性地刻蚀堆叠牺牲层312的任何适当刻蚀剂。

[0096] 如图3E所示,通过缝隙320将堆叠导电层328(包括栅电极和粘合剂层)沉积到横向凹槽322(如图3D中所示)中。在一些实施例中,在堆叠导电层328之前,将栅极电介质层322沉积到横向凹槽322中,使得在栅极电介质层322上沉积堆叠导电层328。可以使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,沉积如金属层的堆叠导电层328。在一些实施例中,还沿缝隙320的侧壁并且在缝隙320的底部处形成比如高k电介质层的栅极电介质层332。根据一些实施例,由此形成包括交替的堆叠导电层328和堆叠电介质层310的存储堆叠体330,代替电介质堆叠体308(图3D中所示)。

[0097] 方法500进行至操作510,如图5A所示,在该操作中,形成垂直地延伸穿过存储堆叠体的绝缘结构。在一些实施例中,为了形成该绝缘结构,在形成存储堆叠体之后,将一种或多种电介质材料沉积到开口中,以填充该开口。如图3E所示,形成了垂直地延伸穿过存储堆叠体330的绝缘结构336,其停止在N型掺杂半导体层306的顶表面上。可以使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,将一种或多种电介质材料(例如,氧化硅)沉积到缝隙320中,以完全或部分地填充缝隙320(具有或没有空气隙),由此形成绝缘结构336。在一些实施例中,绝缘结构336包括栅极电介质层332(例如,包括高k电介质)和电介质帽盖层334(例如,包括氧化硅)。

[0098] 如图3F所示,在形成绝缘结构336之后,形成包括沟道局部触点344和字线局部触点342的局部触点以及外围触点338和340。可以通过使用诸如CVD、PVD、ALD或其任何组合的一种或多种薄膜沉积工艺,在存储堆叠体330的顶上沉积电介质材料(诸如氧化硅或氮化硅),来在存储堆叠体330上形成局部电介质层。可以使用湿法刻蚀和/或干法刻蚀(例如,RIE)刻蚀出穿过局部电介质层(和任何其他ILD层)的触点开口,接着使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,利用导电材料填充所述触点开口,来形成沟道局部触点344、字线局部触点342以及外围触点338和340。

[0099] 如图3F所示,在沟道局部触点344、字线局部触点342以及外围触点338和340以上形成键合层346。键合层346包括电连接至沟道局部触点344、字线局部触点342以及外围触点338和340的键合触点。为了形成键合层346,使用诸如CVD、PVD、ALD或其任何组合的一种或多种薄膜沉积工艺来沉积ILD层,并且利用湿法刻蚀和/或干法刻蚀(例如,RIE),接着诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,来形成穿过ILD层的键合触点。

[0100] 方法500进行至操作512,如图5A所示,在该操作中,第一衬底和第二衬底按照面对面方式键合,使得存储堆叠体处于外围电路以上。所述键合包括混合键合。如图3G所示,载

体衬底302和形成于其上的部件(例如,存储堆叠体330和穿过其形成的沟道结构314)被上下翻转。根据一些实施例,将面朝下的键合层346与面朝上的键合层348键合,即,按照面对面的方式,由此在载体衬底302和硅衬底350之间形成键合界面354。在一些实施例中,在键合之前,对键合表面施加处理工艺,例如,等离子体处理、湿法处理和/或热处理。在键合之后,将键合层346中的键合触点与键合层348中的键合触点相互对准并且接触,使得将存储堆叠体330和穿过其形成的沟道结构314可以电连接至外围电路352,并且处于外围电路352以上。

[0101] 方法500进行至操作514,如图5A所示,在该操作中,去除第二衬底和牺牲层,以暴露沟道结构的末端。可以从第二衬底的背面执行去除。如图3H所示,从背面去除载体衬底302和牺牲层304(如图3G所示),以暴露沟道结构314的上端。可以使用CMP、研磨、干法刻蚀和/或湿法刻蚀将载体衬底302完全去除。在一些实施例中,将载体衬底302剥离。对载体衬底302的去除可以被下面的牺牲层304停止,原因在于它们具有不同的材料,以确保厚度均匀性。在载体衬底302包括硅并且牺牲层304包括氧化硅的一些实施例中,使用CMP去除载体衬底302,其可以自动停止在载体衬底302和牺牲层304之间的界面处。

[0102] 之后,还可以利用具有适当刻蚀剂(例如,氢氟酸)的湿法刻蚀来选择性地去除牺牲层304,而不刻蚀下面的N型掺杂半导体层306。如上文所述,由于沟道结构314不延伸超出牺牲层304到载体衬底302中,因此对载体衬底302的去除不影响沟道结构314。对牺牲层304的去除可以暴露沟道结构314的上端。在沟道结构314延伸到牺牲层304中的一些实施例中,对包括氧化硅的牺牲层304的选择性刻蚀还去除了包括氧化硅的阻挡层317的处于N型掺杂半导体层306的顶表面以上的部分,但是包括氮化硅的存储层316和被存储层316包围的其他层(例如,隧穿层315)保持完好。

[0103] 方法500进行至操作516,如图5A所示,在该操作中,利用半导体插塞代替沟道结构的与N型掺杂半导体层邻接的部分。在一些实施例中,为了利用半导体插塞来代替沟道结构的与N型掺杂半导体层邻接的部分,去除存储膜的与N型掺杂半导体层邻接的部分,以形成围绕半导体沟道的部分的凹槽,对半导体沟道的该部分进行掺杂,并且在凹槽中沉积多晶硅,以形成围绕掺杂的半导体沟道的该部分并且与该部分接触的半导体插塞。

[0104] 如图3I所示,去除存储层316的与N型掺杂半导体层306邻接的部分(如图3H所示)。在一些实施例中,利用比如磷酸的适当刻蚀剂,使用湿法刻蚀来选择性地去除包括氮化硅的存储层316,而不对包括多晶硅的N型掺杂半导体层306进行刻蚀。可以通过控制刻蚀时间和/或刻蚀速率,来控制对存储层316的刻蚀,使得该刻蚀不继续影响存储层316的被存储堆叠体330包围的其余部分。

[0105] 如图3J所示,将阻挡层317和隧穿层315的与N型掺杂半导体层306邻接的部分去除,以形成围绕半导体沟道318的与N型掺杂半导体层306邻接的顶部部分的凹槽357。在一些实施例中,利用比如氢氟酸的适当刻蚀剂,使用湿法刻蚀,选择性地去除包括氧化硅的阻挡层317和隧穿层315,而不对包括多晶硅的N型掺杂半导体层306和半导体沟道318进行刻蚀。可以通过控制刻蚀时间和/或刻蚀速率来控制对阻挡层317和隧穿层315的刻蚀,使得该刻蚀不继续影响阻挡层317和隧穿层315的被存储堆叠体330包围的其余部分。因此,根据一些实施例,去除了沟道结构314的存储膜(包括阻挡层317、存储层316和隧穿层315)的与N型掺杂半导体层306邻接的顶部部分,以形成凹槽357,暴露半导体沟道318的顶部部分。在一

些实施例中,对半导体沟道318的被凹槽357暴露的顶部部分进行掺杂,以提高其导电性。例如,可以执行倾斜离子注入工艺,以利用任何适当掺杂剂将半导体沟道318(例如,包括多晶硅)的被凹槽357暴露的顶部部分掺杂到预期的掺杂浓度。

[0106] 如图3K所示,在凹槽357(如图3J所示)中形成半导体插塞359,以围绕半导体沟道318的掺杂的顶部部分并且与所述顶部部分接触。因此,根据一些实施例,由此利用半导体插塞359代替沟道结构314的与N型掺杂半导体层306邻接的顶部部分(如图3H所示)。在一些实施例中,为了形成半导体插塞359,使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,将多晶硅沉积到凹槽357中,以填充凹槽357,接着通过CMP工艺来去除N型掺杂半导体层306的顶表面以上的任何多余多晶硅。在一些实施例中,在向凹槽357中沉积多晶硅时执行诸如P、As或Sb的N型掺杂剂的原位掺杂,以对半导体插塞359进行掺杂。由于半导体插塞359和N型掺杂半导体层306可以包括相同的材料,例如,多晶硅,并且具有相同的厚度(在CMP工艺之后),因此半导体插塞359可以被视为N型掺杂半导体层306的部分。然而,根据一些实施例,由于半导体插塞359是在形成N型掺杂半导体层306的其余部分(例如,如图3A中所示)之后的较晚工艺中形成的,因此不管半导体插塞359是否是原位掺杂的,半导体插塞359的掺杂浓度都不同于N型掺杂半导体层306的其余部分的掺杂浓度。

[0107] 如上文所述,N型掺杂半导体层306中的半导体插塞359可以充当沟道结构314的侧壁SEG。在用于形成侧壁SEG的已知方法中,通过具有大高宽比的一直延伸贯穿电介质堆叠体308的缝隙320(如图3D所示)进行刻蚀和沉积工艺,与所述已知方法不同,在去除了载体衬底302时,可以从电介质堆叠体308/存储堆叠体330的相对侧形成半导体插塞359,其不受电介质堆叠体308/存储堆叠体330的级和缝隙320的高宽比的影响。通过避免由缝隙320的较高高宽比引入的问题,能够降低制作复杂性和成本,并且能够提高成品率。此外,还可以提高垂直可扩展性(例如,增加电介质堆叠体308/存储堆叠体330的级)。

[0108] 方法500进行至操作518,如图5A所示,在该操作中,源极触点被形成在存储堆叠体以上并且与N型掺杂半导体层接触。如图3L所示,在N型掺杂半导体层306上形成一个或多个ILD层356。可以通过使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,在N型掺杂半导体层306的顶表面上沉积电介质材料,而形成ILD层356。可以形成穿过ILD层356到N型掺杂半导体层306中的源极触点开口358。在一些实施例中,使用湿法刻蚀和/或干法刻蚀(例如,RIE)形成源极触点开口358。在一些实施例中,源极触点开口358进一步延伸到N型掺杂半导体层306的顶部部分中。穿过ILD层356的刻蚀工艺可以继续刻蚀N型掺杂半导体层306的部分。在一些实施例中,在刻蚀穿过ILD层356之后,使用分别的刻蚀工艺来刻蚀N型掺杂半导体层306的部分。

[0109] 如图3M所示,在N型掺杂半导体层306的背面,在源极触点开口358(图3L中所示)形成源极触点364。根据一些实施例,源极触点364处于存储堆叠体330以上并且与N型掺杂半导体层306接触。在一些实施例中,使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,将一种或多种导电材料沉积到源极触点开口358中,以利用粘合剂层(例如,TiN)和导体层(例如,W)填充源极触点开口358。之后,可以执行平面化工艺,例如,CMP,以去除多余的导电材料,使得源极触点364的顶表面与ILD层356的顶表面平齐。

[0110] 方法500进行至操作520,如图5A所示,在该操作中,互连层被形成在源极触点以上

并且与所述源极触点接触。在一些实施例中,形成穿过N型掺杂半导体层并且与互连层相接触的触点,使得N型掺杂半导体层通过源极触点和互连层电连接至该触点。

[0111] 如图3N所示,重新分布层370被形成在源极触点364以上并且与源极触点364接触。在一些实施例中,通过使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,在ILD层356和源极触点364的顶表面上沉积导电材料(例如,A1),来形成重新分布层370。可以在重新分布层370上形成钝化层372。在一些实施例中,通过使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,沉积比如氮化硅的电介质材料,而形成钝化层372。根据一些实施例,由此形成了包括ILD层356、重新分布层370和钝化层372的互连层376。

[0112] 如图3L所示,形成各自延伸穿过ILD层356和N型掺杂半导体层306的触点开口360和361。在一些实施例中,使用湿法刻蚀和/或干法刻蚀(例如,RIE)形成穿过ILD层356和N型掺杂半导体层306的触点开口360和361。在一些实施例中,使用光刻将触点开口360和361图案化为分别与外围触点338和340对准。对触点开口360和361的刻蚀可以停止在外围触点338和340的上端处,以暴露外围触点338和340。如图3L所示,使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,形成沿触点开口360和361的侧壁的间隔体362,以将N型掺杂半导体层306电分隔。在一些实施例中,在形成间隔体362之后执行对源极触点开口358的刻蚀,使得间隔体362不沿源极触点开口358的侧壁形成,以提高在源极触点364与N型掺杂半导体层306之间的接触面积。

[0113] 如图3M所示,在N型掺杂半导体层306的背面处形成分别处于触点开口360和361(如图3L所示)中的触点366和368。根据一些实施例,触点366和368垂直地延伸穿过ILD层356和N型掺杂半导体层306。可以使用相同的沉积工艺形成触点366和368以及源极触点364,以减少沉积工艺的数量。在一些实施例中,使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,将一种或多种导电材料沉积到触点开口360和361中,以利用粘合剂层(例如,TiN)和导体层(例如,W)填充触点开口360和361。之后,可以执行平面化工艺,例如,CMP,以去除多余的导电材料,使得触点366和368的顶表面(以及源极触点364的顶表面)与ILD层356的顶表面平齐。在一些实施例中,由于触点开口360和361分别与外围触点338和340对准,因此触点366和368也分别处于外围触点338和340以上并且与外围触点338和340接触。

[0114] 如图3N所示,重新分布层370也被形成在触点366以上并且与触点366接触。因此,能够通过源极触点364、互连层376的重新分布层370和触点366将N型掺杂半导体层306电连接至外围触点338。在一些实施例中,通过源极触点364、互连层376、触点366、外围触点338以及键合层346和348,将N型掺杂半导体层306电连接至外围电路352。

[0115] 如图3N所示,触点焊盘374被形成在触点368之上并且与触点368接触。在一些实施例中,通过湿法刻蚀和/或干法刻蚀来去除钝化层372的覆盖触点368的部分,以暴露下面的重新分布层370的部分,以形成触点焊盘374。因此,能够通过触点368、外围触点340以及键合层346和348,将用于焊盘引出的触点焊盘374电连接至外围电路352。

[0116] 应当理解,可以由SOI晶圆代替上文在方法500中描述的第二衬底、牺牲层和N型掺杂半导体层,该SOI晶圆包括操纵层、掩埋的氧化物层(又称为“BOX”层)和器件层,如下文关于方法501所述。为了便于描述,可以不重复在方法500和501之间的类似操作的细节。参考

图5B,方法501开始于操作502,在该操作中,在第一衬底上形成外围电路。所述第一衬底可以是硅衬底。

[0117] 方法501进行至操作503,如图5B所示,在该操作中,利用N型掺杂剂对SOI晶圆的器件层进行掺杂。SOI晶圆可以包括操纵层、掩埋的氧化物层和器件层。在一些实施例中,掩埋的氧化物层包括氧化硅,并且器件层包括单晶硅。如图3A所示,SOI晶圆301包括操纵层302(对应于上文描述方法500时的载体衬底302)、掩埋的氧化物层304(对应于牺牲层304)和器件层306(对应于N型掺杂半导体层306)。可以使用离子注入和/或热扩散,利用诸如P、As或Sb的N型掺杂剂对器件层306进行掺杂,以成为N型掺杂的器件层306。应当理解,上文与载体衬底302、牺牲层304和N型掺杂半导体层306有关的描述可以类似地分别适用于SOI晶圆301的操纵层302、掩埋的氧化物层304和掺杂的器件层306,以更好地理解下文的方法501,并且因此将不再重复,以简化描述。

[0118] 方法501进行至操作505,如图5B所示,在该操作中,在SOI晶圆的掺杂的器件层上形成电介质堆叠体。该电介质堆叠体可以包括交替的堆叠电介质层和堆叠牺牲层。方法501进行至操作507,如图5B所示,在该操作中,形成垂直地延伸穿过电介质堆叠体和掺杂的器件层的沟道结构。在一些实施例中,为了形成该沟道结构,形成垂直地延伸穿过电介质堆叠体和掺杂的器件层、停止在掩埋的氧化物层处的沟道孔,并且沿沟道孔的侧壁依次沉积存储膜和半导体沟道。方法501进行至操作508,如图5B所示,在该操作中,利用存储堆叠体代替该电介质堆叠体,以使该沟道结构垂直地延伸穿过存储堆叠体和掺杂的器件层。在一些实施例中,为了利用存储堆叠体代替电介质堆叠体,刻蚀出垂直地延伸穿过电介质堆叠体的开口,所述开口停止在掺杂的器件层处,并且通过所述开口,利用堆叠导电层代替堆叠牺牲层,以形成包括交替的堆叠电介质层和堆叠导电层的存储堆叠体。方法501进行至操作510,如图5B所示,在该操作中,形成垂直地延伸穿过存储堆叠体的绝缘结构。在一些实施例中,为了形成该绝缘结构,在形成存储堆叠体之后,将一种或多种电介质材料沉积到开口中,以填充该开口。

[0119] 方法501进行至操作513,如图5B所示,在该操作中,第一衬底和SOI晶圆按照面对面方式键合,使得存储堆叠体处于外围电路以上。所述键合包括混合键合。方法501进行至操作515,如图5B所示,在该操作中,去除SOI晶圆的操纵层和掩埋的氧化物层,以暴露沟道结构的末端。方法501进行至操作517,如图5B所示,在该操作中,利用半导体插塞代替沟道结构的与掺杂的器件层邻接的部分。在一些实施例中,为了利用半导体插塞代替沟道结构的与掺杂的器件层邻接的部分,对存储膜的与掺杂的器件层邻接的部分进行刻蚀,以形成围绕半导体沟道的部分的凹槽,对半导体沟道的该部分进行掺杂,并且在凹槽中沉积多晶硅,以形成围绕掺杂的半导体沟道的该部分并且与该部分接触的半导体插塞。

[0120] 方法501进行至操作519,如图5B所示,在该操作中,形成在存储堆叠体以上并且与掺杂的器件层接触的源极触点。方法501进行至操作520,如图5B所示,在该操作中,形成在源极触点以上并且与源极触点接触的互连层。在一些实施例中,触点被形成为穿过掺杂的器件层并且与互连层相接触,使得掺杂的器件层通过源极触点和互连层来电连接至该触点。

[0121] 图4A-40示出了根据本公开的一些实施例的用于形成另一示例性3D存储器件的制造工艺。图6A示出了根据本公开的一些实施例的用于形成另一示例性3D存储器件的方法

600的流程图。图6B示出了根据本公开的一些实施例的用于形成另一示例性3D存储器件的另一方法601的流程图。图4A-40、图6A和图6B中描绘的3D存储器件的示例包括图2中描绘的3D存储器件200。将对图4A-40、图6A和图6B一起描述。应当理解,方法600和601中所示的操作并不具有排他性,也可以在所示操作中的任何操作之前、之后或之间执行其他操作。此外,所述操作中的一些操作可以是同时执行的或者可以是按照不同于图6A和图6B所示的顺序执行的。

[0122] 参考图6A,方法600开始于操作602,在该操作中,在第一衬底上形成外围电路。所述第一衬底可以是硅衬底。如图4G所示,使用多种工艺在硅衬底450上形成多个晶体管,所述多种工艺包括但不限于光刻、刻蚀、薄膜沉积、热生长、注入、CMP以及任何其他适当工艺。在一些实施例中,通过离子注入和/或热扩散在硅衬底450中形成在起到例如晶体管的源极区和/或漏极区的作用的掺杂区(未示出)。在一些实施例中,还通过湿法刻蚀和/或干法刻蚀和薄膜沉积在硅衬底450中形成隔离区(例如,STI)。所述晶体管能够在硅衬底450上形成外围电路452。

[0123] 如图4G所示,在外围电路452以上形成键合层448。键合层448包括电连接至外围电路452的键合触点。为了形成键合层448,使用诸如CVD、PVD、ALD或其任何组合的一种或多种薄膜沉积工艺,来沉积ILD层;使用湿法刻蚀和/或干法刻蚀(例如,RIE),接着一种或多种薄膜沉积工艺(诸如ALD、CVD、PVD任何其他适当工艺或其任何组合),形成穿过ILD层的键合触点。

[0124] 可以在第二衬底以上形成垂直地延伸穿过存储堆叠体和具有N阱的P型掺杂半导体层的沟道结构。方法600进行至操作604,如图6A所示,在该操作中,依次形成处于第二衬底上的牺牲层、处于牺牲层上的具有N阱的P型掺杂半导体层以及处于P型掺杂半导体层上的电介质堆叠体。第二衬底可以是硅衬底。应当理解,由于第二衬底将被从最终产品中去除,因此第二衬底可以由任何适当材料构成的伪晶圆(例如,载体衬底)的部分,以降低第二衬底的成本,例如,所述材料可以是玻璃、蓝宝石、塑料、硅,这里仅举出了几个例子。在一些实施例中,该衬底是载体衬底,牺牲层包括电介质材料,P型掺杂半导体层包括多晶硅,并且电介质堆叠体包括交替的堆叠电介质层和堆叠牺牲层。在一些实施例中,堆叠电介质层和堆叠牺牲层在P型掺杂半导体层上交叠沉积,以形成电介质堆叠体。在一些实施例中,在形成电介质堆叠体之前,利用N型掺杂剂掺杂该P型掺杂半导体层的部分,以形成N阱。

[0125] 如图4A所示,牺牲层404形成于载体衬底402上,并且P型掺杂半导体层406形成于牺牲层404上。P型掺杂半导体层406可以包括掺有诸如B、Ga或Al的P型掺杂剂的多晶硅层。牺牲层404可以包括任何适当的牺牲材料,所述牺牲材料可以以后被选择性地去除并且不同于P型掺杂半导体层406的材料。在一些实施例中,牺牲层404包括电介质材料,诸如氧化硅或氮化硅。根据一些实施例,为了形成牺牲层404,使用包括但不限于CVD、PVD、ALD或其任何组合的一种或多种薄膜沉积工艺,在载体衬底402上沉积氧化硅或氮化硅。在一些实施例中,为了形成P型掺杂半导体层406,使用包括但不限于CVD、PVD、ALD或其任何组合的一种或多种薄膜沉积工艺,在牺牲层404上沉积多晶硅,接着使用离子注入和/或热扩散,利用P型掺杂剂(诸如B、Ga或A)对所沉积的多晶硅进行掺杂。在一些实施例中,为了形成P型掺杂半导体层406,当在牺牲层404上沉积多晶硅时,执行诸如B、Ga或Al的P型掺杂剂的原位掺杂。

[0126] 如图4A所示,利用诸如P、As或Sb的N型掺杂剂对P型掺杂半导体层406的部分进行

掺杂,以在P型掺杂半导体层406中形成N阱407。在一些实施例中,N阱407是利用离子注入和/或热扩散形成的。可以控制离子注入和/或热扩散工艺,以控制N阱407的厚度,使其穿过P型掺杂半导体层406的整个厚度或穿过P型掺杂半导体层406的部分。

[0127] 如图4B所示,包括多对的第一电介质层(本文被称为“堆叠牺牲层”412)和第二电介质层(本文被称为“堆叠电介质层”410,在文中与前者一起被称为“电介质层对”)的电介质堆叠体408被形成到P型掺杂半导体层406上。根据一些实施例,电介质堆叠体408包括交替的堆叠牺牲层412和堆叠电介质层410。堆叠电介质层410和堆叠牺牲层412可以交替沉积在处于载体衬底402以上的P型掺杂半导体层406上,以形成电介质堆叠体408。在一些实施例中,每一堆叠电介质层410包括氧化硅层,并且每一堆叠牺牲层412包括氮化硅层。电介质堆叠体408可以是通过一种或多种薄膜沉积工艺形成的,所述工艺包括但不限于CVD、PVD、ALD或其任何组合。如图4B所示,可以在电介质堆叠体408的边缘上形成阶梯结构。该阶梯结构可以通过朝向载体衬底402对电介质堆叠体408的电介质层对执行多个所谓的“修整-刻蚀”循环而形成的。由于施加至电介质堆叠体408的电介质层对的反复修整-刻蚀循环,电介质堆叠体408可以具有一个或多个倾斜边缘以及比底部电介质层对短的顶部电介质层对,如图4B所示。

[0128] 方法600进行至操作606,如图6A所示,在该操作中,形成垂直地延伸穿过电介质堆叠体和P型掺杂半导体层的沟道结构。在一些实施例中,为了形成该沟道结构,刻蚀出垂直地延伸穿过电介质堆叠体和P型掺杂半导体层、停止在牺牲层处的沟道孔,并且沿沟道孔的侧壁依次沉积存储膜和半导体沟道。

[0129] 如图4B所示,沟道孔是垂直地延伸穿过电介质堆叠体408和P型掺杂半导体层406的开口。在一些实施例中,形成多个开口,使得每一开口变成用于在后面的工艺当中生长单独的沟道结构414的位置。在一些实施例中,用于形成沟道结构414的沟道孔的制作工艺包括湿法刻蚀和/或干法刻蚀,例如,DRIE。牺牲层404可以起到用于控制在不同沟道孔之间的开槽变化的刻蚀停止层。例如,对沟道孔的刻蚀可以由牺牲层404停止,而不进一步延伸到载体衬底402中。也就是说,根据一些实施例,每一沟道孔(和对应的沟道结构414)的下端处于牺牲层404的顶表面和底表面之间。

[0130] 如图4B所示,随后沿沟道孔的侧壁和底表面,按列举顺序形成包括阻挡层417、存储层416和隧穿层415的存储膜以及半导体沟道418。在一些实施例中,使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,按列举顺序首先沿沟道孔的侧壁和底表面沉积阻挡层417、存储层416和隧穿层415,以形成存储膜。之后,可以通过使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,在隧穿层415之上沉积比如多晶硅(例如,未掺杂多晶硅)的半导体材料,来形成半导体沟道418。在一些实施例中,随后沉积第一氧化硅层、氮化硅层、第二氧化硅层和多晶硅层(“SONO”结构),以形成存储膜的阻挡层417、存储层416和隧穿层415以及半导体沟道418。

[0131] 如图4B所示,在沟道孔中并且在半导体沟道418以上形成帽盖层,以完全或部分地填充沟道孔(例如,没有空气隙或具有空气隙)。可以通过使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,沉积比如氧化硅的电介质材料而形成帽盖层。之后,在沟道孔的顶部部分中形成沟道插塞。在一些实施例中,通过CMP、湿法刻蚀和/或干法刻蚀,去除存储膜、半导体沟道418和帽盖层的处于电介质堆叠体408的顶表面上

的部分,并且对其进行平面化。然后可以通过对半导体沟道418和帽盖层的处于沟道孔的顶部部分中的部分进行湿法刻蚀和/或干法刻蚀,而在沟道孔的顶部部分中形成凹槽。之后,可以通过诸如CVD、PVD、ALD或其任何组合的一种或多种薄膜沉积工艺,沉积比如多晶硅的半导体材料,来形成沟道插塞。由此形成穿过电介质堆叠体408和P型掺杂半导体层406的沟道结构414。根据牺牲层404将对每一沟道孔的刻蚀停止的深度,沟道结构414可以进一步延伸到牺牲层404中或者停止在牺牲层404与P型掺杂半导体层406之间的界面处。然而,沟道结构414可以不进一步延伸到载体衬底402中。

[0132] 方法600进行至操作608,如图6A所示,在该操作中,使用例如所谓的“栅极代替”工艺,利用存储堆叠体代替该电介质堆叠体,使得该沟道结构垂直地延伸穿过存储堆叠体和P型掺杂半导体层。在一些实施例中,为了利用存储堆叠体代替电介质堆叠体,刻蚀出垂直地延伸穿过电介质堆叠体、停止在P型掺杂半导体层处的开口,并且通过所述开口,利用堆叠导电层代替堆叠牺牲层,以形成包括交替的堆叠电介质层和堆叠导电层的存储堆叠体。

[0133] 如图4C所示,缝隙420是垂直地延伸穿过电介质堆叠体408并且停止在P型掺杂半导体层406处的开口。在一些实施例中,用于形成缝隙420的制作工艺包括湿法刻蚀和/或干法刻蚀,例如,DRIE。虽然如图4C所示,缝隙420与N阱407对准,但是应该理解,在其他示例中,缝隙420可以不与N阱407对准。之后,可以通过缝隙420执行栅极代替,以利用存储堆叠体430代替电介质堆叠体408(如图4E所示)。

[0134] 如图4D所示,首先通过经由缝隙420去除堆叠牺牲层412(如图4C所示),来形成横向凹槽422。在一些实施例中,通过经由缝隙420施加刻蚀剂来去除堆叠牺牲层412,建立在堆叠电介质层410之间交替的横向凹槽422。刻蚀剂可以包括相对于堆叠电介质层410选择性地刻蚀堆叠牺牲层412的任何适当刻蚀剂。

[0135] 如图4E所示,通过缝隙420将堆叠导电层428(包括栅电极和粘合剂层)沉积到横向凹槽422(如图3D中所示)中。在一些实施例中,在堆叠导电层428之前,将栅极电介质层422沉积到横向凹槽422中,使得在栅极电介质层422上沉积堆叠导电层428。可以使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,沉积如金属层的堆叠导电层428。在一些实施例中,还沿缝隙420的侧壁并且在缝隙420的底部处形成比如高k电介质层的栅极电介质层432。根据一些实施例,由此形成包括交替的堆叠导电层428和堆叠电介质层410的存储堆叠体430,代替电介质堆叠体408(图4D中所示)。

[0136] 方法600进行至操作610,如图6A所示,在该操作中,形成垂直地延伸穿过存储堆叠体的绝缘结构。在一些实施例中,为了形成该绝缘结构,在形成存储堆叠体之后,将一种或多种电介质材料沉积到开口中,以填充该开口。如图4E所示,形成了垂直地延伸穿过存储堆叠体430的绝缘结构436,其停止在P型掺杂半导体层406的顶表面上。可以使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,将一种或多种电介质材料(例如,氧化硅)沉积到缝隙420中,以完全或部分地填充缝隙420(具有或没有空气隙),由此形成绝缘结构436。在一些实施例中,绝缘结构436包括栅极电介质层432(例如,包括高k电介质)和电介质帽盖层434(例如,包括氧化硅)。

[0137] 如图4F所示,在形成绝缘结构436之后,形成包括沟道局部触点434和字线局部触点442的局部触点以及外围触点438、439和440。可以通过使用诸如CVD、PVD、ALD或其任何组合的一种或多种薄膜沉积工艺,在存储堆叠体430的顶上沉积电介质材料(诸如氧化硅或氮

化硅), 来在存储堆叠体430上形成局部电介质层。可以使用湿法刻蚀和/或干法刻蚀(例如, RIE)刻蚀出穿过局部电介质层(和任何其他ILD层)的触点开口, 接着使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺, 利用导电材料填充所述触点开口, 来形成沟道局部触点444、字线局部触点442以及外围触点438、439和340。

[0138] 如图4F所示, 在沟道局部触点444、字线局部触点442以及外围触点438、439和440以上形成键合层446。键合层446包括电连接至沟道局部触点444、字线局部触点442以及外围触点438、439和440的键合触点。为了形成键合层446, 使用诸如CVD、PVD、ALD或其任何组合的一种或多种薄膜沉积工艺来沉积ILD层, 并且利用湿法刻蚀和/或干法刻蚀(例如, RIE), 接着诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺, 来形成穿过ILD层的键合触点。

[0139] 方法600进行至操作612, 如图6A所示, 在该操作中, 第一衬底和第二衬底按照面对面方式键合, 使得存储堆叠体处于外围电路以上。所述键合包括混合键合。如图4G所示, 载体衬底402和形成于其上的部件(例如, 存储堆叠体430和穿过其形成的沟道结构414)被上下翻转。根据一些实施例, 将面朝下的键合层446与面朝上的键合层448键合, 即, 按照面对面的方式, 由此在载体衬底402和硅衬底450之间形成键合界面454。在一些实施例中, 在键合之前, 对键合表面施加处理工艺, 例如, 等离子体处理、湿法处理和/或热处理。在键合之后, 将键合层446中的键合触点与键合层448中的键合触点相互对准并且接触, 使得将存储堆叠体430和穿过其形成的沟道结构414可以电连接至外围电路452, 并且处于外围电路452以上。

[0140] 方法600进行至操作614, 如图6A所示, 在该操作中, 去除第二衬底和牺牲层, 以暴露沟道结构的末端。可以从第二衬底的背面执行去除。如图4H所示, 从背面去除载体衬底402和牺牲层404(如图4G所示), 以暴露沟道结构414的上端。可以使用CMP、研磨、干法刻蚀和/或湿法刻蚀将载体衬底402完全去除。在一些实施例中, 将载体衬底402剥离。对载体衬底402的去除可以被下面的牺牲层404停止, 原因在于它们具有不同的材料, 以确保厚度均匀性。在载体衬底402包括硅并且牺牲层404包括氧化硅的一些实施例中, 使用CMP去除载体衬底402, 其可以自动停止在载体衬底402和牺牲层404之间的界面处。

[0141] 之后, 还可以利用具有适当刻蚀剂(例如, 氢氟酸)的湿法刻蚀来选择性地去除牺牲层404, 而不刻蚀下面的P型掺杂半导体层406。如上文所述, 由于沟道结构414不延伸超出牺牲层404到载体衬底402中, 因此对载体衬底402的去除不影响沟道结构414。对牺牲层404的去除可以暴露沟道结构414的上端。在沟道结构414延伸到牺牲层404中的一些实施例中, 对包括氧化硅的牺牲层404的选择性刻蚀还去除了包括氧化硅的阻挡层417的处于P型掺杂半导体层406的顶表面以上的部分, 但是包括氮化硅的存储层416和被存储层416包围的其他层(例如, 隧穿层415)保持完好。

[0142] 方法600进行至操作616, 如图6A所示, 在该操作中, 利用半导体插塞代替沟道结构的与P型掺杂半导体层邻接的部分。在一些实施例中, 为了利用半导体插塞来代替沟道结构的与P型掺杂半导体层邻接的部分, 去除存储膜的与P型掺杂半导体层邻接的部分, 以形成围绕半导体沟道的部分的凹槽, 对半导体沟道的该部分进行掺杂, 并且在凹槽中沉积多晶硅, 以形成围绕掺杂的半导体沟道的该部分并且与该部分接触的半导体插塞。

[0143] 如图4I所示, 去除存储层416的与P型掺杂半导体层406邻接的部分(如图4H所示)。

在一些实施例中,利用比如磷酸的适当刻蚀剂,使用湿法刻蚀来选择性地去除包括氮化硅的存储层416,而不对包括多晶硅的P型掺杂半导体层406进行刻蚀。可以通过控制刻蚀时间和/或刻蚀速率,来控制对存储层416的刻蚀,使得该刻蚀不继续影响存储层416的被存储堆叠体430包围的其余部分。

[0144] 如图4J所示,将阻挡层417和隧穿层415的与P型掺杂半导体层406邻接的部分去除,以形成围绕半导体沟道418的与P型掺杂半导体层406邻接的顶部部分的凹槽457。在一些实施例中,利用比如氢氟酸的适当刻蚀剂,使用湿法刻蚀,选择性地去除包括氧化硅的阻挡层417和隧穿层415,而不对包括多晶硅的P型掺杂半导体层406和半导体沟道418进行刻蚀。可以通过控制刻蚀时间和/或刻蚀速率来控制对阻挡层417和隧穿层415的刻蚀,使得该刻蚀不继续影响阻挡层417和隧穿层415的被存储堆叠体430包围的其余部分。因此,根据一些实施例,去除了沟道结构414的存储膜(包括阻挡层417、存储层416和隧穿层415)的与P型掺杂半导体层406邻接的顶部部分,以形成凹槽457,暴露半导体沟道418的顶部部分。在一些实施例中,对半导体沟道418的被凹槽457暴露的顶部部分进行掺杂,以提高其导电性。例如,可以执行倾斜离子注入工艺,以利用任何适当掺杂剂将半导体沟道418(例如,包括多晶硅)的被凹槽457暴露的顶部部分掺杂到预期的掺杂浓度。

[0145] 如图4K所示,在凹槽457(如图4J所示)中形成半导体插塞459,以围绕半导体沟道418的掺杂的顶部部分并且与所述顶部部分接触。因此,根据一些实施例,由此利用半导体插塞459代替沟道结构414的与P型掺杂半导体层406邻接的顶部部分(如图4H所示)。在一些实施例中,为了形成半导体插塞459,使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,将多晶硅沉积到凹槽457中,以填充凹槽457,接着通过CMP工艺来去除P型掺杂半导体层406的顶表面以上的任何多余多晶硅。在一些实施例中,在向凹槽457中沉积多晶硅时执行诸如B、Ga或Al的P型掺杂剂的原位掺杂,以对半导体插塞459进行掺杂。由于半导体插塞459和P型掺杂半导体层406可以包括相同的材料,例如,多晶硅,并且具有相同的厚度(在CMP工艺之后),因此半导体插塞459可以被视为P型掺杂半导体层406的部分。然而,根据一些实施例,由于半导体插塞459是在形成P型掺杂半导体层406的其余部分(例如,如图4A中所示)之后的较晚工艺中形成的,因此不管半导体插塞459是否是原位掺杂的,半导体插塞459的掺杂浓度都不同于P型掺杂半导体层406的其余部分的掺杂浓度。

[0146] 如上文所述,P型掺杂半导体层406中的半导体插塞459可以充当沟道结构414的侧壁SEG。在用于形成侧壁SEG的已知方法中,通过具有大高宽比的一直延伸贯穿电介质堆叠体408的缝隙420(如图4D所示)进行刻蚀和沉积工艺,与所述已知方法不同,在去除了载体衬底402时,可以从电介质堆叠体408/存储堆叠体430的相对侧形成半导体插塞459,其不受电介质堆叠体408/存储堆叠体430的级和缝隙420的高宽比的影响。通过避免由缝隙420的较高高宽比引入的问题,能够降低制作复杂性和成本,并且能够提高成品率。此外,还可以提高垂直可扩展性(例如,增加电介质堆叠体408/存储堆叠体430的级)。

[0147] 方法600进行至操作618,如图6A所示,在该操作中,第一源极触点被形成在存储堆叠体以上并且与P型掺杂半导体层接触,并且第二源极触点被形成在存储堆叠体以上并且与N阱接触。如图4L所示,在P型掺杂半导体层406上形成一个或多个ILD层456。可以通过使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,在P型

掺杂半导体层406的顶表面上沉积电介质材料,而形成ILD层456。

[0148] 如图4M所示,可以形成穿过ILD层456到P型掺杂半导体层406中的源极触点开口458。在一些实施例中,使用湿法刻蚀和/或干法刻蚀(例如,RIE)形成源极触点开口458。在一些实施例中,源极触点开口458进一步延伸到P型掺杂半导体层406的顶部部分中。穿过ILD层456的刻蚀工艺可以继续刻蚀P型掺杂半导体层406的部分。在一些实施例中,在刻蚀穿过ILD层456之后,使用分开的刻蚀工艺来刻蚀P型掺杂半导体层406的部分。

[0149] 如图4M所示,可以形成穿过ILD层456到N阱407中的源极触点开口465。在一些实施例中,使用湿法刻蚀和/或干法刻蚀(例如,RIE)形成源极触点开口465。在一些实施例中,源极触点开口465进一步延伸到N阱407的顶部部分中。穿过ILD层456的刻蚀工艺可以继续刻蚀N阱407的部分。在一些实施例中,在穿过ILD层456的刻蚀之后,使用分开的刻蚀工艺来刻蚀N阱407的部分。可以在对源极触点开口465的刻蚀之后执行对源极触点开口458的刻蚀,反之亦然。应当理解,在一些示例中,可以通过相同的刻蚀工艺来刻蚀源极触点开口458和465,以减少刻蚀工艺的数量。

[0150] 如图4N所示,在P型掺杂半导体层406的背面处形成分别处于源极触点开口458和465(如图4M所示)中的触点464和478。根据一些实施例,源极触点464处于存储堆叠体430以上并且与P型掺杂半导体层406接触。根据一些实施例,源极触点478处于存储堆叠体430以上并且与N阱407接触。在一些实施例中,使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,将一种或多种导电材料沉积到源极触点开口458和465中,以利用粘合剂层(例如,TiN)和导体层(例如,W)填充接源极触开口458和465。之后,可以执行平面化工艺,例如,CMP,以去除多余的导电材料,使得源极触点464和478的顶表面相互平齐并且与ILD层456的顶表面平齐。应当理解,在一些示例中,可以通过相同的沉积工艺和CMP工艺形成源极触点464和478,以减少制作工艺的数量。

[0151] 方法600进行至操作620,如图6A所示,在该操作中,互连层被形成在第一源极触点和第二源极触点以上并且与第一源极触点和第二源极触点接触。在一些实施例中,互连层包括分别处于第一源极触点和第二源极触点以上并且与第一源极触点和第二源极触点接触的第一互连和第二互连。

[0152] 如图4O所示,重新分布层470被形成在源极触点464和478以上并且与源极触点464和478接触。在一些实施例中,通过使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,在ILD层456和源极触点464的顶表面上沉积导电材料(例如,Al)而形成重新分布层470。在一些实施例中,通过光刻工艺和刻蚀工艺对重新分布层470图案化,以形成处于源极触点464以上并且与源极触点464接触的第一互连470-1以及处于源极触点478以上并且与源极触点478接触的第二互连470-2。第一互连470-1和第二互连470-2可以相互电分隔。可以在重新分布层470上形成钝化层472。在一些实施例中,通过使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺,沉积比如氮化硅的电介质材料,而形成钝化层472。根据一些实施例,由此形成包括ILD层456、重新分布层470和钝化层472的互连层476。

[0153] 如图4L所示,形成各自延伸穿过ILD层456和P型掺杂半导体层406的触点开口460、461和463。在一些实施例中,使用湿法刻蚀和/或干法刻蚀(例如,RIE)形成穿过ILD层456和P型掺杂半导体层406的触点开口460、461和463。在一些实施例中,使用光刻将触点开口

460、461和463图案化为分别与外围触点438、440和439对准。对触点开口460、461和463的刻蚀可以停止在外围触点438、439和440的上端处，以暴露外围触点438、440和439。可以通过相同的刻蚀工艺执行对触点开口460、461和463的刻蚀，以减少刻蚀工艺的数量。应当理解，由于不同的刻蚀深度，可以在对源极触点开口465的刻蚀之前执行对触点开口460、461和463的刻蚀，反之亦然，但非同时。

[0154] 如图4M所示，使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺，形成沿触点开口460、461和463以及触点开口465的侧壁的间隔体462，以将P型掺杂半导体层406电分隔。在一些实施例中，通过相同沉积工艺，沿触点开口460、461和463以及源极触点开口465的侧壁形成间隔体462，以减少制作工艺的数量。在一些实施例中，在形成间隔体462之后执行对源极触点开口458的刻蚀，使得间隔体462不沿源极触点开口458的侧壁形成，以提高在源极触点464与P型掺杂半导体层406之间的接触面积。

[0155] 如图4N所示，在P型掺杂半导体层406的背面处形成分别处于触点开口460、461和463(如图4M所示)中的触点466、468和469。根据一些实施例，触点466、468和469垂直地延伸穿过ILD层456和P型掺杂半导体层406。可以使用相同的沉积工艺形成触点466、468和469以及源极触点464和478，以减少沉积工艺的数量。在一些实施例中，使用诸如ALD、CVD、PVD、任何其他适当工艺或其任何组合的一种或多种薄膜沉积工艺，将一种或多种导电材料沉积到触点开口460、461和463中，以利用粘合剂层(例如，TiN)和导体层(例如，W)填充触点开口460、461和463。之后，可以执行平面化工艺，例如，CMP，以去除多余的导电材料，使得触点466、468和469的顶表面(以及源极触点464和478的顶表面)与ILD层456的顶表面平齐。在一些实施例中，由于触点开口460、461和463分别与外围触点438、440和439对准，因此接触466、468和469还分别处于外围触点438、440和439以上并且与外围触点438、440和439接触。

[0156] 如图4O所示，重新分布层470的第一互连470-1被形成在触点466以上并且与触点466接触。因此，能够通过源极触点464、互连层476的第一互连470-1和触点466，将P型掺杂半导体层406电连接至外围触点438。在一些实施例中，通过源极触点464、互连层476的第一互连470-1、触点466、外围触点438以及键合层446和448，将P型掺杂半导体层406电连接至外围电路452。类似地，重新分布层470的第二互连470-2被形成在触点469以上并且与触点469接触。因此，能够通过源极触点478、互连层476的第二互连470-2和触点469，将N阱407电连接至外围触点438。在一些实施例中，通过源极触点478、互连层476的第二互连470-2、触点469、外围触点439以及键合层446和448，将N阱407电连接至外围电路452。

[0157] 如图4O所示，触点焊盘474被形成在触点468之上并且与触点468接触。在一些实施例中，通过湿法刻蚀和/或干法刻蚀来去除钝化层472的覆盖触点468的部分，以暴露下面的重新分布层470的部分，以形成触点焊盘474。因此，能够通过触点468、外围触点440以及键合层446和448，将用于焊盘引出的触点焊盘474电连接至外围电路452。

[0158] 应当理解，可以由SOI晶圆代替上文在方法600中描述的第二衬底、牺牲层和P型掺杂半导体层，该SOI晶圆包括操纵层、掩埋的氧化物层(又称为“BOX”层)和器件层，如下文关于方法601所述。为了便于描述，可以不重复在方法600和601之间的类似操作的细节。参考图6B，方法601开始于操作602，在该操作中，在第一衬底上形成外围电路。所述第一衬底可以是硅衬底。

[0159] 方法601进行至操作603，如图6B所示，在该操作中，利用P型掺杂剂对SOI晶圆的器

件层进行掺杂。SOI晶圆可以包括操纵层、掩埋的氧化物层和器件层。在一些实施例中，掩埋的氧化物层包括氧化硅，并且器件层包括单晶硅。方法601进行至操作605，如图6B所示，在该操作中，利用N型掺杂剂掺杂所述掺杂的器件层的部分，以在该掺杂的器件层中形成N阱。

[0160] 如图4A所示，SOI晶圆401包括操纵层402（对应于上文描述方法600中的载体衬底402）、掩埋的氧化物层404（对应于牺牲层404）和器件层406（对应于P型掺杂半导体层406）。可以使用离子注入和/或热扩散，利用诸如P、As或Sb的P型掺杂剂，对器件层406进行掺杂，以成为P型掺杂的器件层406。可以使用离子注入和/或热扩散，利用诸如B、Ga或Al的N型掺杂剂，对掺杂的器件层406的部分进一步掺杂，以形成N阱407。应当理解，上文与载体衬底402、牺牲层404和P型掺杂半导体层406有关的描述可以类似地分别适用于SOI晶圆401的操纵层402、掩埋的氧化物层404和掺杂的器件层406，以更好地理解下文的方法601，并且因此将不再重复，以简化描述。

[0161] 方法601进行至操作607，如图6B所示，在该操作中，在SOI晶圆的掺杂的器件层上形成电介质堆叠体。该电介质堆叠体可以包括交替的堆叠电介质层和堆叠牺牲层。方法601进行至操作609，如图6B所示，在该操作中，形成垂直地延伸穿过电介质堆叠体和掺杂的器件层的沟道结构。在一些实施例中，为了形成该沟道结构，形成垂直地延伸穿过电介质堆叠体和掺杂的器件层、停止在掩埋的氧化物层处的沟道孔，并且沿沟道孔的侧壁依次沉积存储膜和半导体沟道。方法601进行至操作608，如图6B所示，在该操作中，利用存储堆叠体代替该电介质堆叠体，以使该沟道结构垂直地延伸穿过存储堆叠体和掺杂的器件层。在一些实施例中，为了利用存储堆叠体代替电介质堆叠体，刻蚀出垂直地延伸穿过电介质堆叠体的开口，所述开口停止在掺杂的器件层处，并且通过所述开口，利用堆叠导电层代替堆叠牺牲层，以形成包括交替的堆叠电介质层和堆叠导电层的存储堆叠体。方法601进行至操作610，如图6B所示，在该操作中，形成垂直地延伸穿过存储堆叠体的绝缘结构。在一些实施例中，为了形成该绝缘结构，在形成存储堆叠体之后，将一种或多种电介质材料沉积到开口中，以填充该开口。

[0162] 方法601进行至操作613，如图6B所示，在该操作中，第一衬底和SOI晶圆按照面对面方式键合，使得存储堆叠体处于外围电路以上。所述键合包括混合键合。方法601进行至操作615，如图6B所示，在该操作中，去除SOI晶圆的操纵层和掩埋的氧化物层，以暴露沟道结构的末端。方法601进行至操作617，如图6B所示，在该操作中，利用半导体插塞代替沟道结构的与掺杂的器件层邻接的部分。在一些实施例中，为了利用半导体插塞代替沟道结构的与掺杂的器件层邻接的部分，对存储膜的与掺杂的器件层邻接的部分进行刻蚀，以形成围绕半导体沟道的部分的凹槽，对半导体沟道的该部分进行掺杂，并且在凹槽中沉积多晶硅，以形成围绕掺杂的半导体沟道的该部分并且与该部分接触的半导体插塞。

[0163] 方法601进行至操作619，如图6B所示，在该操作中，形成处于存储堆叠体以上并且与掺杂的器件层接触的第一源极触点，并且形成处于存储堆叠体以上并且与N阱接触的第二源极触点。方法601进行至操作621，如图6B所示，在该操作中，形成在第一源极触点和第二源极触点以上并且与第一源极触点和第二源极触点接触的互连层。在一些实施例中，互连层包括处于第一源极触点以上并且与第一源极触点接触的第一互连，以及处于第二源极触点以上并且与第二源极触点接触的第二互连。在一些实施例中，形成穿过掺杂的器件层并且与第一互连接触的第一触点，使得掺杂的器件层通过第一源极触点和第一互连电连接

至第一触点。在一些实施例中,形成穿过掺杂的器件层并且与第二互连接触的第二触点,使得N阱通过第二源极触点和第二互连电连接至第二触点。

[0164] 根据本公开的一个方面,公开了一种用于形成3D存储器件的方法。依次形成处于衬底上的牺牲层、处于牺牲层上的具有N阱的P型掺杂半导体层以及处于P型掺杂半导体层上的电介质堆叠体。形成垂直地延伸穿过电介质堆叠体和P型掺杂半导体层的沟道结构。利用存储堆叠体代替电介质堆叠体,使得沟道结构垂直地延伸穿过存储堆叠体和P型掺杂半导体层。去除衬底和牺牲层,以暴露沟道结构的末端。利用半导体插塞代替沟道结构的与P型掺杂半导体层邻接的部分。

[0165] 在一些实施例中,衬底是载体晶圆,牺牲层包括电介质材料,P型掺杂半导体层包括多晶硅,并且电介质堆叠体包括交替的堆叠电介质层和堆叠牺牲层。

[0166] 在一些实施例中,为了利用存储堆叠体代替电介质堆叠体,刻蚀出垂直地延伸穿过电介质堆叠体的开口,所述开口停止在P型掺杂半导体层处;以及通过开口,利用堆叠导电层代替堆叠牺牲层,以形成包括交替的堆叠电介质层和堆叠导电层的存储堆叠体。

[0167] 在一些实施例中,在利用存储堆叠体代替电介质堆叠体之后,将一种或多种电介质材料沉积到开口中,以形成垂直地延伸穿过存储堆叠体的绝缘结构。

[0168] 在一些实施例中,为了形成该沟道结构,刻蚀出垂直地延伸穿过电介质堆叠体和P型掺杂半导体层的沟道孔,所述沟道孔停止在牺牲层处;以及沿沟道孔的侧壁依次沉积存储膜和半导体沟道。

[0169] 在一些实施例中,为了利用半导体插塞代替沟道结构的与P型掺杂半导体层邻接的部分,对存储膜的与P型掺杂半导体层邻接的部分进行刻蚀,以形成围绕半导体沟道的部分的凹槽;对半导体沟道的部分进行掺杂;以及将多晶硅沉积到凹槽中,以形成围绕掺杂的半导体沟道的部分并且与掺杂的半导体沟道的部分接触的半导体插塞。

[0170] 在一些实施例中,在利用半导体插塞代替沟道结构的与P型掺杂半导体层邻接的部分之后,形成与P型掺杂半导体层接触的第一源极触点;以及形成与N阱接触的第二源极触点。

[0171] 在一些实施例中,形成互连层,所述互连层包括分别与第一源极触点和第二源极触点接触的第一互连和第二互连。

[0172] 在一些实施例中,形成穿过P型掺杂半导体层并且与第一互连接触的第一触点,使得P型掺杂半导体层通过第一源极触点和第一互连电连接至第一触点。在一些实施例中,形成穿过P型掺杂半导体层并且与第二互连接触的第二触点,使得N阱通过第二源极触点和第二互连电连接至第二触点。

[0173] 在一些实施例中,在形成电介质堆叠体之前,利用N型掺杂剂对P型掺杂半导体层的部分进行掺杂,以形成N阱。

[0174] 根据本公开的另一方面,公开了一种用于形成3D存储器件的方法。利用P型掺杂剂对SOI晶圆的器件层进行掺杂,所述SOI晶圆包括操纵层、掩埋的氧化物层和器件层。利用N型掺杂剂对掺杂的器件层的部分进行掺杂,以在掺杂的器件层中形成N阱。在SOI晶圆的掺杂的器件层上形成电介质堆叠体。形成垂直地延伸穿过电介质堆叠体和掺杂的器件层的沟道结构。利用存储堆叠体代替电介质堆叠体,使得沟道结构垂直地延伸穿过存储堆叠体和掺杂的器件层。去除SOI晶圆的操纵层和掩埋的氧化物层,以暴露沟道结构的末端。利用半

导体插塞代替沟道结构的与掺杂的器件层邻接的部分。

[0175] 在一些实施例中,电介质堆叠体包括交替的堆叠电介质层和堆叠牺牲层。在一些实施例中,为了利用存储堆叠体代替电介质堆叠体,刻蚀出垂直地延伸穿过电介质堆叠体的开口,所述开口停止在掺杂的器件层处;以及通过开口,利用堆叠导电层代替堆叠牺牲层,以形成包括交替的堆叠电介质层和堆叠导电层的存储堆叠体。

[0176] 在一些实施例中,在利用存储堆叠体代替电介质堆叠体之后,将一种或多种电介质材料沉积到开口中,以形成垂直地延伸穿过存储堆叠体的绝缘结构。

[0177] 在一些实施例中,为了形成该沟道结构,刻蚀出垂直地延伸穿过电介质堆叠体和掺杂的器件层的沟道孔,所述沟道孔停止在掩埋的氧化物层处;以及沿沟道孔的侧壁依次沉积存储膜和半导体沟道。

[0178] 在一些实施例中,为了利用半导体插塞代替沟道结构的与掺杂的器件层邻接的部分,对存储膜的与掺杂的器件层邻接的部分进行刻蚀,以形成围绕半导体沟道的部分的凹槽;对半导体沟道的部分进行掺杂;以及将多晶硅沉积到凹槽中,以形成围绕掺杂的半导体沟道的部分并且与掺杂的半导体沟道的部分接触的半导体插塞。

[0179] 在一些实施例中,在利用半导体插塞代替沟道结构的与掺杂的器件层邻接的部分之后,形成与掺杂的器件层接触的第一源极触点;以及形成与N阱接触的第二源极触点。

[0180] 在一些实施例中,形成互连层,所述互连层包括分别与第一源极触点和第二源极触点接触的第一互连和第二互连。

[0181] 在一些实施例中,形成穿过掺杂的器件层并且与第一互连接触的第一触点,使得掺杂的器件层通过第一源极触点和第一互连电连接至第一触点。在一些实施例中,形成穿过掺杂的器件层并且与第二互连接触的第二触点,使得N阱通过第二源极触点和第二互连电连接至第二触点。

[0182] 根据本公开的又一方面,公开了一种用于形成3D存储器件的方法。形成处于第一衬底上的外围电路。在第二衬底以上形成垂直地延伸穿过存储堆叠体和具有N阱的P型掺杂半导体层的沟道结构。将第一衬底和第二衬底按照面对面方式键合,使得存储堆叠体处于外围电路以上。去除第二衬底,以暴露沟道结构的上端。利用半导体插塞代替沟道结构的与P型掺杂半导体层邻接的部分。

[0183] 在一些实施例中,为了形成沟道结构,在P型掺杂半导体层上形成电介质堆叠体;形成垂直地延伸穿过电介质堆叠体和P型掺杂半导体层的沟道结构;以及利用存储堆叠体代替电介质堆叠体。

[0184] 在一些实施例中,为了形成该沟道结构,刻蚀出垂直地延伸穿过电介质堆叠体的沟道孔;以及沿沟道孔的侧壁依次沉积存储膜和半导体沟道。

[0185] 在一些实施例中,为了利用半导体插塞代替沟道结构的与P型掺杂半导体层邻接的部分,对存储膜的与P型掺杂半导体层邻接的部分进行刻蚀,以形成围绕半导体沟道的部分的凹槽;对半导体沟道的部分进行掺杂;以及将多晶硅沉积到凹槽中,以形成围绕掺杂的半导体沟道的部分并且与掺杂的半导体沟道的部分接触的半导体插塞。

[0186] 在一些实施例中,在利用半导体插塞代替沟道结构的与P型掺杂半导体层邻接的部分之后,形成处于存储堆叠体以上并且与P型掺杂半导体层接触的第一源极触点;以及形成处于存储堆叠体以上并且与N阱接触的第二源极触点。

[0187] 在一些实施例中,形成互连层,所述互连层包括分别处于第一源极触点和第二源极触点以上并且分别与第一源极触点和第二源极触点接触的第一互连和第二互连。

[0188] 在一些实施例中,形成穿过掺杂的器件层并且与第一互连接触的第一触点,使得掺杂的器件层通过第一源极触点和第一互连电连接至第一触点。在一些实施例中,形成穿过掺杂的器件层并且与第二互连接触的第二触点,使得N阱通过第二源极触点和第二互连电连接至第二触点。

[0189] 在一些实施例中,在形成电介质堆叠体之前,利用N型掺杂剂对P型掺杂半导体层的部分进行掺杂,以形成N阱。

[0190] 在一些实施例中,键合包括混合键合。

[0191] 上文对具体实施例的描述将因此揭示本公开的概括实质,本领域技术人员不需要过多的试验就能够通过本领域的知识和技能容易地针对各种应用修改和/或调整这样的具体实施例,而不脱离本公开的一般原理。因此,基于文中提供的教导和指引,意在使这样的调整和修改落在所公开的实施例的含义以及等价方案的范围内。应当理解,文中的措辞或术语是为了达到描述而非限定目的,因此本领域技术人员应当根据所述教导和指引对本说明书的术语或措辞加以解释。

[0192] 上文借助于用于说明所指定的功能及其关系的实施方式的功能构建块描述了本公开的实施例。为了描述的方便起见,任意地定义了这些功能构建块的边界。可以定义替代的边界,只要适当地执行指定功能及其关系即可。

[0193] 发明内容部分和摘要部分可能阐述了发明人设想的本公开的一个或多个示范性实施例,而非全部的示范性实施例,并且因此并非意在通过任何方式对本公开和所附权利要求构成限制。

[0194] 本公开的宽度和范围不应由上述示范性实施例中的任何示范性实施例限制,而是应仅根据所附权利要求及其等价方案界定。

100

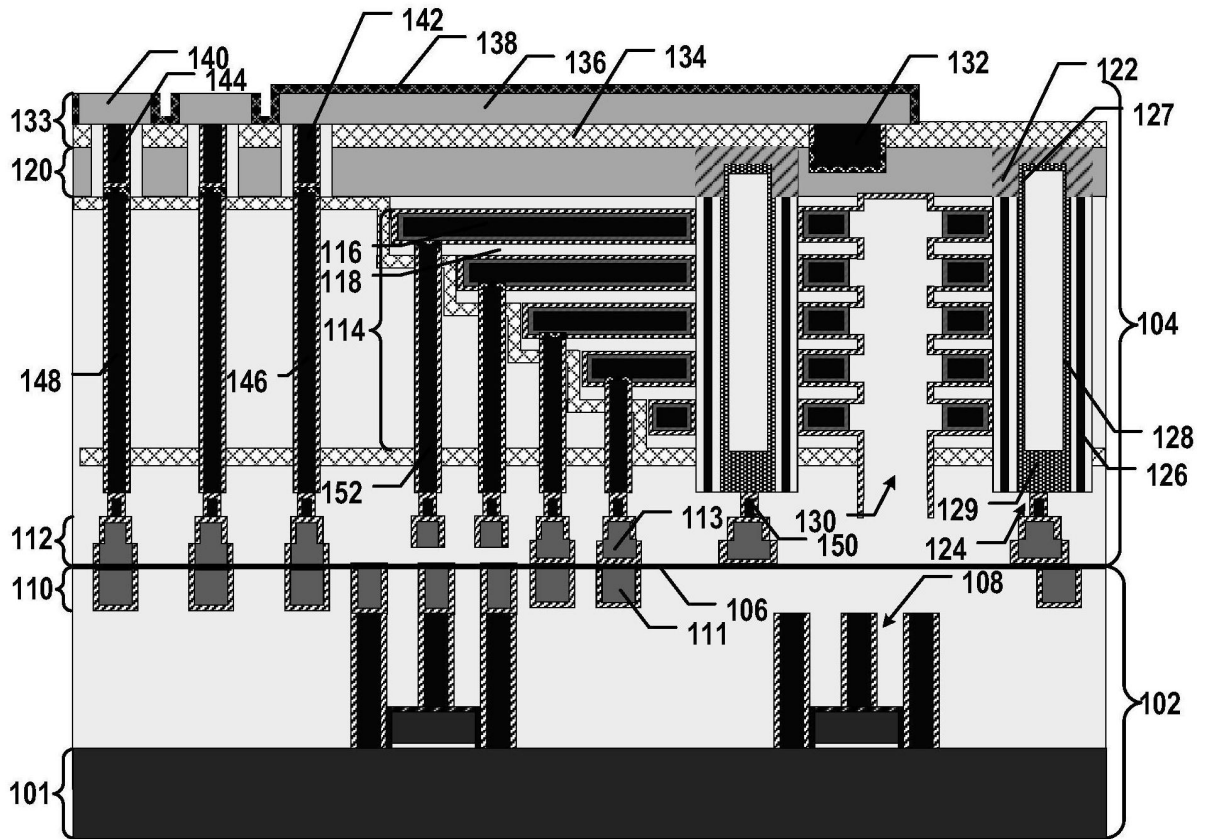


图1

200

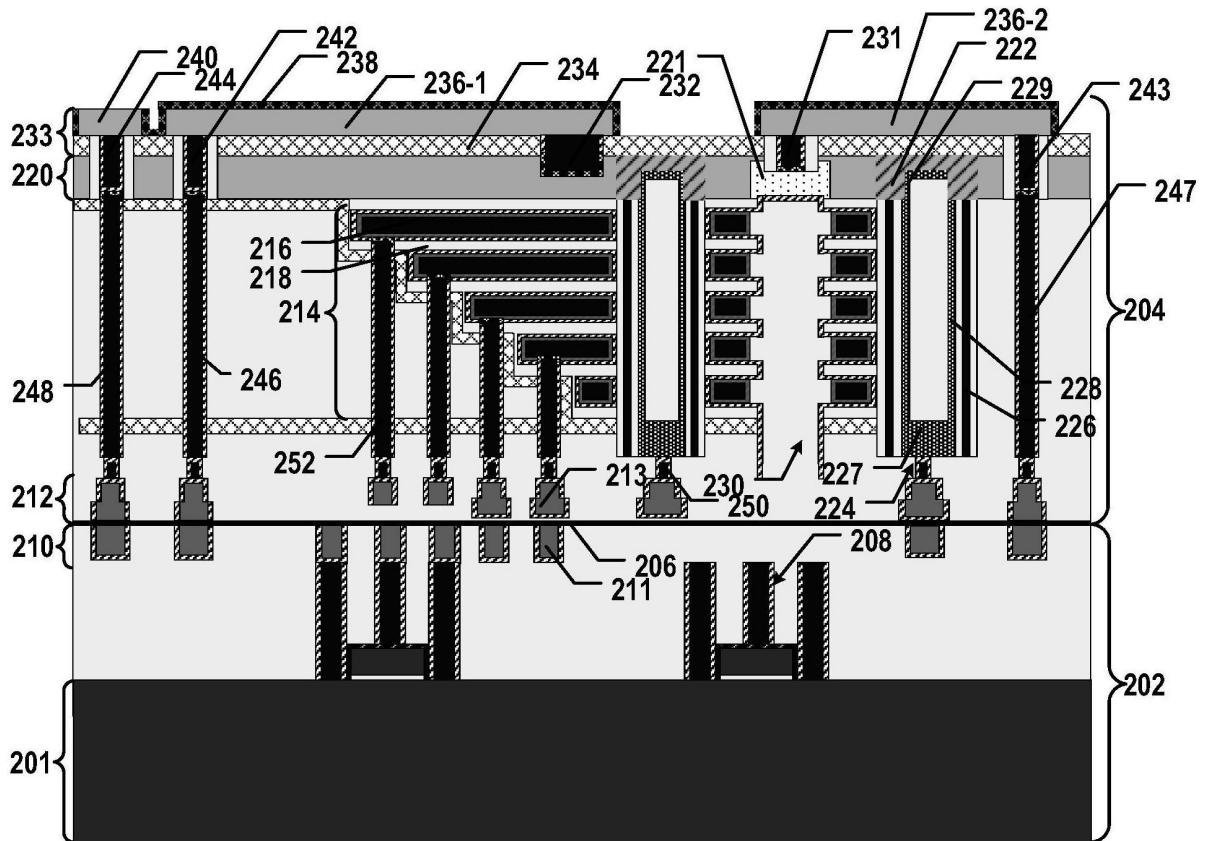


图2



图3A

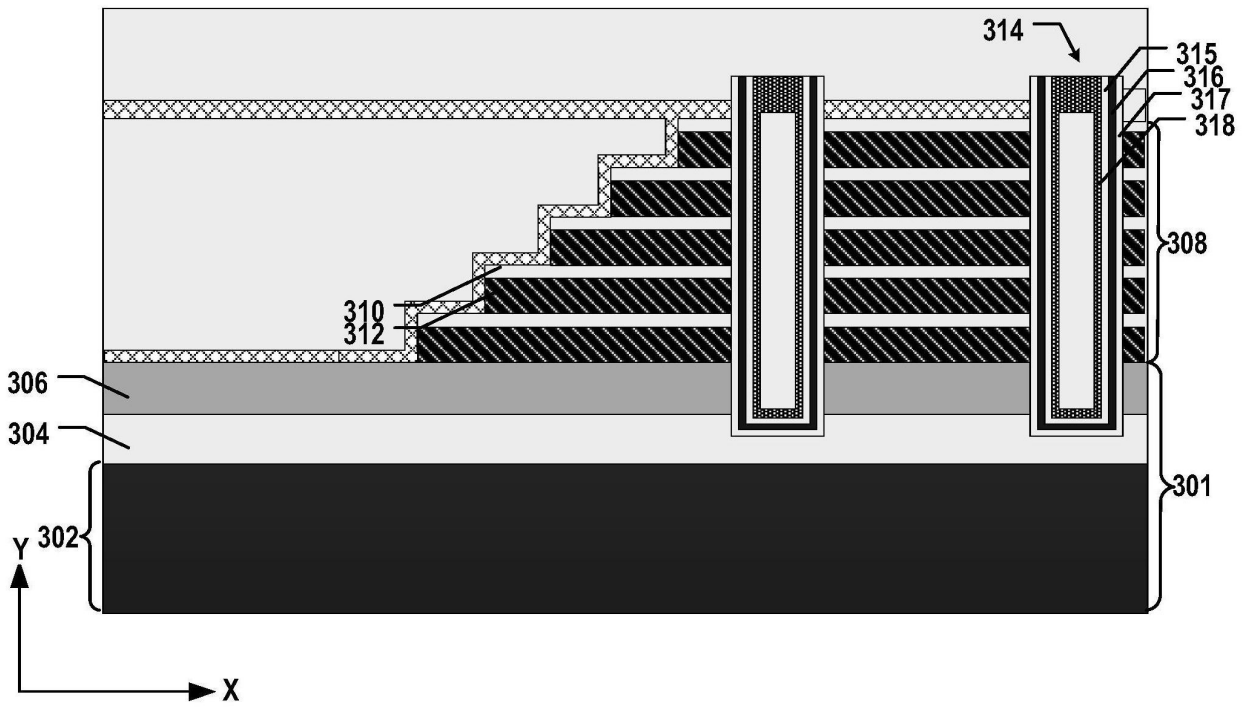


图3B

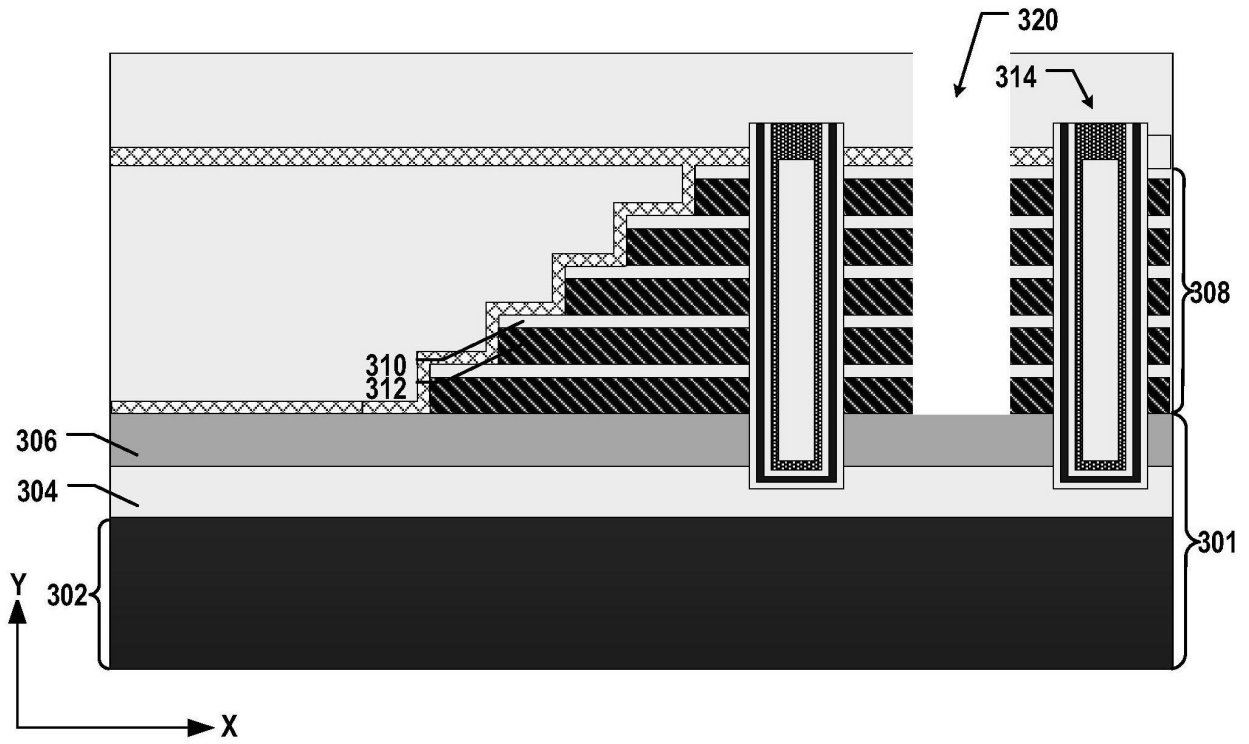


图3C

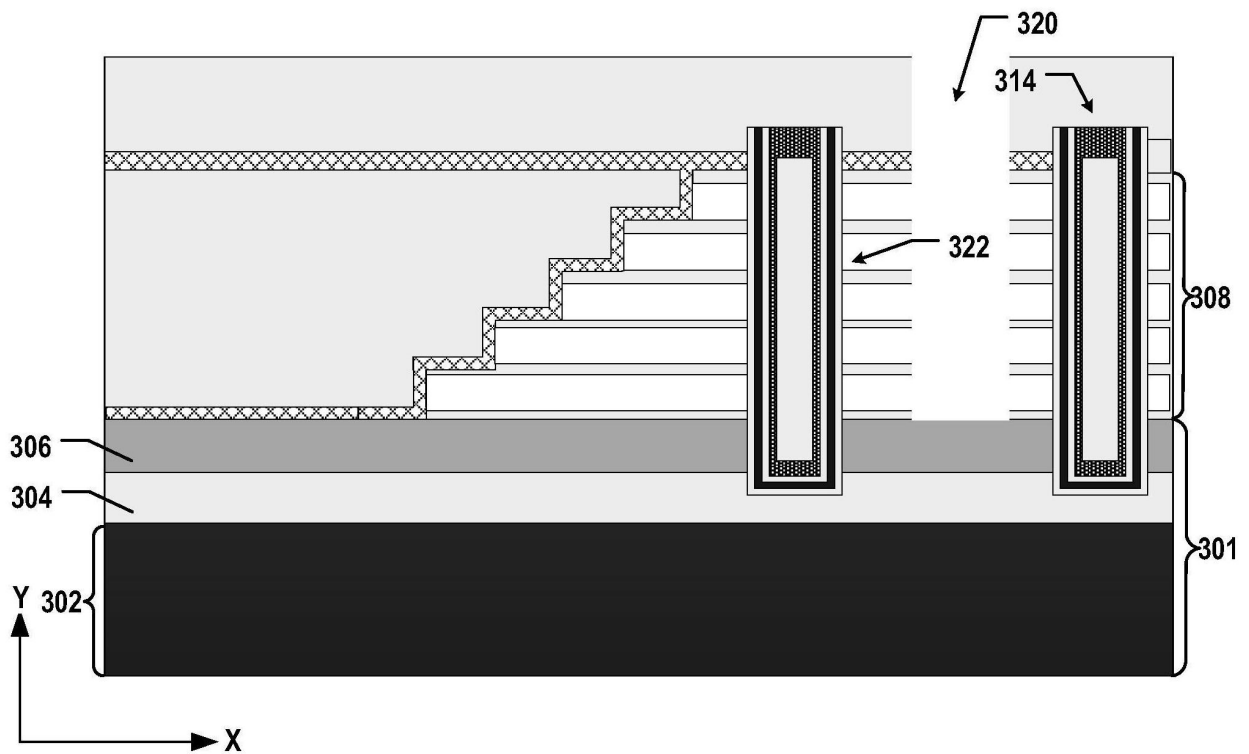


图3D

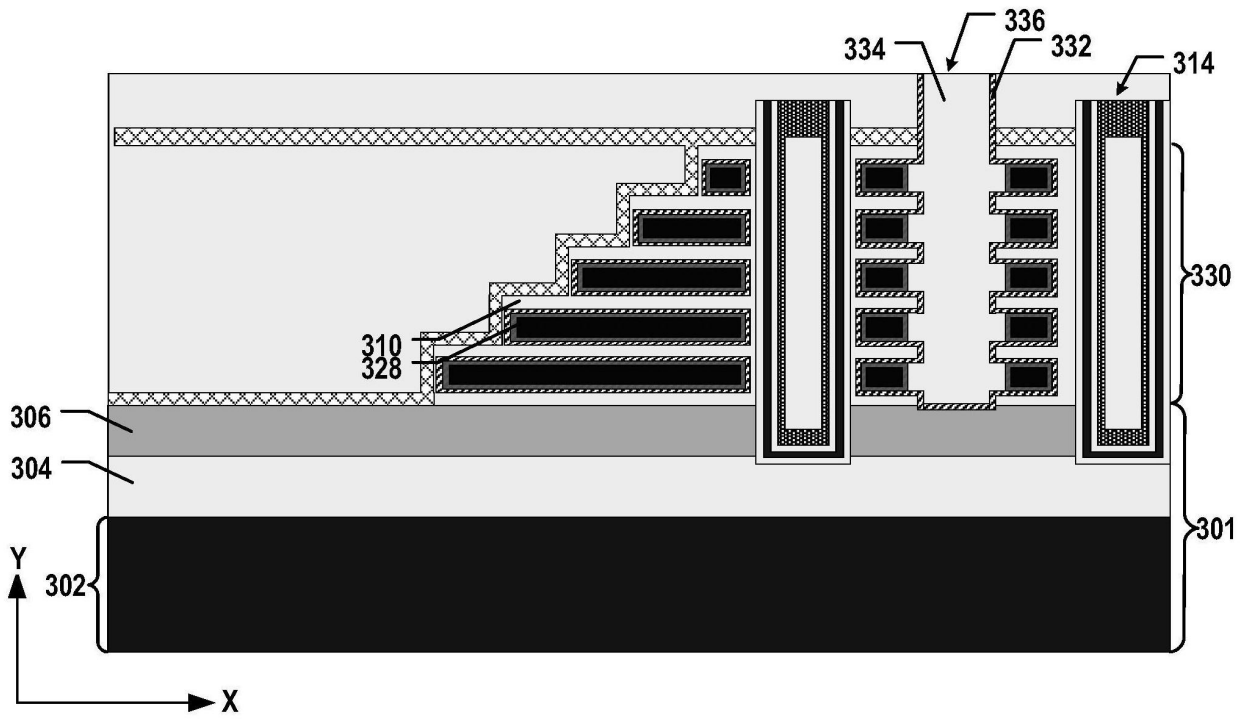


图3E

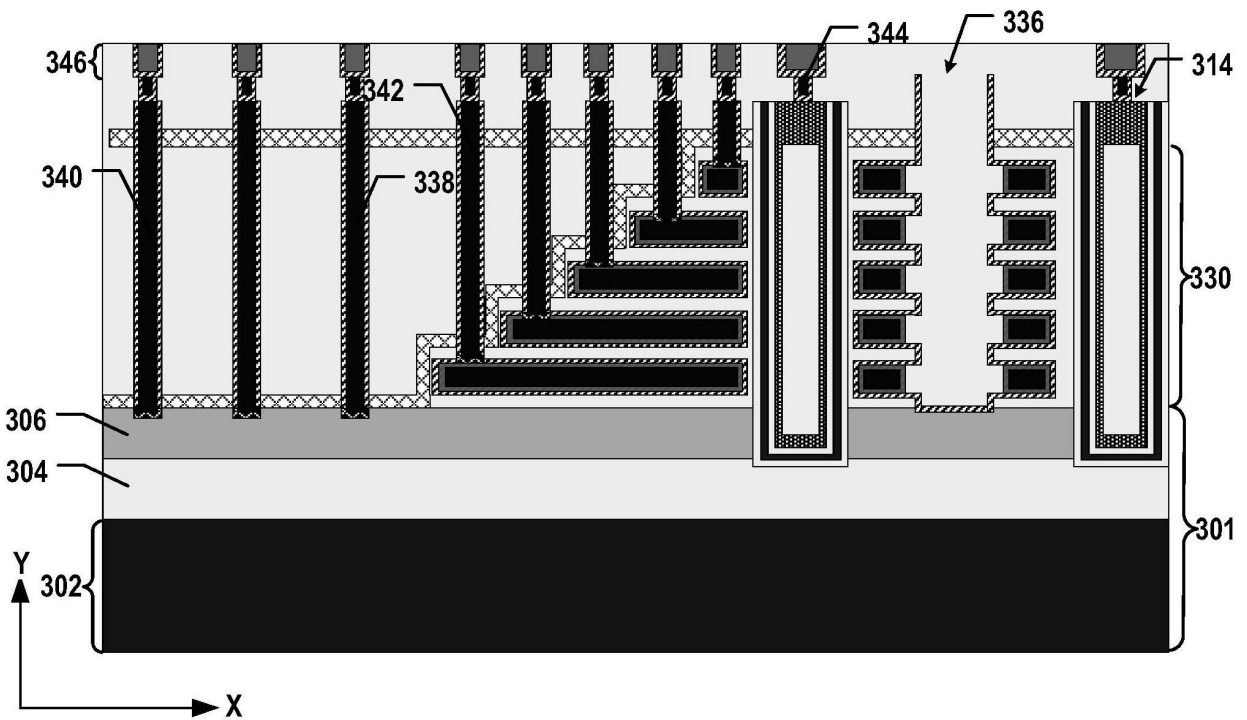


图3F

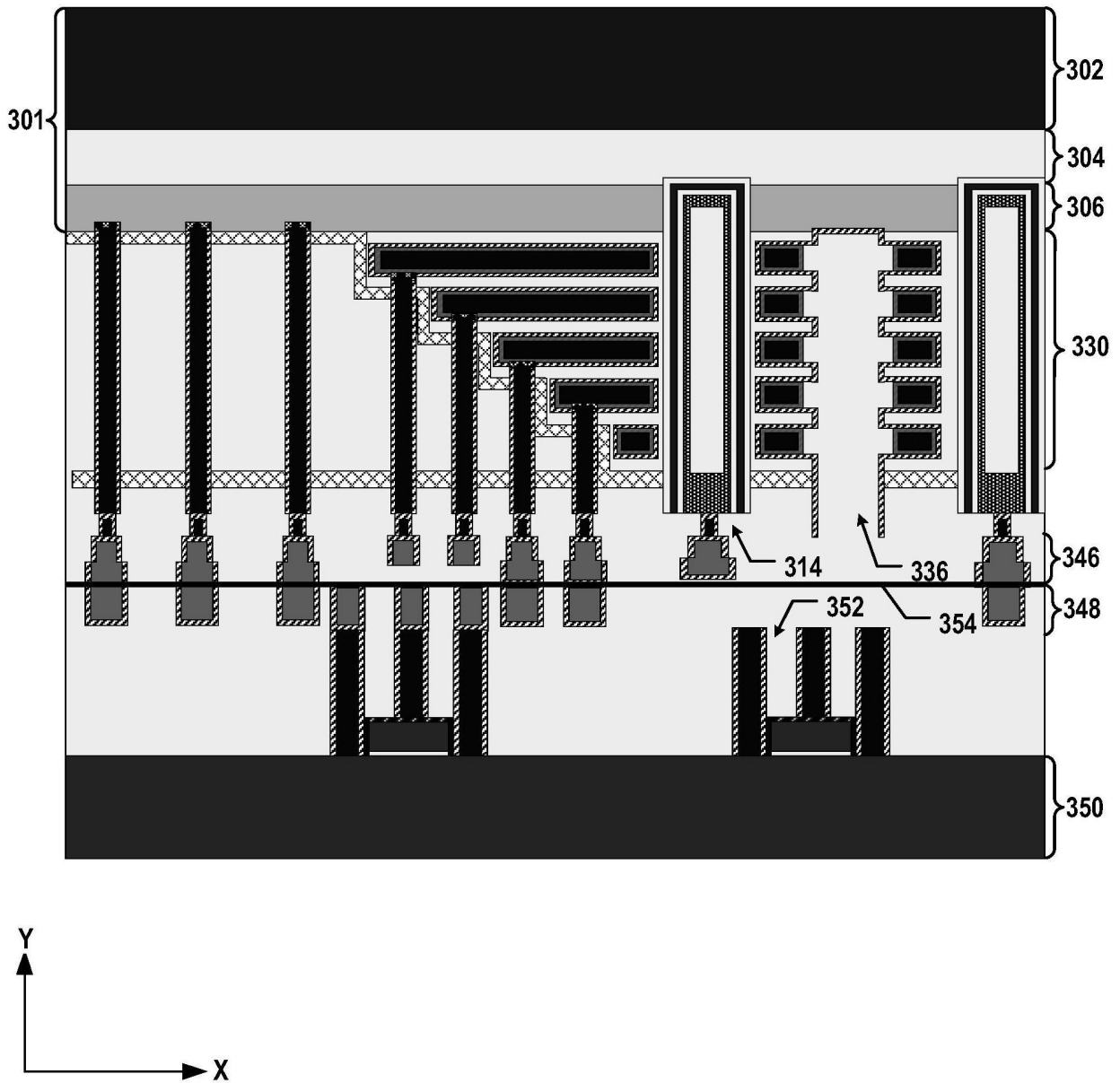


图3G

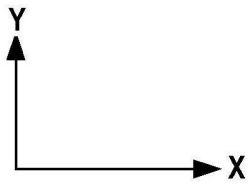
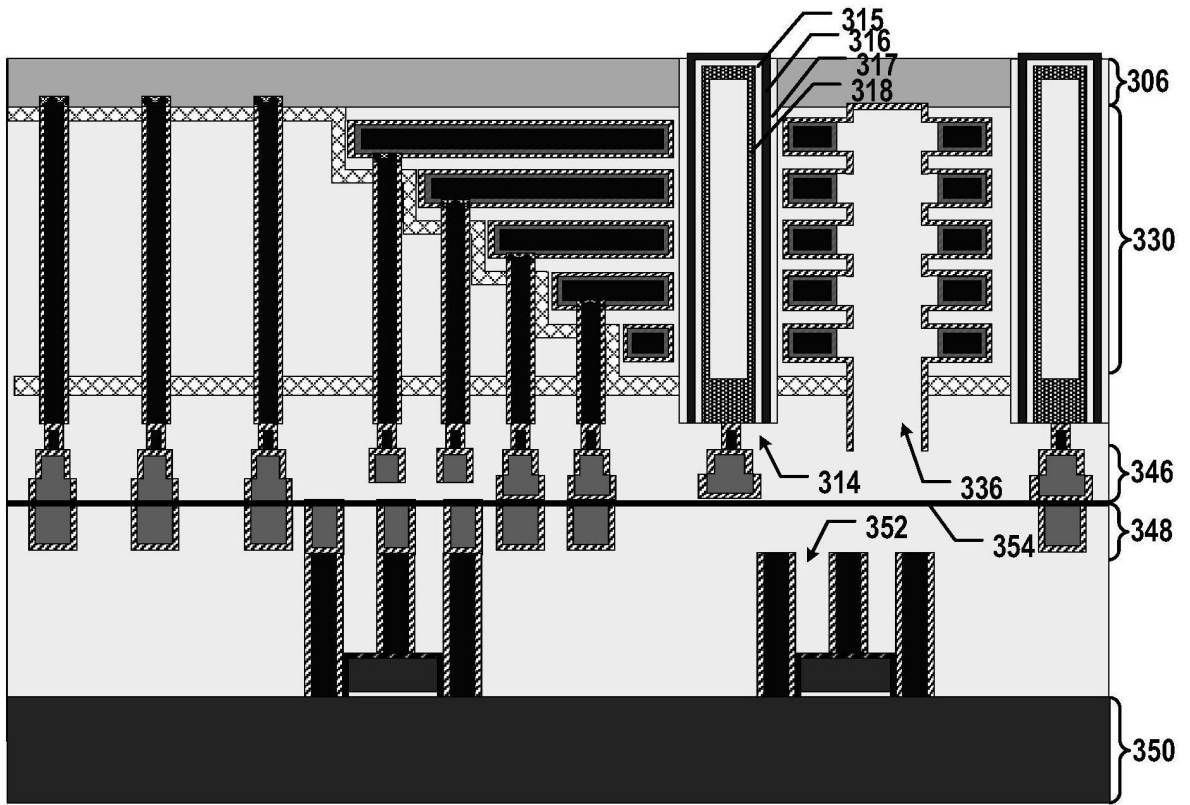


图3H

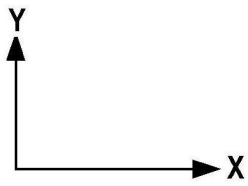
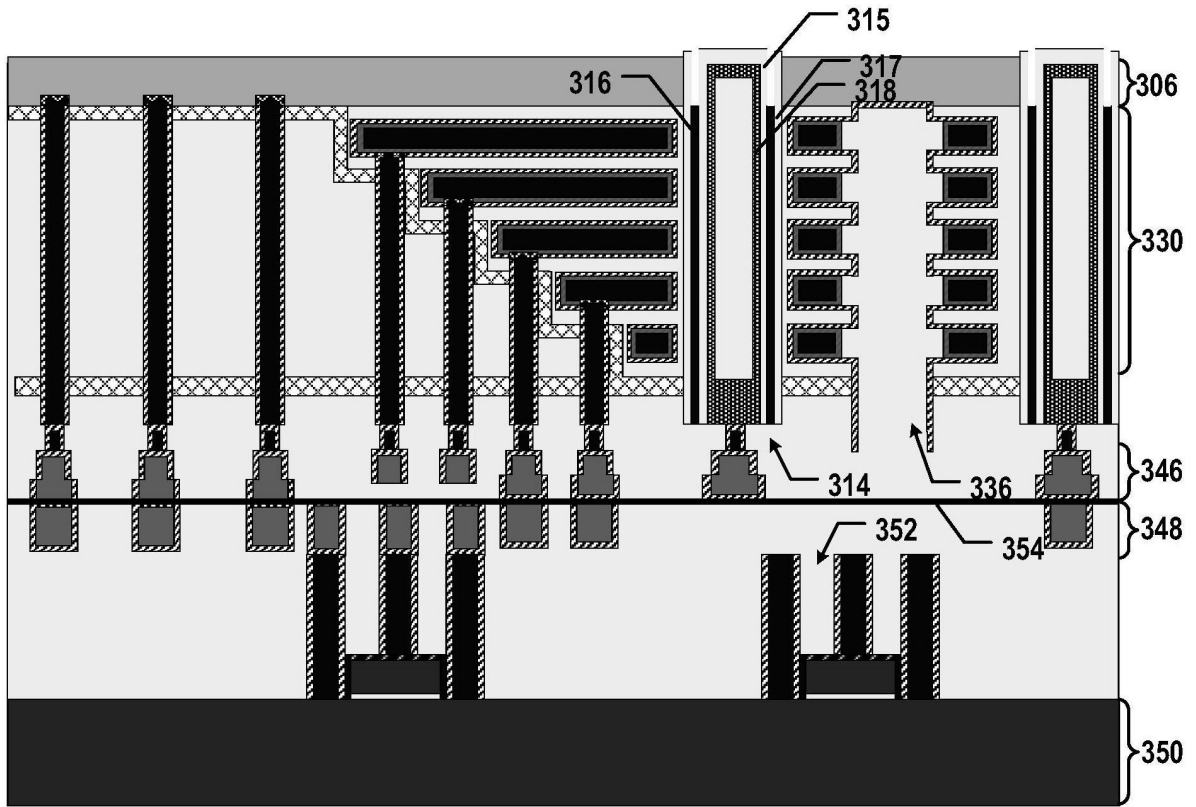


图3I

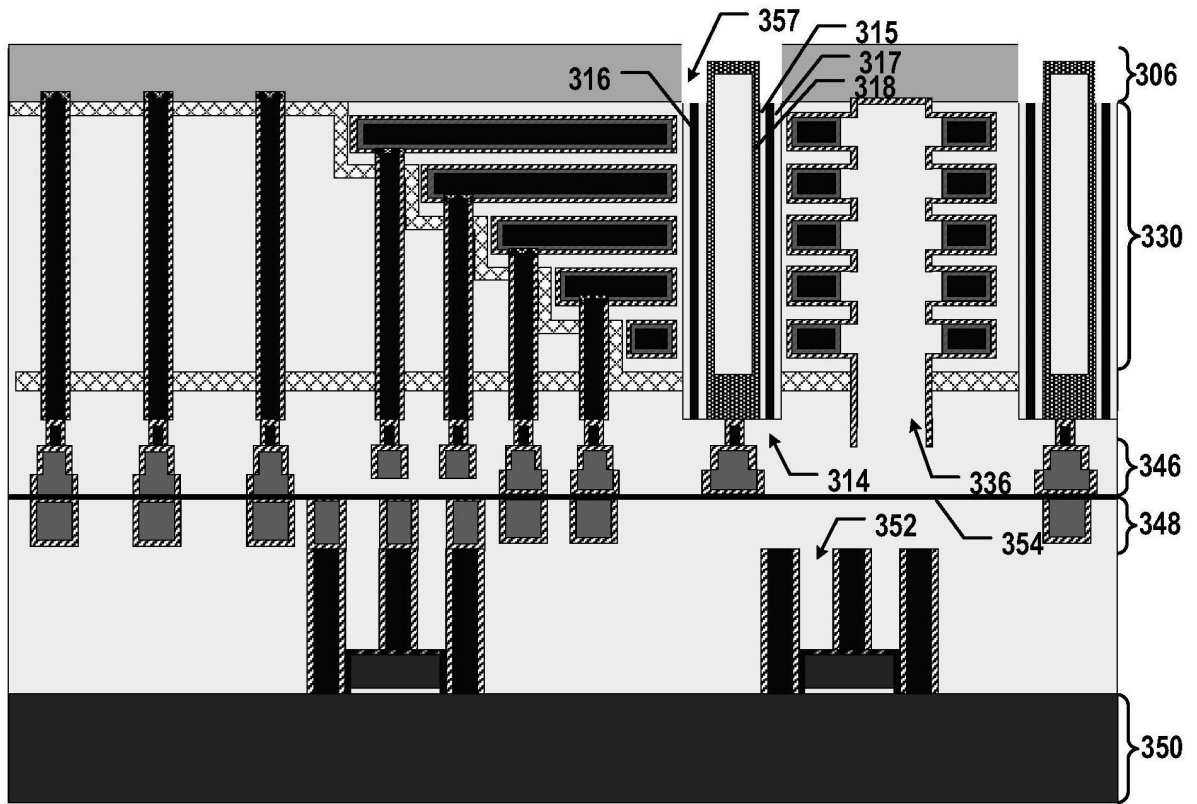


图3J

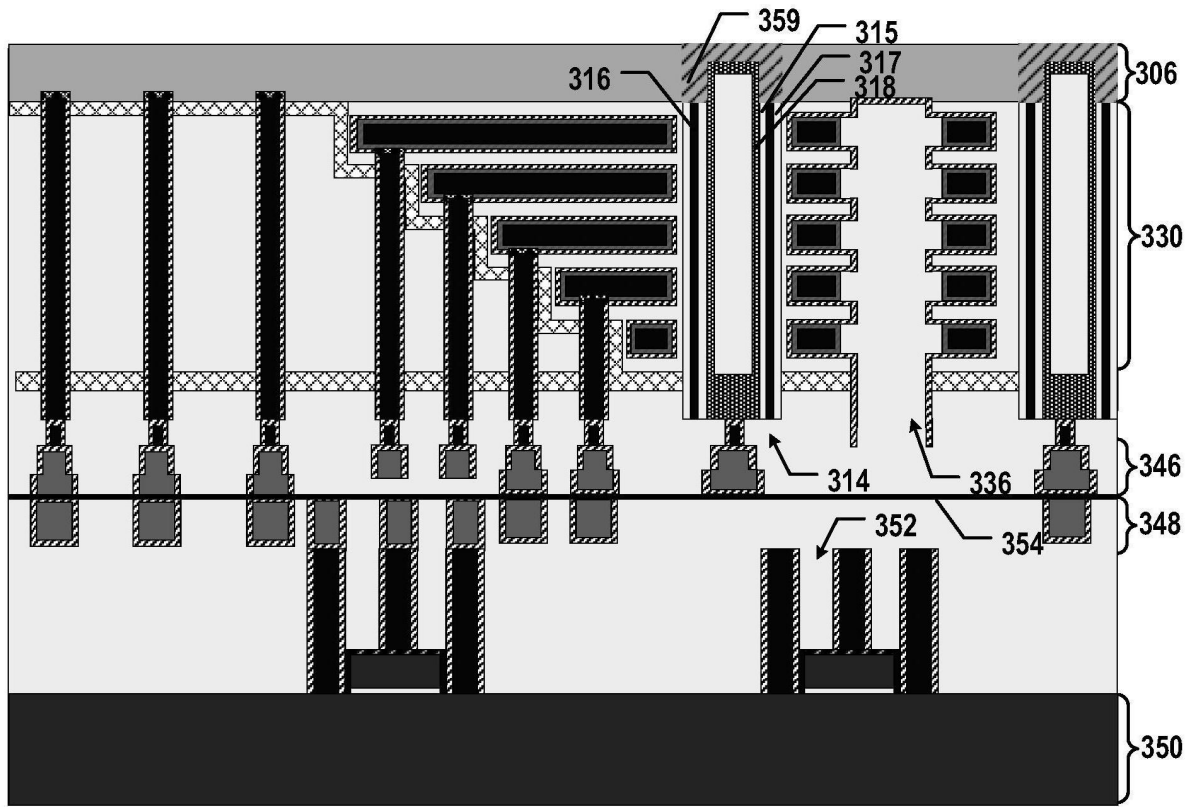


图3K

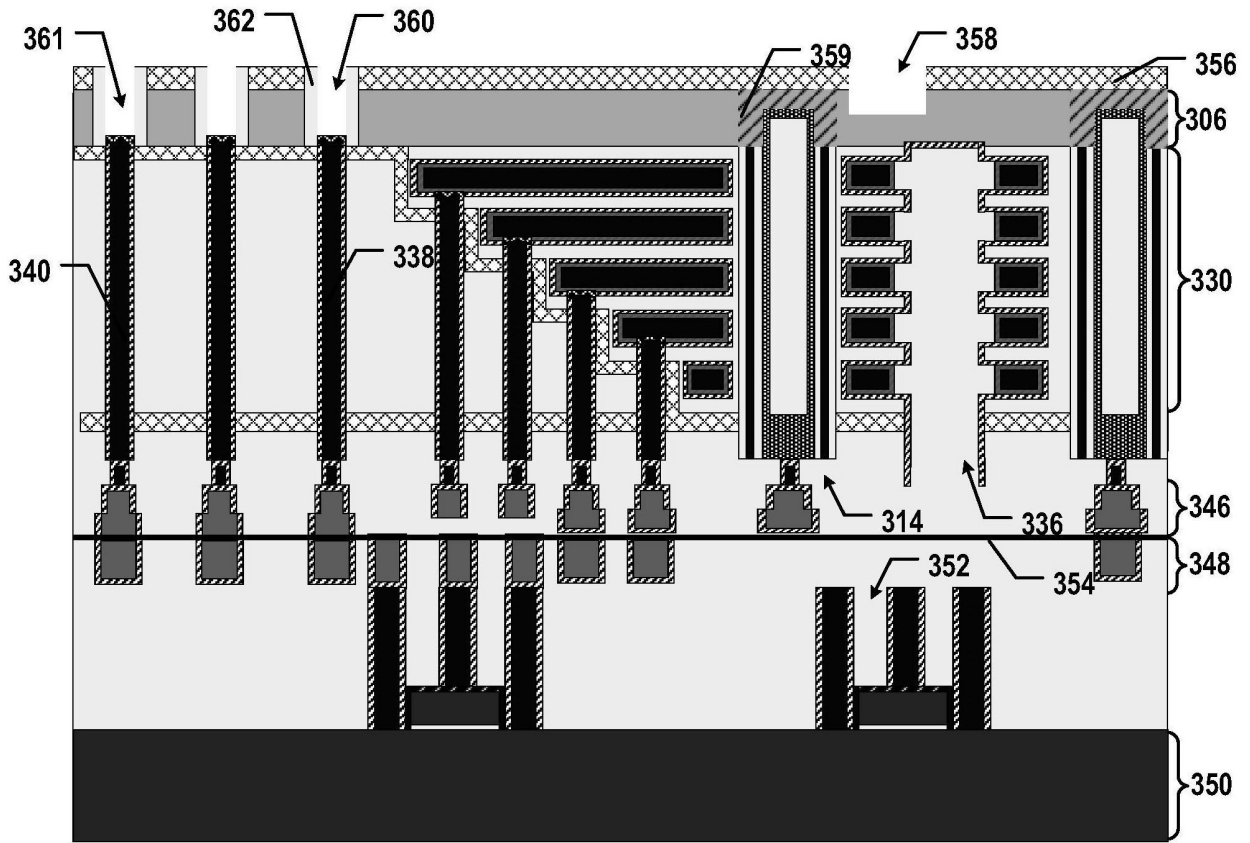


图3L

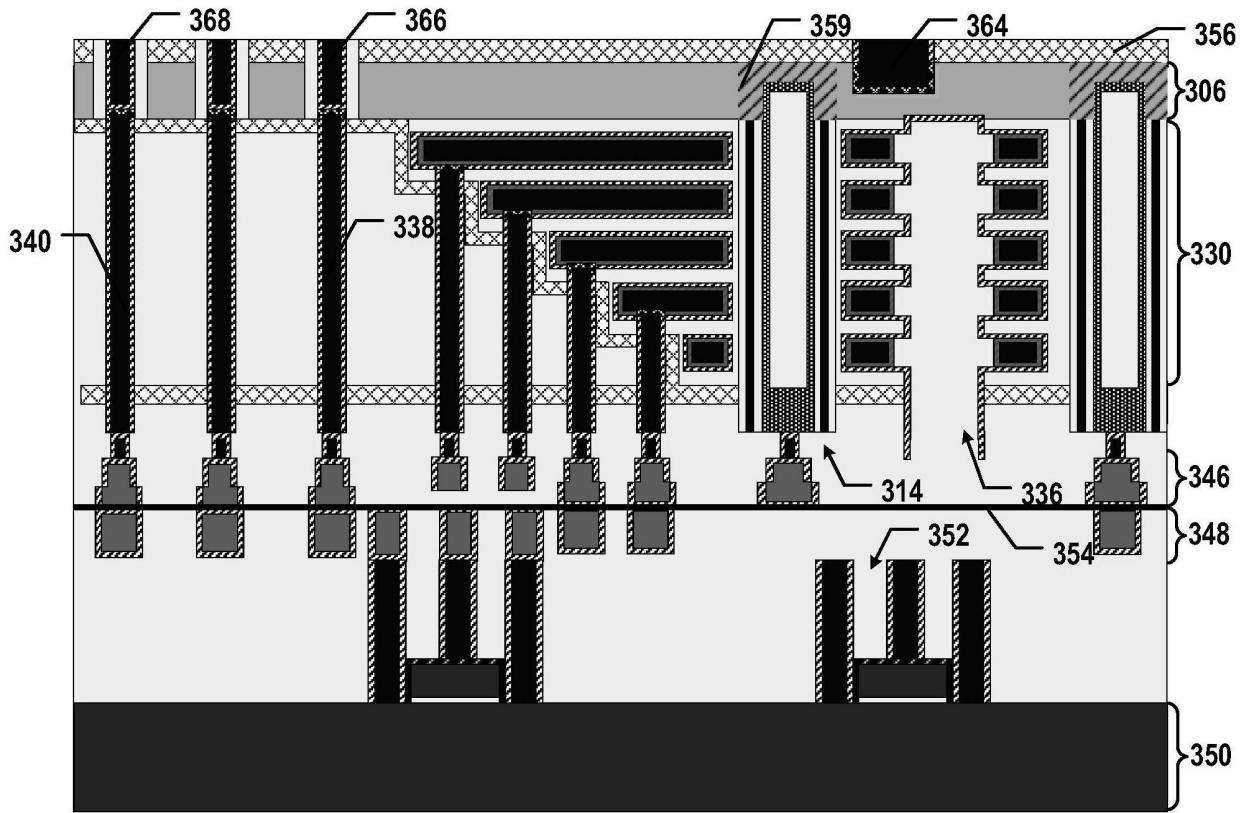


图3M

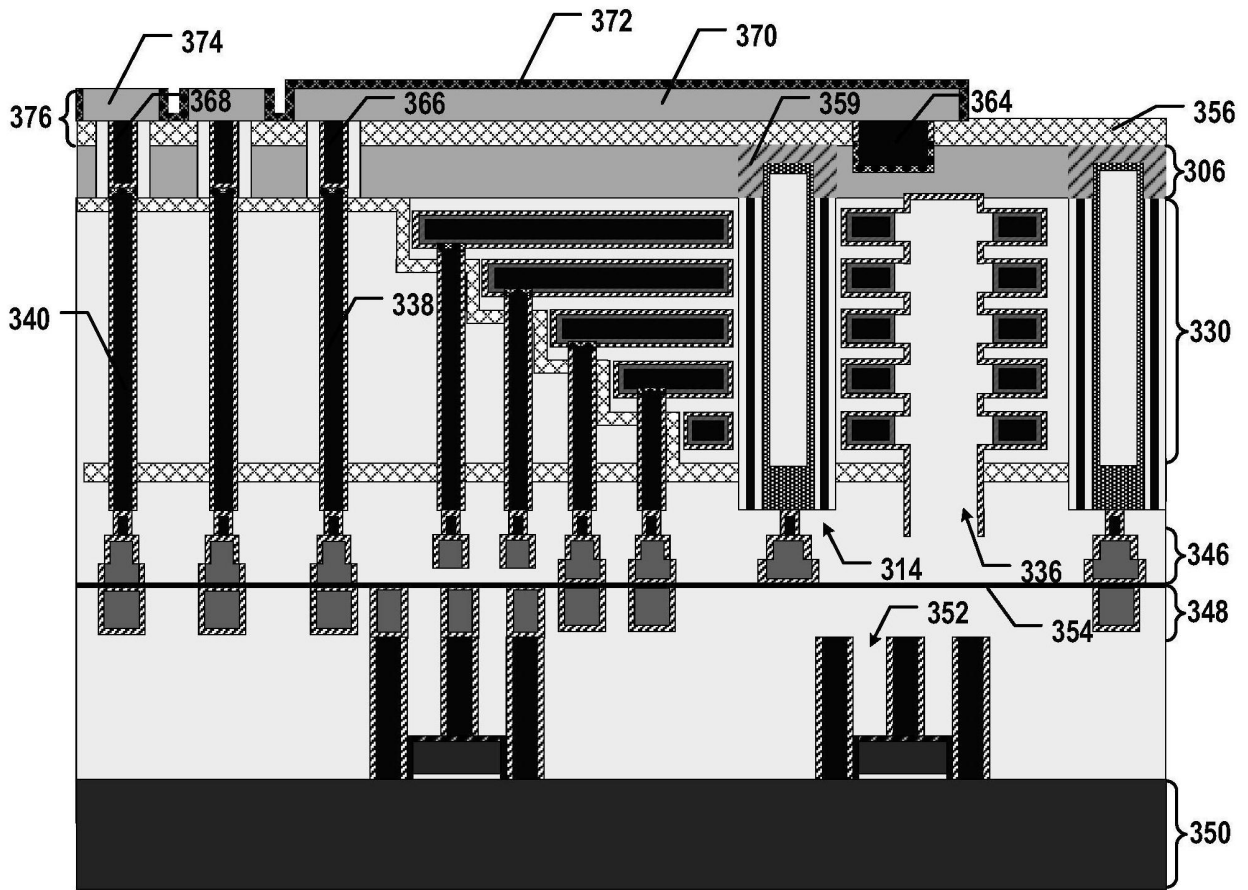


图3N



图4A

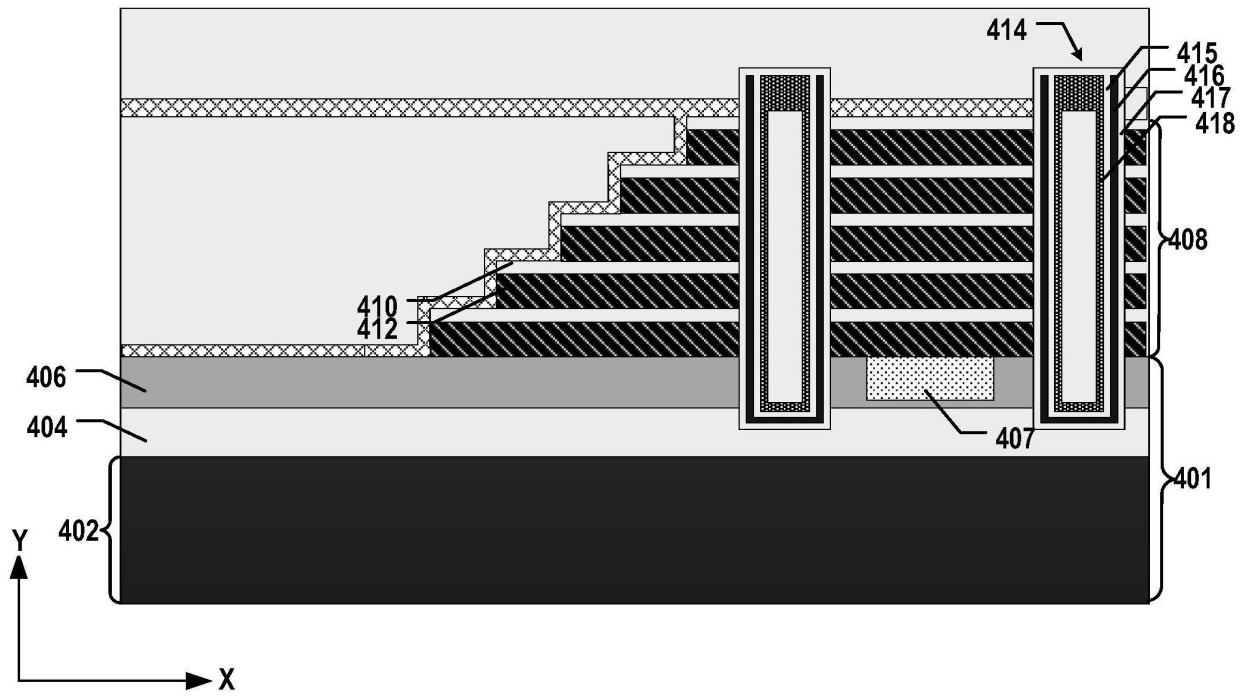


图4B

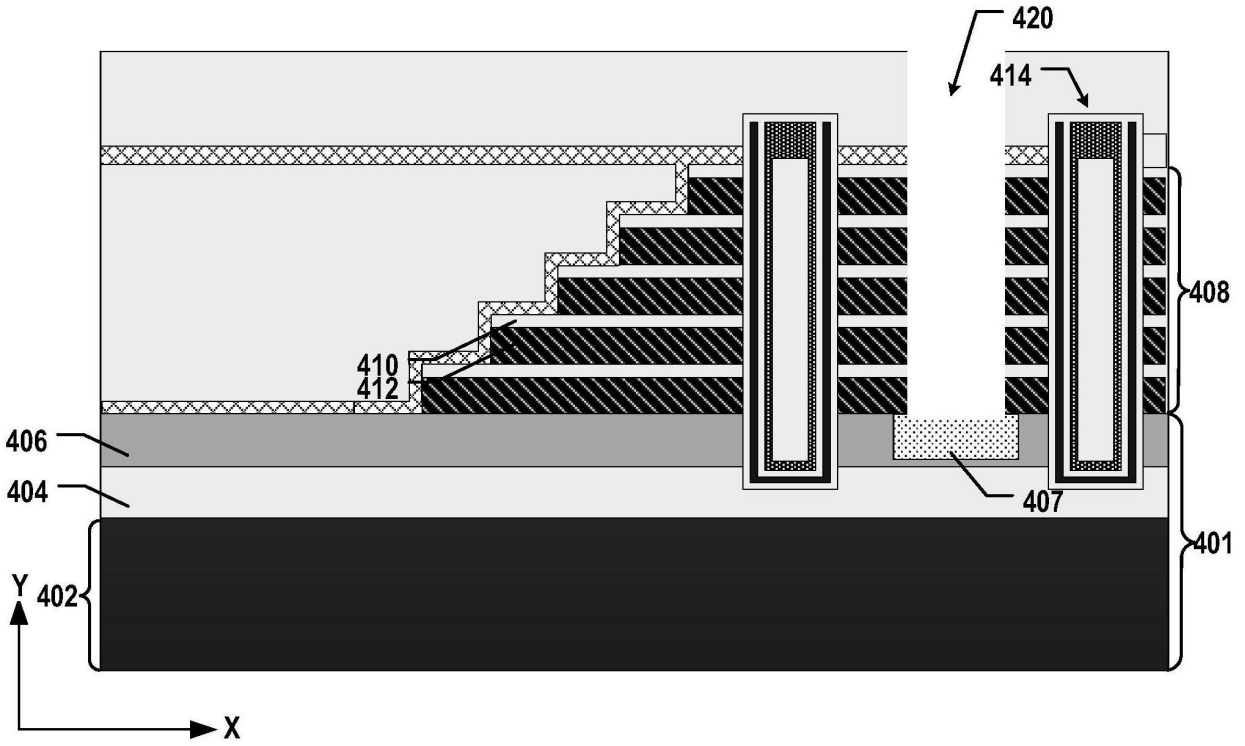


图4C

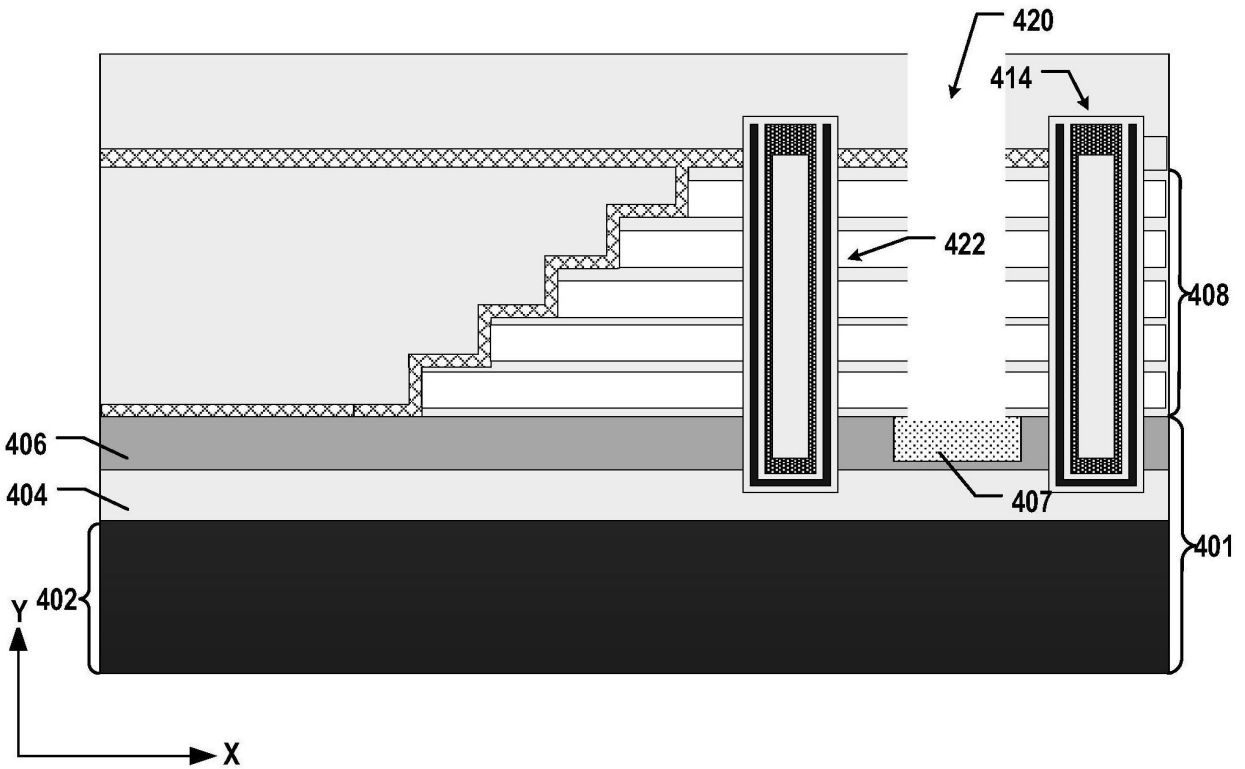


图4D

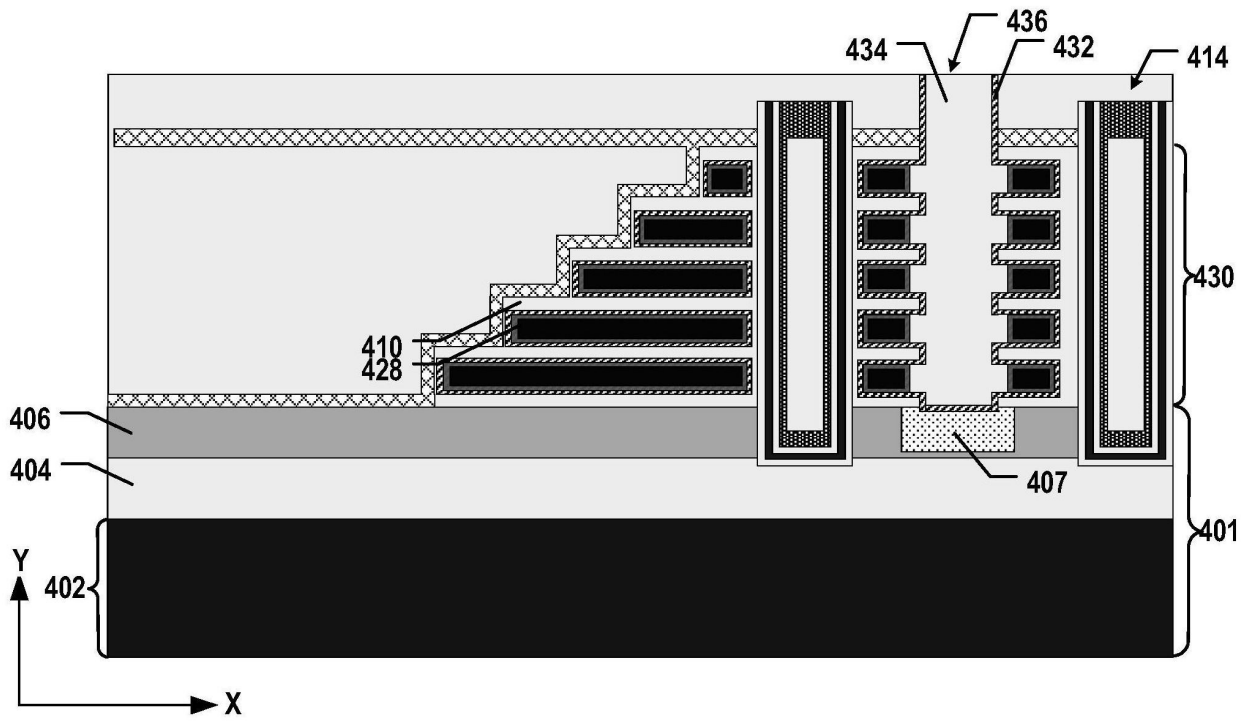


图4E

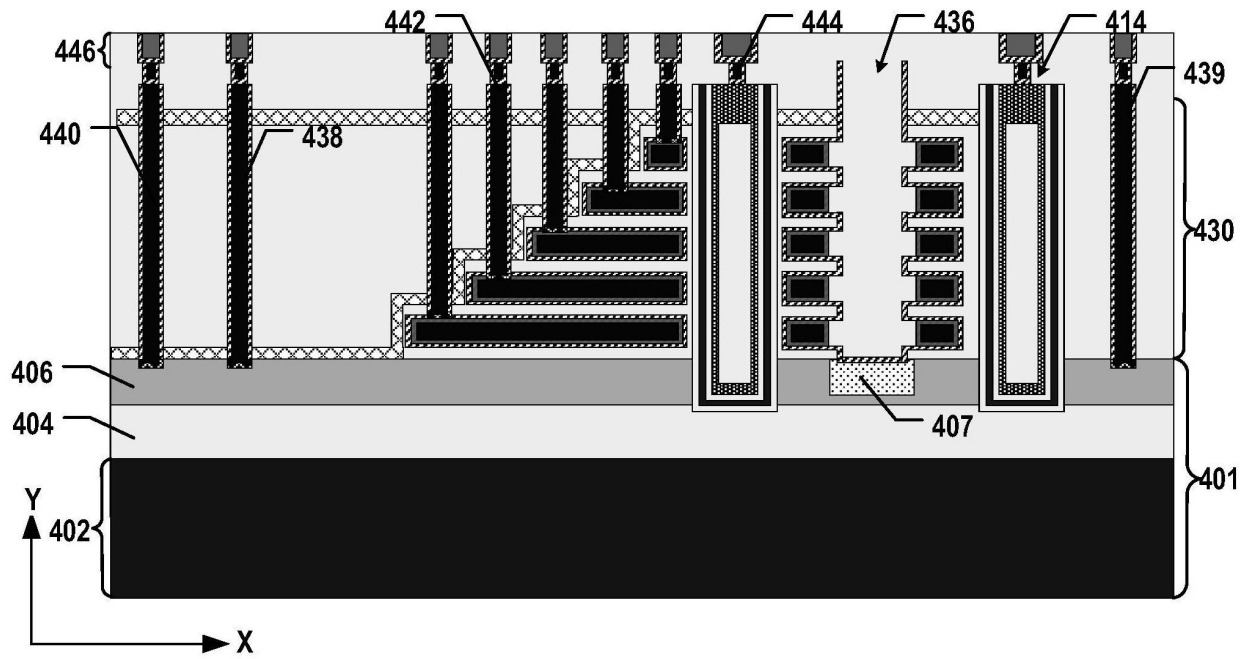


图4F

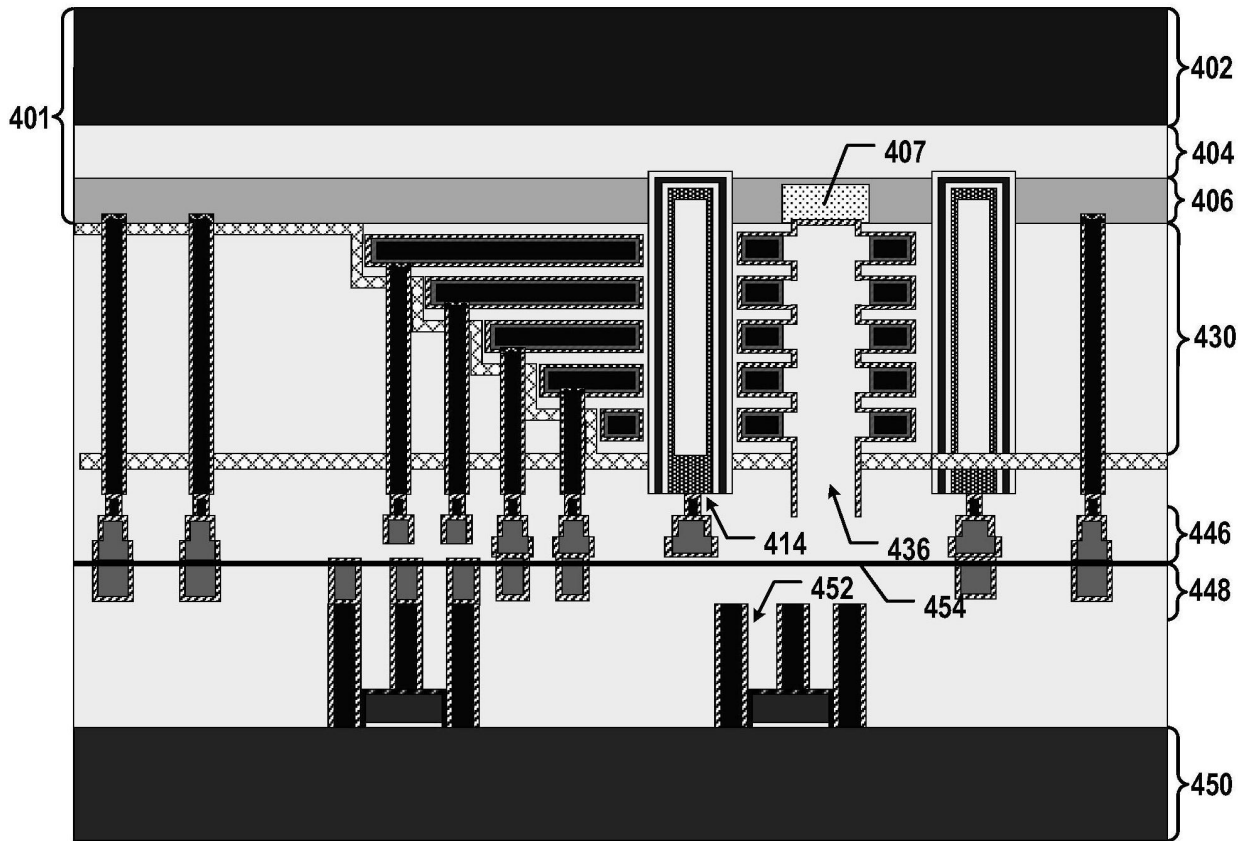


图4G

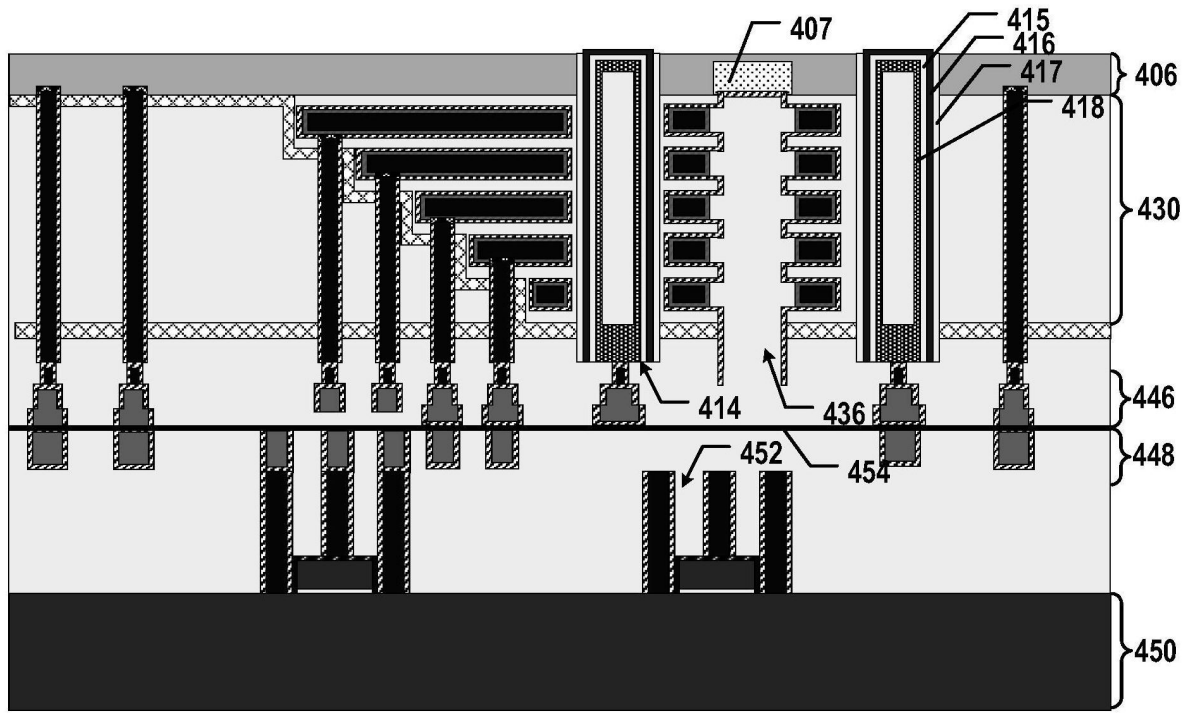


图4H

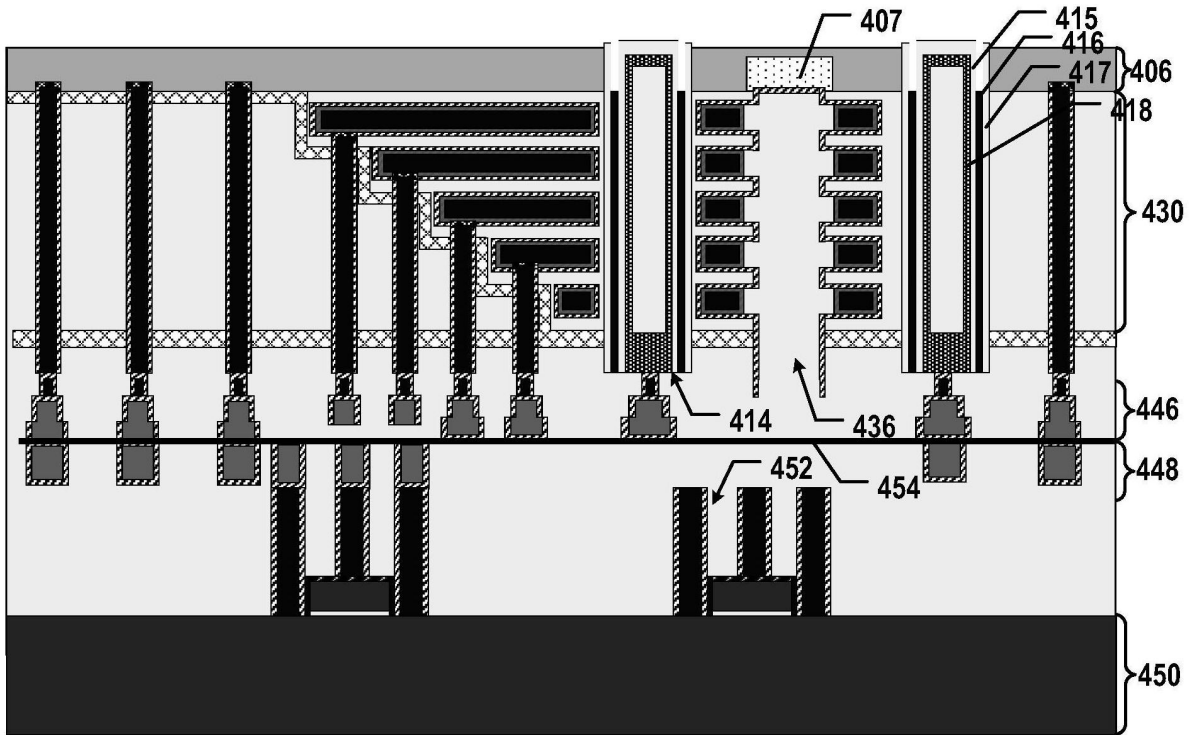


图4I

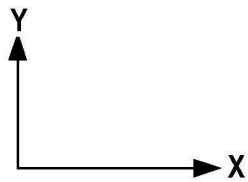
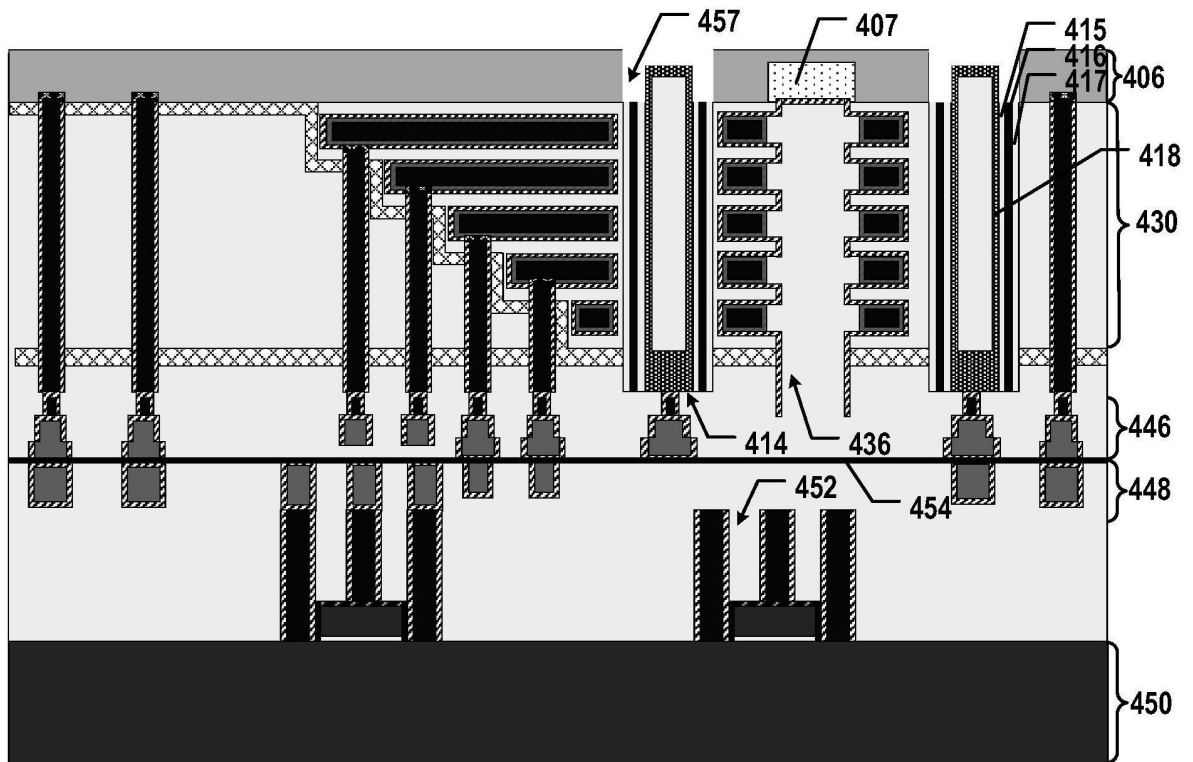


图4J

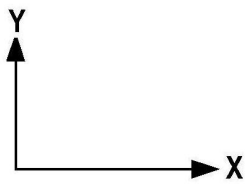
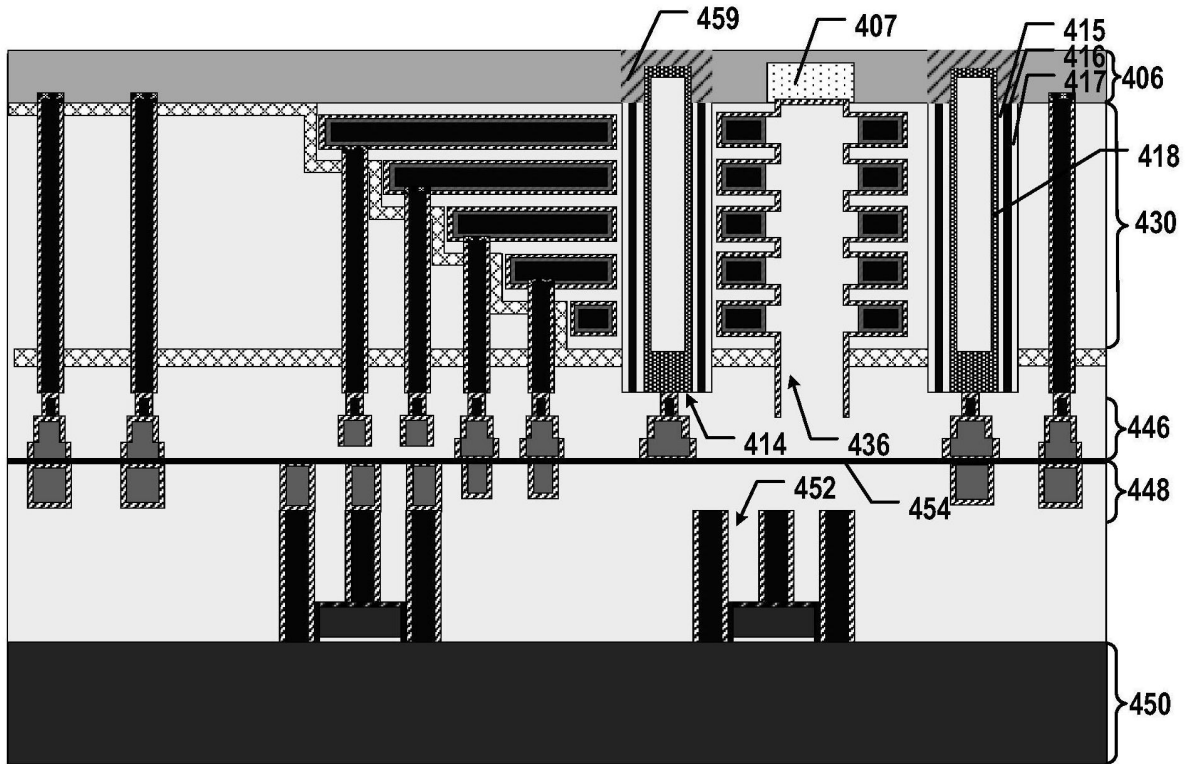


图4K

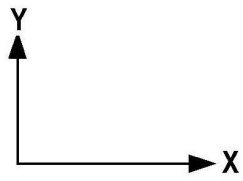
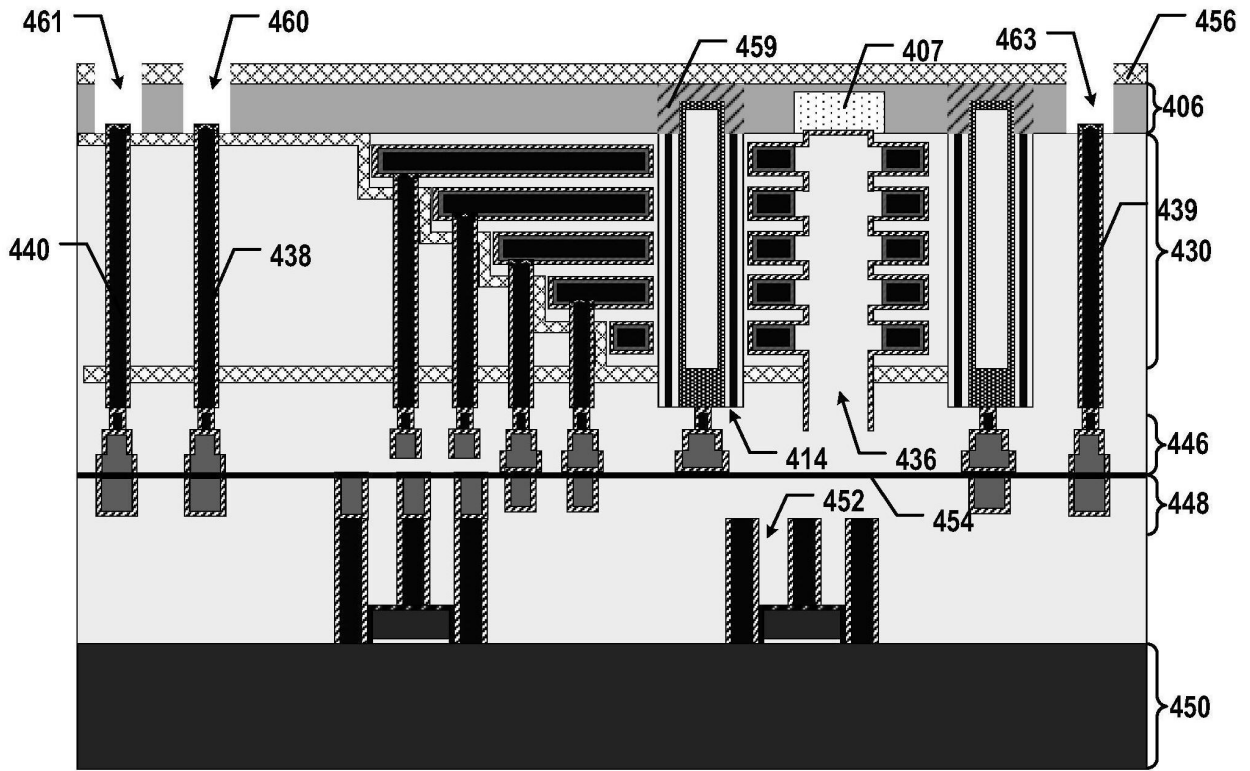


图4L

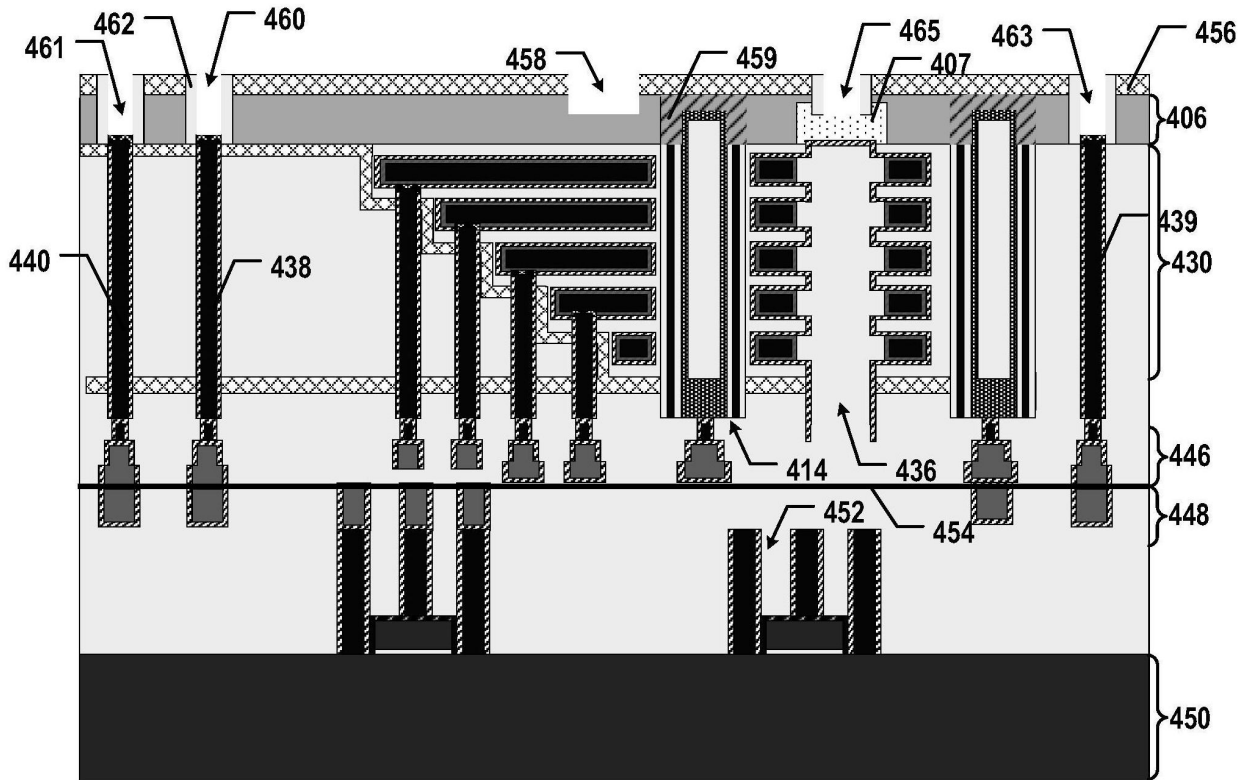


图4M

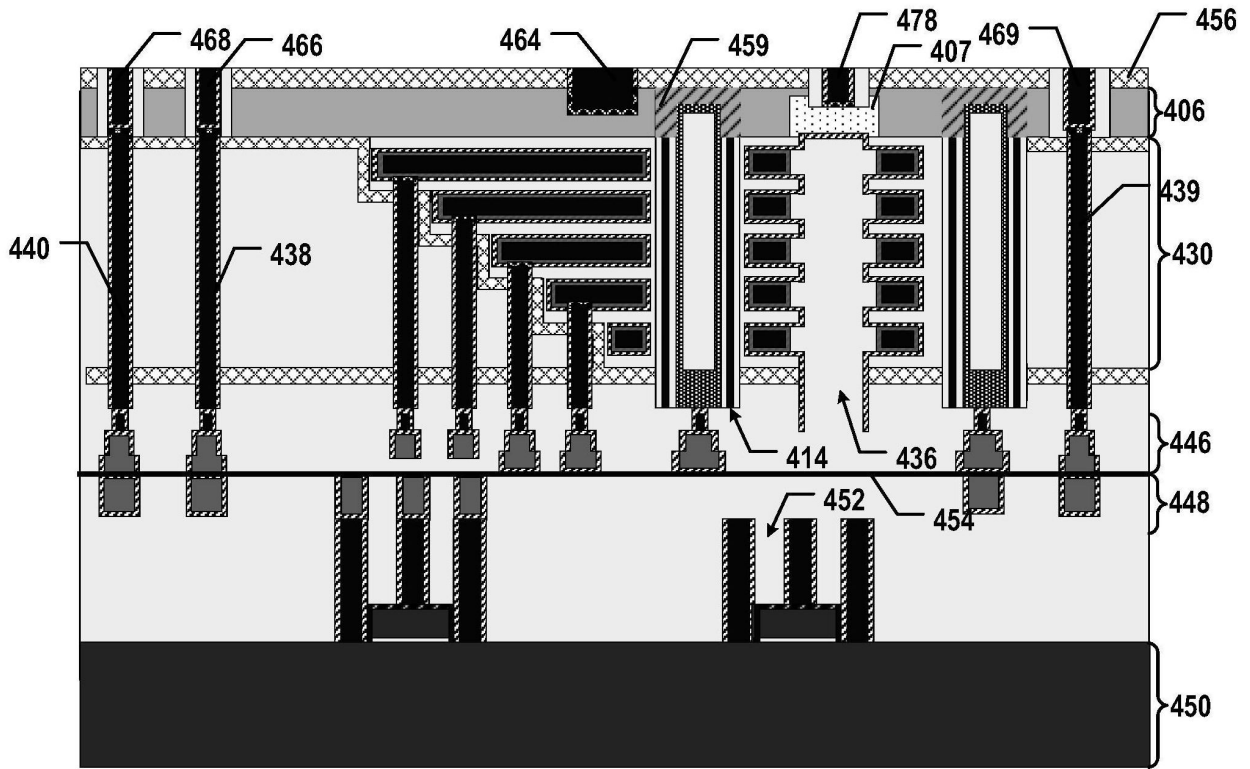


图4N

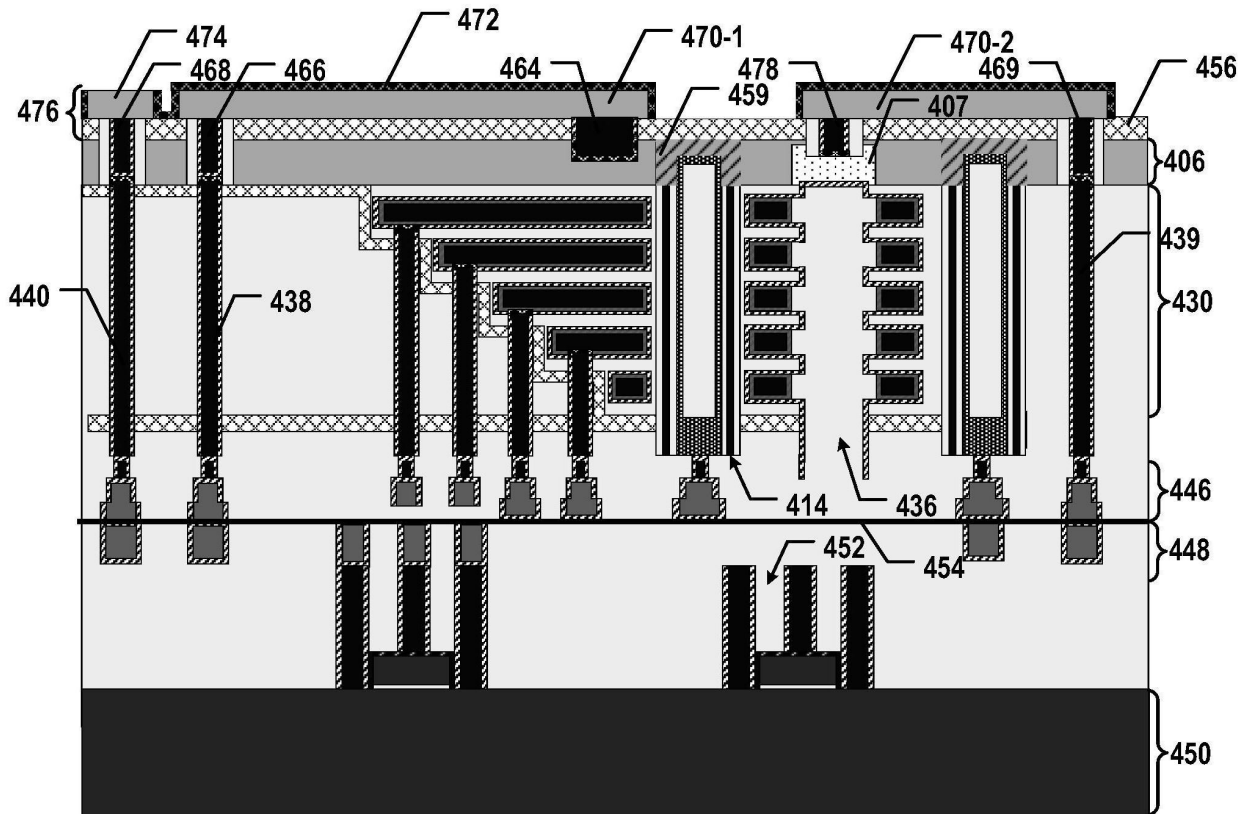


图40

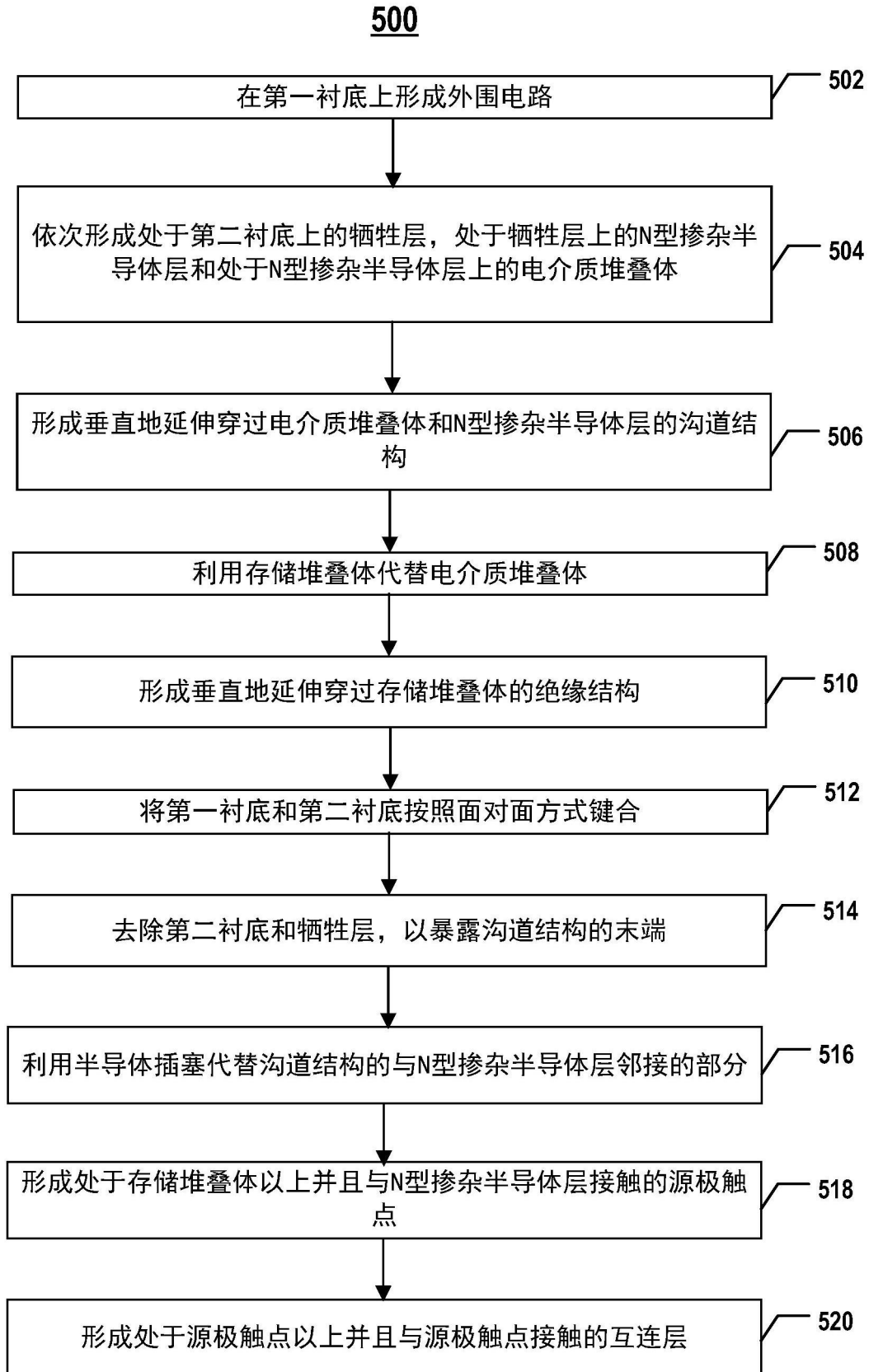


图5A

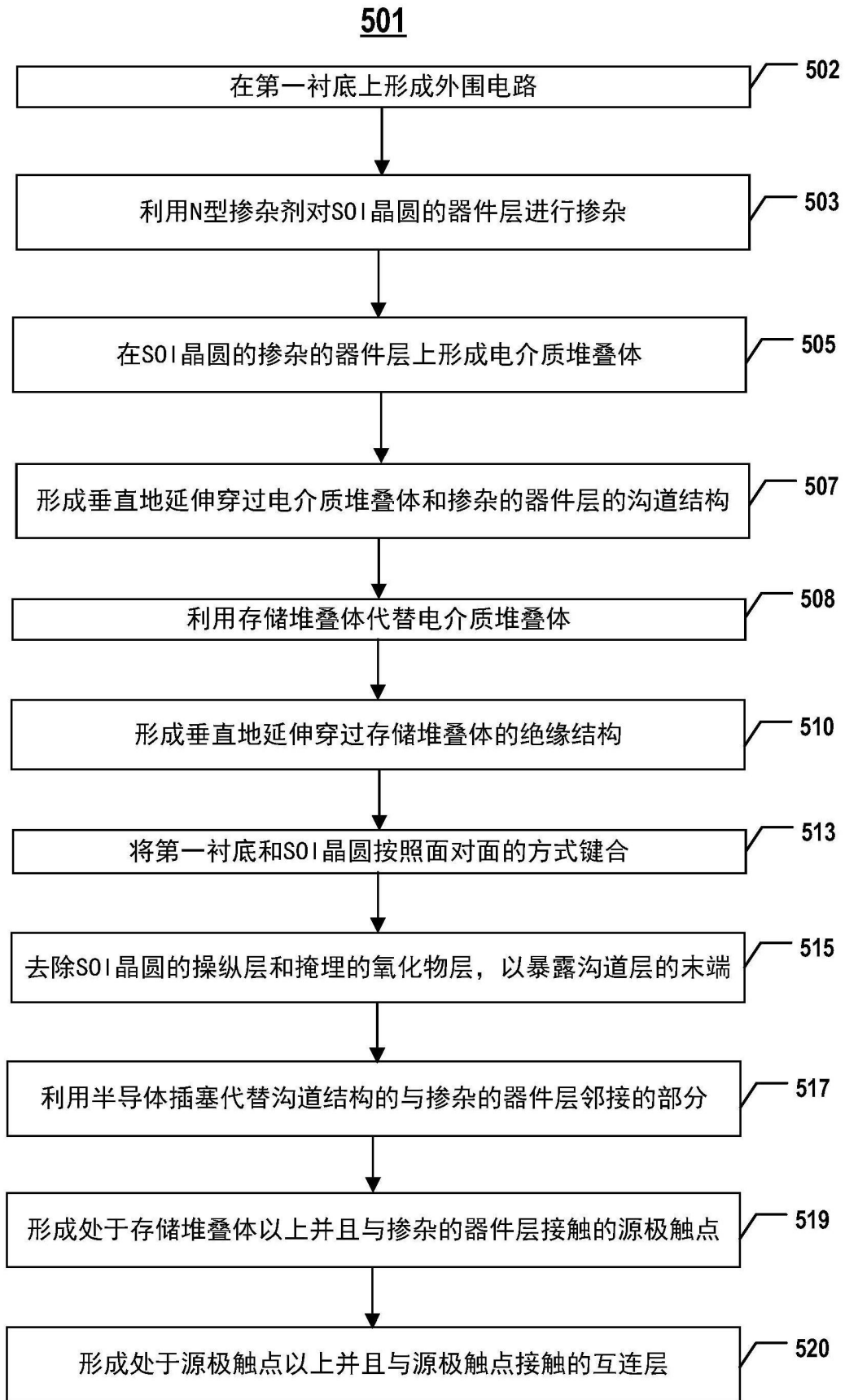


图5B

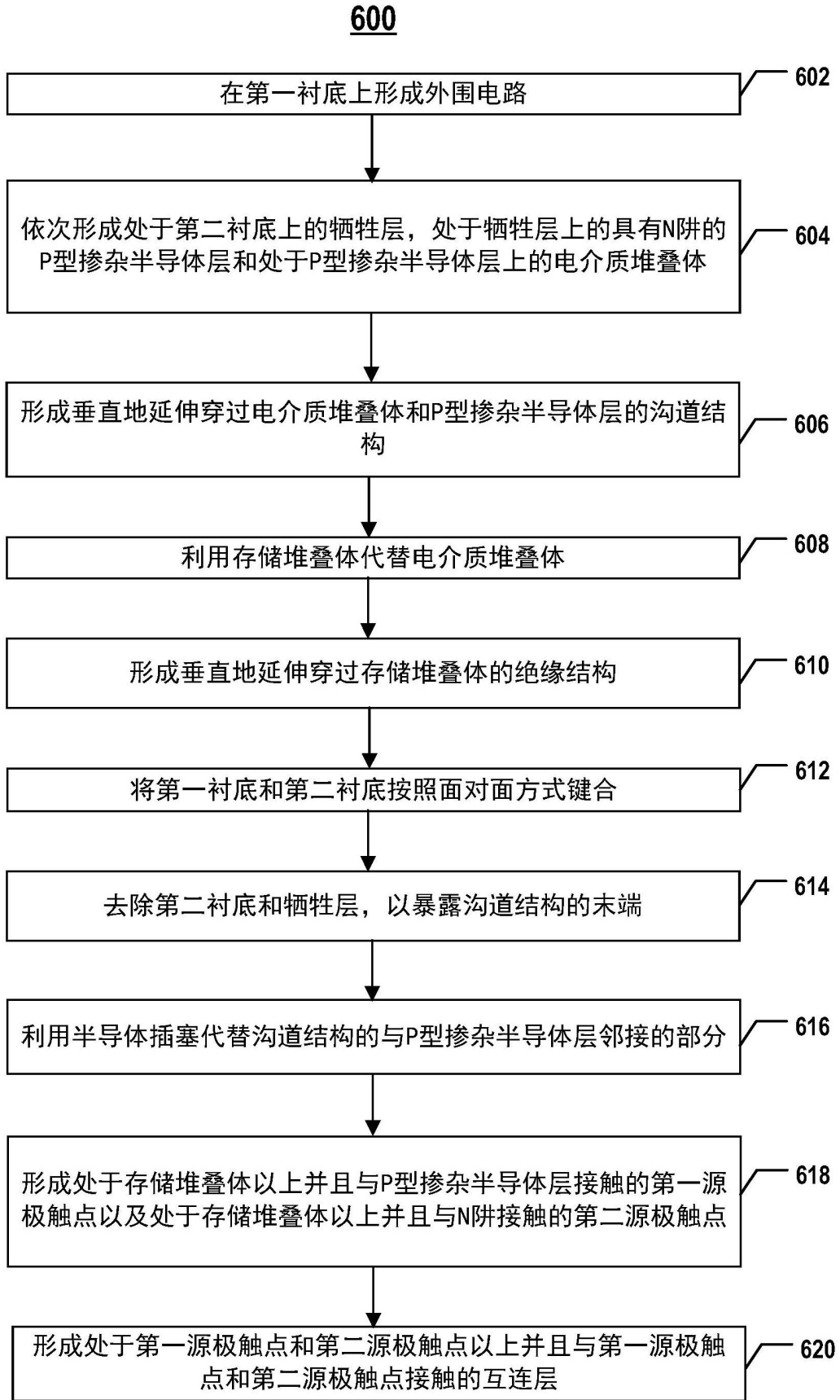


图6A

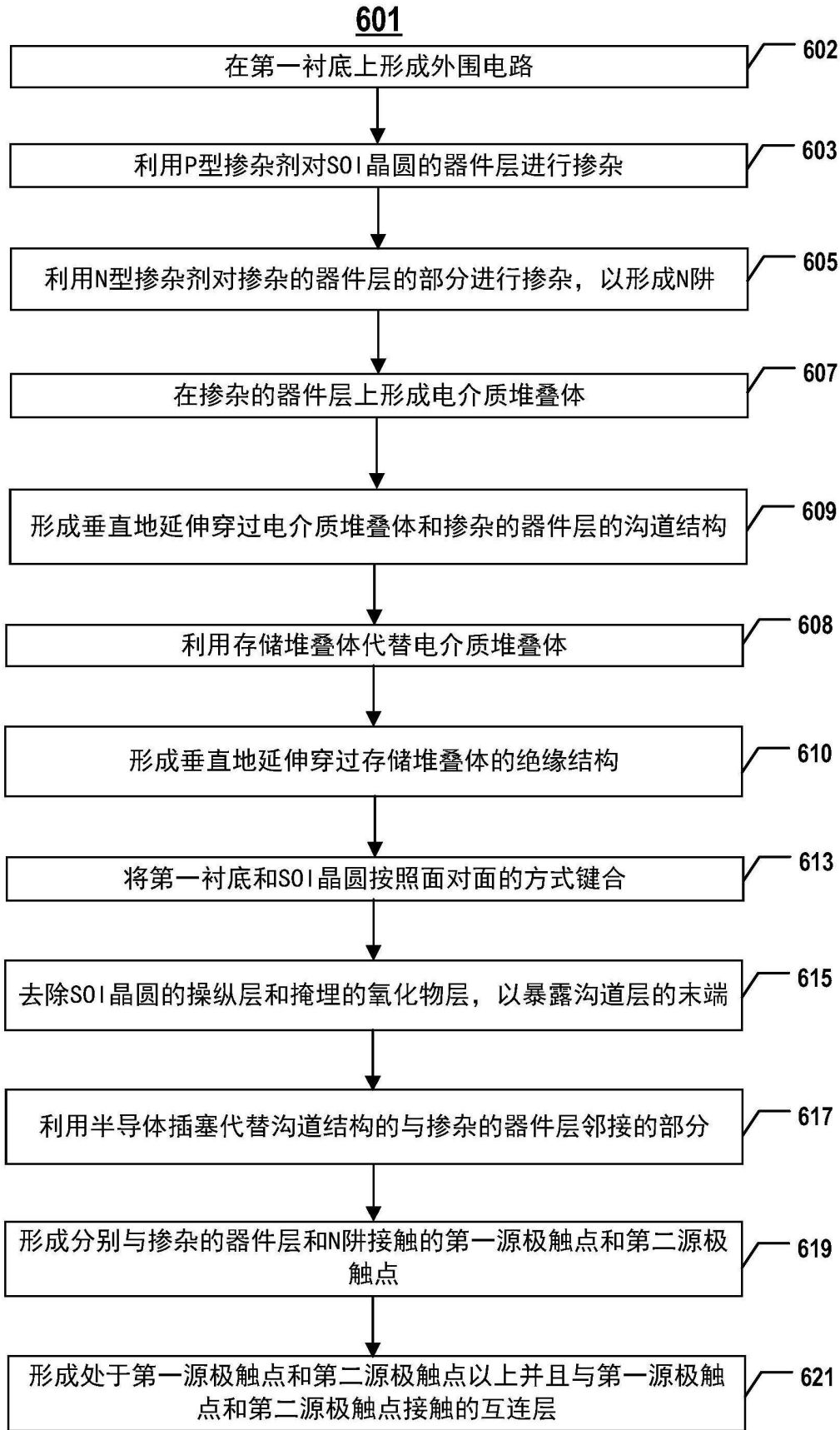


图6B