

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-143067

(P2007-143067A)

(43) 公開日 平成19年6月7日(2007.6.7)

(51) Int. Cl.	F I	テーマコード (参考)
HO4N 5/335 (2006.01)	HO4N 5/335 E	4M118
HO1L 27/146 (2006.01)	HO1L 27/14 A	5CO24

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号 特願2005-337494 (P2005-337494)
 (22) 出願日 平成17年11月22日 (2005.11.22)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100076428
 弁理士 大塚 康德
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100116894
 弁理士 木村 秀二
 (72) 発明者 板野 哲也
 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

最終頁に続く

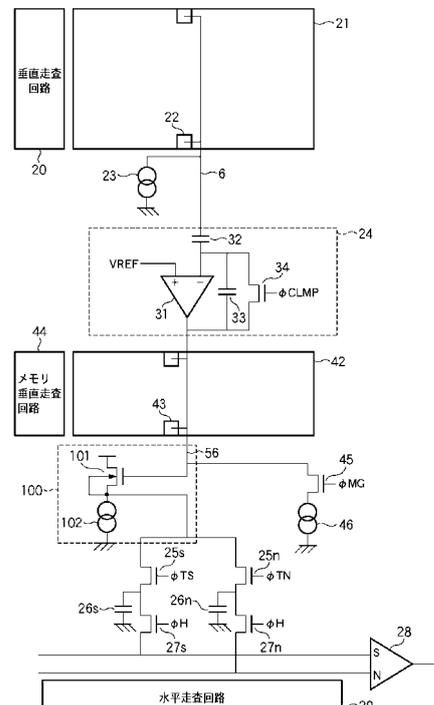
(54) 【発明の名称】 撮像装置及び撮像システム

(57) 【要約】

【課題】 MOSタイプの増幅型固体撮像装置において、フレームメモリに一時的に撮像して得られた電荷信号を格納するMOSタイプの固体撮像装置において、フレームメモリの駆動能力を抑えること。

【解決手段】 入射光を電荷信号に変換する光電変換部と当該光電変換部から出力される電荷信号を増幅して出力する増幅トランジスタとを少なくとも有する画素(22)を、2次元に複数配置した画素領域(21)と、各画素から出力された電荷信号をそれぞれ保持する為の、光電変換部に対応したメモリセル(43)と当該各メモリセルに保持された電荷信号を出力するための複数のメモリ入出力線(56)とを有するメモリ部(42)と、メモリ部からの出力をインピーダンス変換するソースフォロア回路(100)と、該ソースフォロア回路を介して、メモリセルに保持された電荷信号を順次走査し、外部に出力する走査手段(25~29)とを有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入射光を電荷信号に変換する光電変換部と、前記光電変換部から出力される電荷信号を増幅して出力する増幅トランジスタとを少なくとも有する画素を、2次元に複数配置した画素部と、

前記画素部の各画素から出力された電荷信号をそれぞれ保持する為の前記光電変換部に対応したメモリセルと、当該各メモリセルに保持された電荷信号を出力するための複数の出力線とを有する記憶部と、

前記記憶部からの出力をインピーダンス変換する変換手段と、

前記変換手段を介して、前記メモリセルに保持された電荷信号を順次走査し、外部に出力する走査手段と、

を有することを特徴とする撮像装置。

10

【請求項 2】

入射光を電荷信号に変換する光電変換部と、前記光電変換部から出力される電荷信号を増幅して出力する増幅トランジスタとを少なくとも有する画素を、2次元に複数配置した画素部と、

前記画素部の各画素から出力された電荷信号をそれぞれ保持する為の前記光電変換部に対応したメモリセルと、当該各メモリセルに保持された電荷信号を出力するための複数の出力線とを有する記憶部と、

前記記憶部からの出力をレベルシフトさせる変換手段と、

前記変換手段を介して、前記メモリセルに保持された電荷信号を順次走査し、外部に出力する走査手段と、

を有することを特徴とする撮像装置。

20

【請求項 3】

前記変換手段はソースフォロア回路であって、前記出力線が前記ソースフォロア回路を構成するトランジスタのゲート電極に入力することを特徴とする請求項 1 または 2 に記載の撮像装置。

【請求項 4】

前記変換手段は、増幅手段であることを特徴とする請求項 1 または 2 に記載の撮像装置。

30

【請求項 5】

前記画素部の各画素から出力される電荷信号を、前記記憶部に順次転送させる転送制御手段を更に有することを特徴とする請求項 1 乃至 4 のいずれかに記載の撮像装置。

【請求項 6】

請求項 1 乃至 5 のいずれかに記載の撮像装置と、

前記撮像装置により得られた電荷信号を処理して画像データを取得する画像処理手段と、

前記画像処理手段により処理された画像データを記憶する記憶手段とを有することを特徴とする撮像システム。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は撮像装置及び当該撮像装置を用いた撮像システムに関し、更に詳しくは、アナログフレームメモリを備えた増幅型固体撮像装置及び当該撮像装置を用いた撮像システムに関する。

【背景技術】

【0002】

従来、増幅型固体撮像装置の一例として、一般的な増幅型MOSセンサと称される固体撮像装置の概略について説明する。

【0003】

50

増幅型MOSセンサは、複数の単位画素が一次元状あるいは二次元状に配列されたものであり、図5は、MOS型の撮像装置の単位画素の等価回路図の一例を示す図である。

【0004】

図5において、光電変換素子1から転送MOSトランジスタ(転送SW)3を介してソースフォロアを構成するMOSトランジスタ2のゲートに電荷が転送される。また、トランジスタ2のソースは画素選択MOSトランジスタ(選択SW)5を介して画素出力線6へと接続されている。また、MOSトランジスタ2のゲートを所定電位にリセットするリセットMOSトランジスタ(リセットSW)4が設けられている。

【0005】

図6は、図5に示す構成を有する単位画素を二次元に配列した増幅型固体撮像装置の構成を示す等価回路図である。図6に示すように、画素領域21には図5の等価回路図で示した構成を有する単位画素22が二次元状に配列される。

10

【0006】

図6において、23は定電流源、24は、単位画素22から読み出された出力を増幅する増幅回路であり、各列毎に構成されている(以下、「列アンプ」と呼ぶ。)。列アンプ24は、例えば差動増幅回路等を用いた演算増幅器31、入力容量32、帰還容量33、クランプ制御スイッチ34で構成され、入力容量と帰還容量の比で反転ゲインが得られる。

【0007】

また、20は画素領域21の電荷を各行毎に走査し、列アンプ24に転送する為の垂直走査回路、29は行毎に読み出された電荷を水平方向に転送する水平走査回路である。

20

【0008】

26s及び26nは、列アンプ24を介して読み出した信号を一次保持するラインメモリ、25s及び25nは、ラインメモリ26s及び26nに列アンプ24からの出力を転送する列アンプ出力転送スイッチである。また、27s及び27nは、ラインメモリ26s及び26nに保持された信号を読み出して、差分アンプ28に転送する出力転送スイッチであり、差分アンプ28は、転送された信号間の差分を出力する。

【0009】

次に、図5及び図6に示す構成を有する増幅型固体撮像装置における画素の読み出し動作について、図7のタイミングチャートを参照して説明する。

30

【0010】

垂直走査回路20によってある行nが選択されると、まずリセット信号RES(n)がローとなり、リセットSW4がオフする。次に選択信号SEL(n)がハイとなり、選択SW5がオンとなることでMOSトランジスタ2のソースは画素出力線6と導通する。これにより、選択された画素と定電流源24によって、ソースフォロア回路が形成され、画素リセット状態に対応する出力が画素出力線6に読み出される。

【0011】

この状態でCLMPがハイとなり、列アンプ24の反転入力端子と出力端子が短絡され、画素リセット状態に対応する出力が所定電圧Vrefにクランプされる。そして列アンプ24の出力は画素リセット状態に対応する出力、即ち、ノイズ出力として、TNをハイとすることによって列アンプ出力転送スイッチ25nを介してラインメモリ26nに読み出される。

40

【0012】

その後、転送パルスTX(n)によって転送SW3が一定期間オンとなり、光電変換素子1で発生した光信号による電圧変化の状態に対応した電圧がMOSトランジスタ2のゲートに転送され、画素出力線6に読み出される。CLMPはローとなっており、列アンプ24では光信号による画素出力線6の電圧変化成分に対して反転ゲインを与えた電圧成分がノイズ出力に重畳された光電荷出力を生じる。ひきつづきTSがハイとなり、光電荷出力が出力転送スイッチ25sを介してラインメモリ26sに読み出される。

【0013】

50

次に水平走査期間において水平転送動作が行われる。この水平転送動作では、水平走査回路29によってHを列毎に順次ハイにし、出力転送スイッチ27s及び27nを同時にオンすることで選択した列のノイズ信号、光電荷信号を読み出す。そして、差分アンプ28にて読み出したノイズ信号と光電荷信号の差分をとることにより、ノイズ成分を除去した光電荷成分に対応する出力を得ることができる。このように、垂直走査回路20によって選択する行を走査し、水平走査回路29により順次画素の読み出し動作を繰り返すことで、全画素の光成分の出力を取得する。

【0014】

このように、増幅型固体撮像装置の読み出し動作は1行ずつ行われるため、画素の信号蓄積動作のタイミングは1行毎にずれることになる。従って、第1行目と最終行とでは、画素の信号蓄積動作のタイミングのずれは、ほぼ1フィールド時間となる。増幅型固体撮像装置におけるこの動作タイミングのずれは、高速動作する被写体を写したときに、画像のゆがみとなって現れる。

10

【0015】

この欠点を改善する目的で、アナログフレームメモリを備えた固体撮像装置が提案されている(例えば、特許文献1及び2を参照)。

【0016】

【特許文献1】特開昭58-125982号公報

【特許文献2】特開平02-65380号公報

【発明の開示】

20

【発明が解決しようとする課題】**【0017】**

しかしながら、上述した従来のアナログフレームメモリを備えた固体撮像装置は、フレームレートに関する以下の欠点を有している。すなわち、アナログフレームメモリを備えた増幅型固体撮像装置のフレームレートは、全行のメモリ書き込み期間、メモリ読み出し期間、水平走査期間によって決まるものであり、従来技術においてはメモリ読み出し時間で制限される。これは、メモリセル増幅トランジスタがラインメモリおよびメモリ入出力線の寄生容量を負荷としているために、十分な書き込み速度が得られないためである。メモリセル増幅トランジスタの駆動能力はそのサイズに依存しており、駆動能力向上はアナログフレームメモリのサイズ増大、すなわち、チップコスト増大につながるものとなる。

30

【0018】

本発明は上記問題点を鑑みてなされたものであり、フレームメモリに一時的に撮像して得られた電荷信号を格納するMOSタイプの固体撮像装置において、フレームメモリの駆動能力を抑えることを目的とする。

【課題を解決するための手段】**【0019】**

上記目的を達成するために、本発明の撮像装置は、入射光を電荷信号に変換する光電変換部と、前記光電変換部から出力される電荷信号を増幅して出力する増幅トランジスタとを少なくとも有する画素を、2次元に複数配置した画素部と、前記画素部の各画素から出力された電荷信号をそれぞれ保持する為の前記光電変換部に対応したメモリセルと、当該各メモリセルに保持された電荷信号を出力するための複数の出力線とを有する記憶部と、前記記憶部からの出力をインピーダンス変換する変換手段と、前記変換手段を介して、前記メモリセルに保持された電荷信号を順次走査し、外部に出力する走査手段とを有する。

40

【0020】

また、別の構成によれば、本発明の撮像装置は、入射光を電荷信号に変換する光電変換部と、前記光電変換部から出力される電荷信号を増幅して出力する増幅トランジスタとを少なくとも有する画素を、2次元に複数配置した画素部と、前記画素部の各画素から出力された電荷信号をそれぞれ保持する為の前記光電変換部に対応したメモリセルと、当該各メモリセルに保持された電荷信号を出力するための複数の出力線とを有する記憶部と、前記記憶部からの出力をレベルシフトさせる変換手段と、前記変換手段を介して、前記メモ

50

リセルに保持された電荷信号を順次走査し、外部に出力する走査手段とを有する。

【0021】

また、本発明の撮像システムは、上記いずれかに記載の撮像装置と、前記撮像装置により得られた電荷信号を処理して画像データを取得する画像処理手段と、前記画像処理手段により処理された画像データを記憶する記憶手段とを有する。

【発明の効果】

【0022】

本発明によれば、フレームメモリに一時的に撮像して得られた電荷信号を格納するMOSタイプの固体撮像装置において、フレームメモリの駆動能力を抑えることが可能となる。

10

【発明を実施するための最良の形態】

【0023】

以下、添付図面を参照して本発明を実施するための最良の形態を詳細に説明する。

【0024】

まず、アナログフレームメモリを備えた固体撮像装置の構成例について、図8を参照して説明する。なお、図6と同様の要素については同じ参照番号を付している。

【0025】

図6と比較して、図8に示す構成では、以下の構成が追加されている。即ち、メモリ領域42、メモリ領域42に列アンプ24の出力を入力する為のメモリ入力トランジスタ41、メモリ領域42から信号を読み出す列を制御するMOSスイッチ45を更に含む。また、メモリ領域42の信号をメモリ入出力線56に読み出すための定電流源46、メモリ領域42の読み出し行を制御するメモリ垂直走査回路44を含む。

20

【0026】

メモリ領域42は、少なくとも単位画素と同数のメモリセル43を有する。各メモリセル43は図9に示すように、メモリ容量51、メモリソースフォロア入力トランジスタ52、メモリ書き込みトランジスタ54、メモリ選択トランジスタ55、およびメモリ入出力線56から成っている。

【0027】

次に、図8及び図9に示す構成を有する固体撮像装置の読み出し動作について、図10のタイミングチャートを参照して説明する。

30

【0028】

まず、SHおよびMWRをハイとし、画素出力線6の電圧変化成分に対して列アンプ24により反転ゲインを与えた電圧成分が、メモリ入力トランジスタ41およびメモリ書き込みトランジスタ54を介してメモリ容量51に書き込まれる。画素からメモリ領域42への一連の書き込み動作（メモリ書き込み）が終了した後、メモリ領域42からラインメモリ26sまたは26nへの読み出し（メモリ読み出し）が行われる。メモリ読み出しはMGをハイとすることによってメモリ入出力線56に電流を供給し、MSELをハイとすることによって選択されたメモリセルと定電流負荷45によってソースフォロア回路を形成することによって行う。選択されたメモリセル43のメモリ容量51の出力は、メモリ入出力線56およびメモリ出力転送スイッチ25sを介してラインメモリ26sに光電荷信号として読み出される。

40

【0029】

次に、CLMPをハイの状態、つまりクランプ制御スイッチ34を導通させた状態でSHおよびMWRをハイとし、列アンプ24のオフセット成分をメモリ成分に書き込み、光電荷信号のメモリ読み出しと同様にしてノイズ信号のメモリ読み出しを行う。この後、水平走査回路29によってHを列毎に順次ハイにし、出力転送スイッチ27s及び27nを同時にオンすることで選択した列のノイズ信号、光電荷信号を読み出す。そして、差分アンプ28にて読み出したノイズ信号と光電荷信号の差分をとることにより、ノイズ成分を除去した光電荷成分に対応する出力を得ることができる。

【0030】

50

このように、二次元に配列された画素からの信号を、水平転送動作を行わずに、対応するメモリセルに一旦全て転送し、その後、ほぼ1フィールド期間をかけて、メモリセルから信号を行毎に読み出して、順次水平転送を行う。このような読み出しの制御を行うことにより、第1行目と最終行における画素の信号蓄積動作タイミングのずれを著しく短縮することができる。

【0031】

しかしながら、上記構成によっても、メモリセル増幅トランジスタがラインメモリおよびメモリ入出力線の寄生容量を負荷としているために、十分な書き込み速度を得ることができない。また、メモリセル増幅トランジスタの駆動能力はそのサイズに依存しているため、必要な駆動能力が高いほどアナログフレームメモリのサイズ、すなわち、チップコストが増大していた。

10

【0032】

<第1の実施形態>

図1は本発明の第1の実施形態における増幅型固体撮像装置の構成を示す図である。なお、図1に示す例では、画素領域21の下方方向に読み出し系を有する構成を示しているが、本発明はこれに限るものではなく、上方方向や、上下それぞれに読み出し系を有する構成等としても良い。

【0033】

図8で示される構成との違いは、アナログフレームメモリ42の出力後にソースフォロア回路100が形成される点である。ソースフォロア回路100はメモリソースフォロア入力トランジスタ101と定電流源102により構成される。なお、他の構成要素については図8に示した構成と同様であるため、同じ参照番号を付し、説明を省略する。また、基本的な読み出し動作も、図10を参照して説明した図8の読み出し動作と同様であるため、説明を省略する。

20

【0034】

本第1の実施形態における図1に示す構成では、アナログフレームメモリ42の出力がメモリソースフォロア入力トランジスタ101のゲート電極に入力する。このように構成することで、図8のようにアナログフレームメモリ42の出力を直接、出力転送スイッチ25sまたは25nのドレイン電極に出力する場合と比較して、インピーダンスが減少する。これにより、より小さいメモリソースフォロア入力トランジスタ101の駆動能力で、アナログフレームメモリ42から高速にデータを読み出すことが可能になる。

30

【0035】

上記の様に本第1の実施形態によれば、フレームメモリに一時的に撮像して得られた電荷信号を格納するMOSタイプの増幅型固体撮像装置において、フレームメモリの駆動能力を抑えることができる。これにより、フレームメモリの読み出し時間を短縮することができると共に、サイズを小さくすることが可能となる。

【0036】

<第2の実施形態>

次に、本発明の第2の実施形態について説明する。

【0037】

図2は本発明の第2の実施形態における増幅型固体撮像装置の構成を示す図である。

40

【0038】

図2に示す構成と上記第1の実施形態で説明した図1に示す構成との違いは、ソースフォロア回路200のメモリソースフォロア入力トランジスタ201をPMOSトランジスタで構成した点である。ソースフォロア回路200はメモリソースフォロア入力トランジスタ201及び定電流源202で構成される。

【0039】

図8に示す構成、第1の実施形態を含めて、本発明の固体撮像装置においては、信号経路上で影響を及ぼすノイズの影響をあらかじめ補償しておくために、列アンプ24を高ゲインに設計することが望ましい。また、本第2の実施形態において、列アンプ24は反転

50

増幅タイプであるために、高ゲインかつ十分なダイナミックレンジを得る為には、低レベルのVREFを用いることが望ましい。この場合、アナログフレームメモリ42の出力後のレベルも同様に低くなる。本第2の実施形態では、ラインメモリ27s、27nでの動作点を上にシフトすることを目的として、PMOSタイプのソースフォロア回路を用いる。このように構成することで、列アンプ24を高ゲインに設計することが可能となり、上述した第1の実施形態と同様の効果に加え、ノイズの影響の抑制された、さらに良質な画像を得ることが可能となる。

【0040】

<変形例>

上記第1及び第2の実施形態では、ソースフォロア回路100及び200を用いた構成について説明したが、アナログフレームメモリ42の出力後に、列アンプ24と同様の形式のゲインアンプを用いることも可能である。この様に構成しても、ソースフォロア回路と同様に、ゆがみがなく、かつ高フレームレートで画像を得ることが可能となる。

10

【0041】

<第3の実施形態>

次に、図3を参照して、上記第1及び第2の実施形態で説明した増幅型固体撮像装置を用いたデジタルスチルカメラについて説明する。

【0042】

図3において、401はレンズのプロテクトとメインスイッチを兼ねるバリア、402は被写体の光学像を増幅型固体撮像装置404に結像させるレンズ、403はレンズ402を通った光量を可変制御するための絞りである。404はレンズ402により結像された被写体光学像を画像信号として取り込むための増幅型固体撮像装置であって、上述した第1または第2の実施形態で説明した構成を有する。

20

【0043】

405は、撮像装置404から出力される画像信号を増幅するゲイン可変アンプ部及びゲイン値を補正するためのゲイン補正回路部等を含む撮像信号処理回路である。406は撮像信号処理回路405により処理された画像信号のアナログ-デジタル変換を行うA/D変換器、407はA/D変換器406より出力された画像データに各種の補正を行ったデータや圧縮する信号処理部である。408は撮像装置404、撮像信号処理回路405、A/D変換器406、信号処理部407に、各種タイミング信号を出力するタイミング発生部である。409は各種演算とデジタルスチルカメラ全体を制御する全体制御・演算部、410は画像データを一時的に記憶する為のメモリ部である。

30

【0044】

411は記録媒体に記録または読み出しを行うための記録媒体制御インターフェース部、412は画像データの記録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体、413は外部コンピュータ等と通信する為のインターフェース部である。

【0045】

次に、上記構成を有するデジタルスチルカメラにおける撮影時の動作について説明する。

【0046】

バリア401がオープンされるとメイン電源がオンされ、次にコントロール系の電源がオンし、更にA/D変換器406などの撮像系回路の電源がオンされる。

40

【0047】

その後、露光量を制御する為には、全体制御・演算部409は絞り403を開放にし、撮像装置404から出力された信号はA/D変換器406で変換された後、信号処理部407に入力される。全体制御・演算部409は、信号処理部407により所定の信号処理がされたデータを基に測光を行い、その結果により明るさを判断し、露出の演算を行う。そして得られた露出に応じて絞り403を制御する。

【0048】

次に、撮像装置404から出力された信号を基にして、全体制御・演算部409は高周

50

波成分を取り出して被写体までの距離の演算を行う。その後、レンズを駆動して合焦か否かを判断し、合焦していないと判断した時は、再びレンズを駆動し測距を行う。そして、合焦が確認された後に本露光を始める。

【0049】

露光が終了すると、撮像装置404から出力された画像信号はA/D変換器406でA/D変換され、信号処理部407を通り全体制御・演算部409によりメモリ部410に書き込まれる。

【0050】

その後、メモリ部410に蓄積されたデータは、全体制御・演算部409の制御により記録媒体制御I/F部411を通り半導体メモリ等の着脱可能な記録媒体412に記録される。

10

【0051】

また、外部I/F部413を通り直接コンピュータ等に入力して画像の加工を行ってもよい。

【0052】

<第4の実施形態>

次に、図4を参照して、上記第1及び第2の実施形態で説明した増幅型固体撮像装置を用いたデジタルビデオカメラについて説明する。

【0053】

図4において、501は撮影レンズであり、焦点調節を行うためのフォーカスレンズ501A、ズーム動作を行うズームレンズ501B、結像用のレンズ501Cを備えている。502は絞り、503は撮影レンズ501により撮像面に結像された被写体像を光電変換して電気的な画像信号に変換する増幅型固体撮像装置であって、上述した第1または第2の実施形態で説明した構成を有する。504は撮像装置503より出力された撮像信号をサンプルホールドし、さらに、信号レベルを増幅するサンプルホールド回路(S/H回路)であり、映像信号を出力する。

20

【0054】

505はS/H回路504から出力された映像信号にガンマ補正、色分離、ブランキング処理等の所定の処理を施すプロセス回路で、輝度信号Yおよびクロマ信号Cを出力する。プロセス回路S/H5から出力されたクロマ信号Cは、色信号補正回路21で、ホワイトバランス及び色バランスの補正がなされ、色差信号R-Y、B-Yとして出力される。

30

【0055】

また、プロセス回路505から出力された輝度信号Yと、色信号補正回路21から出力された色差信号R-Y、B-Yは、エンコーダ回路(ENC回路)24で変調され、標準テレビジョン信号として出力される。そして、図示しないビデオレコーダ、あるいは電子ビューファインダ等のモニタEVFへと供給される。

【0056】

また、506はアイリス制御回路であり、S/H回路504から供給される映像信号に基づいてアイリス駆動回路507を制御し、映像信号のレベルが所定レベルの一定値となるように、絞り502の開口量を制御すべくi gメータを自動制御する。

40

【0057】

513、514は、S/H回路504から出力された映像信号中より合焦検出を行うために必要な高周波成分を抽出する、異なった帯域制限のバンドパスフィルタ(BPF)である。第一のバンドパスフィルタ513(BPF1)、及び第二のバンドパスフィルタ514(BPF2)から出力された信号は、ゲート回路515及びフォーカスゲート枠信号で各々でゲートされ、ピーク検出回路516でピーク値が検出されてホールドされる。更に、ピーク値は、論理制御回路517に入力される。この信号を焦点電圧と呼び、この焦点電圧によってフォーカスを合わせている。

【0058】

また、518はフォーカスレンズ501Aの移動位置を検出するフォーカスエンコーダ

50

、 5 1 9 はズームレンズ 5 0 1 B の焦点距離を検出するズームエンコーダ、 5 2 0 は絞り 5 0 2 の開口量を検出するアイリスエンコーダである。これらのエンコーダの検出値は、システムコントロールを行う論理制御回路 5 1 7 へと供給される。

【 0 0 5 9 】

論理制御回路 5 1 7 は、設定された合焦検出領域内に相当する映像信号に基づいて、被写体に対する合焦検出を行い、焦点調節を行う。即ち、各々のバンドパスフィルタ 5 1 3 、 5 1 4 より供給された高周波成分のピーク値情報を取り込み、高周波成分のピーク値が最大となる位置へとフォーカスレンズ 5 0 1 A を駆動すべくフォーカス駆動回路 5 0 9 にフォーカスマータ 5 1 0 の回転方向、回転速度、回転 / 停止等の制御信号を供給し、これを制御する。

10

【 図面の簡単な説明 】

【 0 0 6 0 】

【 図 1 】 本発明の第 1 の実施形態における増幅型固体撮像装置の構成を示す等価回路図である。

【 図 2 】 本発明の第 2 の実施形態における増幅型固体撮像装置の構成を示す等価回路図である。

【 図 3 】 本発明の第 3 の実施形態におけるデジタルスチルカメラの構成を示すブロック図である。

【 図 4 】 本発明の第 4 の実施形態におけるデジタルビデオカメラの構成を示すブロック図である。

20

【 図 5 】 従来の MOS 型の撮像装置の単位画素の一例を示す等価回路図である。

【 図 6 】 従来の増幅型固体撮像装置の一例を示す等価回路図である。

【 図 7 】 従来の増幅型固体撮像装置における読み出し動作のタイミングチャートである。

【 図 8 】 アナログフレームメモリを備えた固体撮像装置の一例を示す等価回路図である。

【 図 9 】 各メモリセルの構成を示す等価回路図である。

【 図 1 0 】 アナログフレームメモリを備えた増幅型固体撮像装置における読み出し動作のタイミングチャートである。

【 図 1 1 】 アナログフレームメモリを備えた増幅型固体撮像装置のフレームレートを説明するためのタイミングチャートである。

30

【 符号の説明 】

【 0 0 6 1 】

2 0 垂直走査回路

2 1 画素領域

2 2 単位画素

2 3 定電流源

2 4 増幅回路 (列アンプ)

2 5 s 、 2 5 n 列アンプ出力転送スイッチ

2 6 s 、 2 6 n ラインメモリ

2 7 s 、 2 7 n 出力転送スイッチ

2 8 差分アンプ

2 9 水平走査回路

4 5 MOS スイッチ

4 6 定電流源

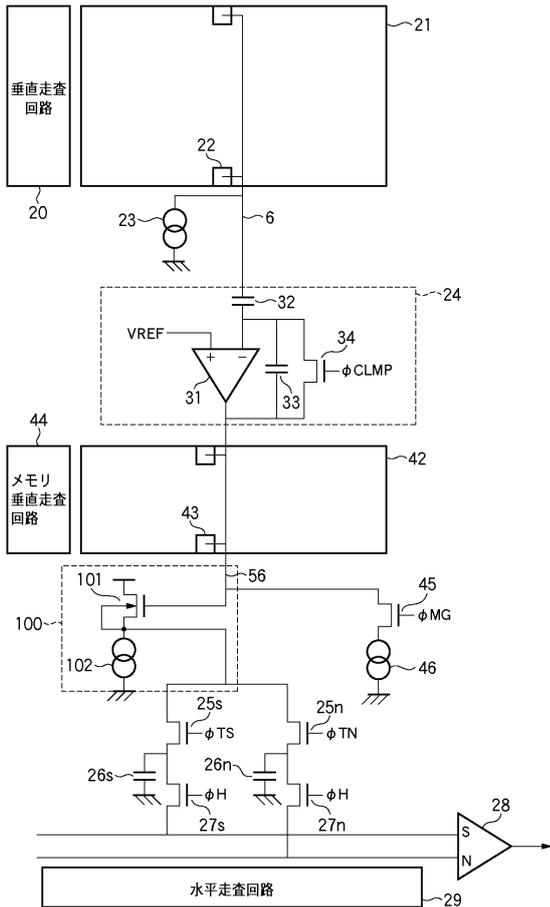
1 0 0 、 2 0 0 ソースフォロア回路

1 0 1 、 2 0 1 メモリソースフォロア入力トランジスタ

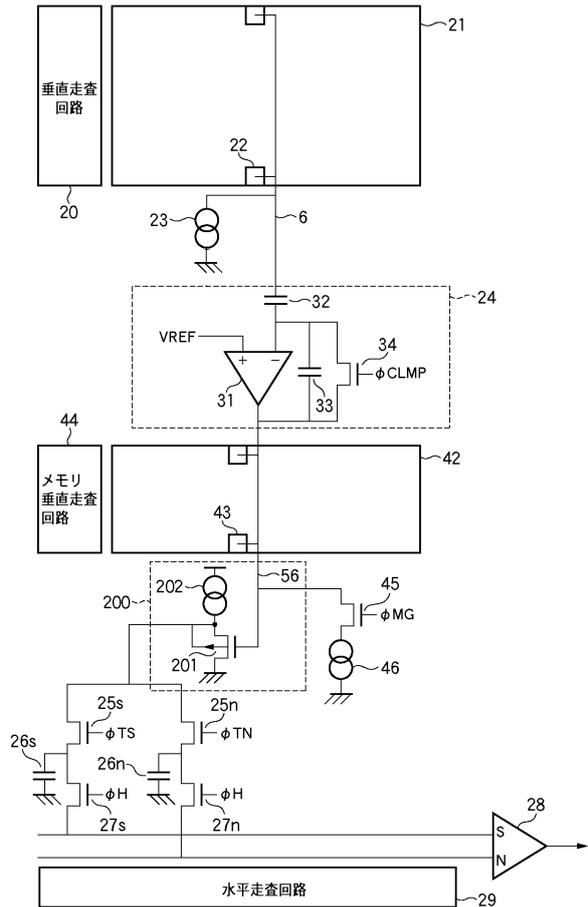
1 0 2 、 2 0 2 定電流源

40

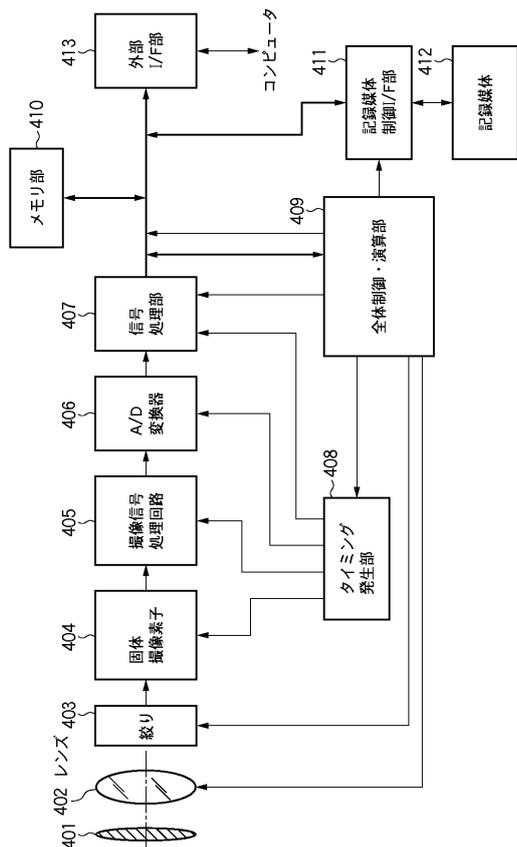
【図1】



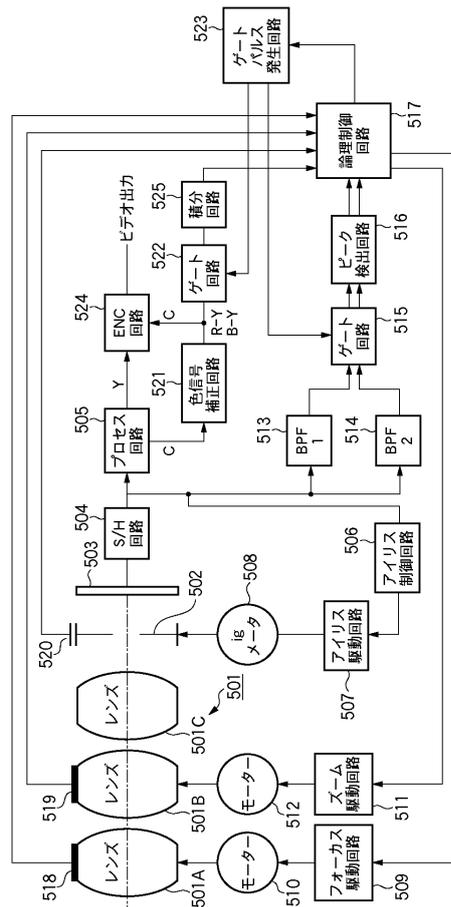
【図2】



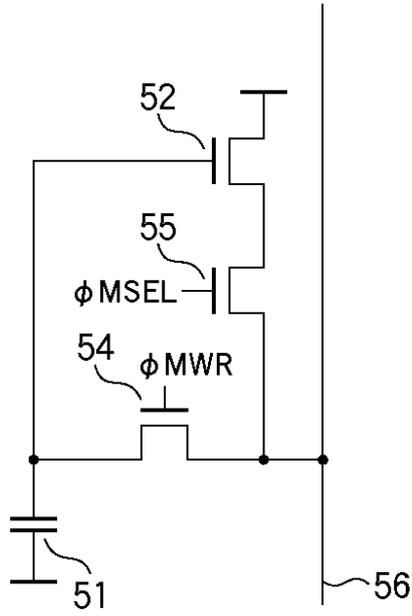
【図3】



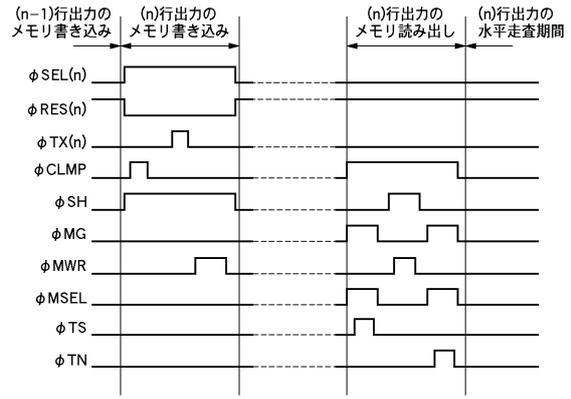
【図4】



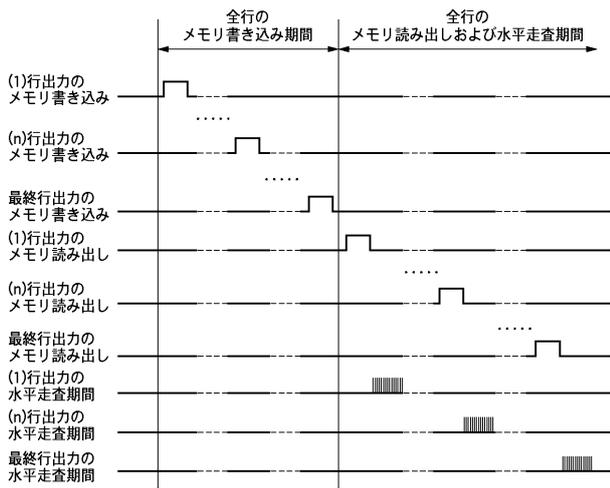
【 図 9 】



【 図 1 0 】



【 図 1 1 】



フロントページの続き

(72)発明者 篠原 真人

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

Fターム(参考) 4M118 AA10 AB01 BA14 CA02 DB09 DD09 DD10 DD12 FA06 FA33

FA38 GC08

5C024 CY47 GY31 HX17 HX40 HX57 JX11