

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4352294号  
(P4352294)

(45) 発行日 平成21年10月28日(2009.10.28)

(24) 登録日 平成21年8月7日(2009.8.7)

(51) Int.Cl.		F I		
HO 1 L 23/12	(2006.01)	HO 1 L 23/12	L	
HO 1 L 21/56	(2006.01)	HO 1 L 21/56	R	
HO 1 L 23/29	(2006.01)	HO 1 L 23/30	R	
HO 1 L 23/31	(2006.01)			

請求項の数 5 (全 14 頁)

(21) 出願番号	特願2000-114053 (P2000-114053)	(73) 特許権者	000002141
(22) 出願日	平成12年4月14日(2000.4.14)		住友ベークライト株式会社
(65) 公開番号	特開2001-298120 (P2001-298120A)		東京都品川区東品川2丁目5番8号
(43) 公開日	平成13年10月26日(2001.10.26)	(74) 代理人	100075351
審査請求日	平成18年10月11日(2006.10.11)		弁理士 内山 充
		(72) 発明者	山本 景壽
			東京都品川区東品川2丁目5番8号 住友ベークライト株式会社内
		(72) 発明者	楠木 淳也
			東京都品川区東品川2丁目5番8号 住友ベークライト株式会社内
		(72) 発明者	鈴木 徹郎
			東京都青梅市末広町1丁目6番1号 住友金属鉱山株式会社 電子事業本部内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

(a) 半導体回路形成領域に半導体回路と、該半導体回路と回路外部とを接続するためのデバイス端子と、デバイス端子以外の回路側表面に保護膜が設けられたシリコンチップの該保護膜上に絶縁層を設ける工程、(b) 該絶縁層表面にマスクを介して選択露光し、現像処理して所望パターンの絶縁層をハーフエッチング処理して形成して、外部回路基板接合用端子用の絶縁体からなる突起部を形成する工程、(c) 再度マスクを介して選択露光し、現像処理してデバイス端子上の絶縁層を除去し、デバイス端子を露出させる工程、(d) シリコンチップの絶縁層側表面全面に、ニッケル、コバルト、クロム、チタニウム、バナジウム及びこれらの金属を主成分とする合金の中から選ばれる金属からなる中間層を形成する工程、(e) 上記中間層の上に金属層を設けたのち、その上にレジスト層を設け、配線用マスクを介して選択露光し、現像処理してレジストパターンを形成させ、次いで露出した金属層をエッチング処理後、該レジストパターンを除去する工程、(f) 絶縁層側表面全面に、該表面がシリコンウエハ面からの厚さが均一となり、かつ外部回路基板接合用端子が埋設されるように封止材層を設ける工程、及び(g) 該封止材層をハーフエッチング処理して、外部回路基板接合用端子先端部を露出させ、露出した外部回路基板接合用端子先端部にはんだボールを搭載する、あるいはめっき層を設ける工程、を含むことを特徴とする半導体装置の製造方法。

10

【請求項2】

(a) 半導体回路形成領域に半導体回路と、該半導体回路と回路外部とを接続するため

20

のデバイス端子と、デバイス端子以外の回路側表面に保護膜が設けられたシリコンチップの該保護膜上に絶縁層を設ける工程、(b')該絶縁層表面にマスクを介して選択露光し、現像処理してデバイス端子上の絶縁層を除去し、デバイス端子を露出させる工程、(c')チップ表面上に外部回路基板接合用端子形成用の絶縁層を設け、再度マスクを介して選択露光、現像処理して、外部回路基板接合用端子用の絶縁体からなる突起部を形成すると共に、デバイス端子上の絶縁層を除去し、デバイス端子を露出させる工程、(d)シリコンチップの絶縁層側表面全面に、ニッケル、コバルト、クロム、チタニウム、バナジウム及びこれらの金属を主成分とする合金の中から選ばれる金属からなる中間層を形成する工程、(e)上記中間層の上に金属層を設けたのち、その上にレジスト層を設け、配線用マスクを介して選択露光し、現像処理してレジストパターンを形成させ、次いで露出した金属層をエッチング処理後、該レジストパターンを除去する工程、(f)絶縁層側表面全面に、該表面がシリコンウエハ面からの厚さが均一となり、かつ外部回路基板接合用端子が埋設されるように封止材層を設ける工程、及び(g)該封止材層をハーフエッチング処理して、外部回路基板接合用端子先端部を露出させ、露出した外部回路基板接合用端子先端部にはんだボールを搭載する、あるいはめっき層を設ける工程、を含むことを特徴とする半導体装置の製造方法。

10

**【請求項 3】**

請求項 1 又は 2 記載の半導体装置の製造方法の (e) 工程の中間層の上に設けられる金属層を少なくとも 2 層とし、かつ中間層の表面に接する金属層を金、銀、銅、アルミニウム、インジウム及びこれらを主成分とする合金の中から選ばれる少なくとも 1 種で形成すると共に、最外層の金属層を銅又は銅合金で形成する半導体装置の製造方法。

20

**【請求項 4】**

請求項 1、2 又は 3 記載の半導体装置の製造方法の絶縁層及び封止材層が感光性樹脂からなる半導体装置の製造方法。

**【請求項 5】**

請求項 4 記載の半導体装置の製造方法の感光性樹脂が感光性ポリイミド樹脂、感光性ポリベンゾオキサゾール樹脂及び感光性エポキシ樹脂の中から選ばれる少なくとも 1 種からなるものである半導体装置の製造方法。

**【発明の詳細な説明】****【0001】**

30

**【発明の属する技術分野】**

本発明は、半導体装置及び半導体装置の製造方法に関する。さらに詳しくは、本発明は、高位置精度、サイズの均一性、高さの均一性などに優れる外部回路基板接合用端子を有するウエハレベルチップサイズパッケージ用半導体装置、及びこのものを効率よく製造する方法に関するものである。

**【0002】****【従来の技術】**

高密度集積回路用などへの半導体素子の実装に関する技術が、大きく代わってきている。例えば、チップサイズパッケージ(CSP)技術ではセラミック材料やテープ材料に半導体チップを搭載し、樹脂封止等を行い半導体パッケージとして組み上げ、これをマザーボードやドーターボードに接合する方法から、半導体素子そのものを封止することなくマザーボードやドーターボードに接合するベアチップ実装法に代わりつつある。

40

ベアチップ実装法では、半導体チップに配線基板を貼り付け、これを、はんだボール等を介してマザーボード等の基板(以下単に「外部回路基板」と称す。)に接合する方法と、ICチップに切断する前のウエハの段階でウエハ表面にバンプ部を直接形成し、その後切断し、これを回路基板に接合する方法、いわゆるウエハレベルパッケージ法とがある。小型化の観点より、技術的困難性はあるものの、開発の力点はウエハレベルチップサイズパッケージ法に置かれているのが実状である。

ウエハレベルチップサイズパッケージ法では、ウエハの半導体回路形成領域に複数の個別の半導体回路を形成後、前記半導体回路と該外部回路とを電氣的に接続するために設けら

50

れたデバイス端子が露出する開口部を有する絶縁層を設ける。そして、絶縁層全面にスパッタリング装置や真空蒸着装置を用いて金属膜を形成する。

次に、上記配線部表面に感光性レジストをスピナーなどで厚さ20～150 $\mu\text{m}$ 程度になるように形成する。そして、所定のマスクを用いて露光し、現像して外部回路基板接続用端子(以下単に「接続端子」と称することがある。)となる位置に開口部を設け、電解めっきして開口部をめっき金属で充填する。この場合の充填高さが接続端子の高さになる。その際前記絶縁層上に設けられた金属薄膜がめっき時の陰極として作用する。

その後感光性レジストを剥離して、金属の突起物から成る接続端子を得る。さらに下地である前記金属層をエッチングして絶縁層表面にデバイス端子と接続端子とを結線する配線層を形成し、各チップに分割してウエハレベルパッケージを得ている。

なお、絶縁体層表面に接続端子のみを形成し、これとデバイス端子とをファインワイヤーや導電性接着剤などで接続し、その後めっき法により端子上に金属を盛り上げる場合もある。

しかしながら、上記の方法に従い電気めっき法で接続端子を形成しようとする、その高さが20～100 $\mu\text{m}$ 程度と高いため、めっき時間が1～5時間と長時間かかり、半導体パッケージ製造コストが高いものとなる。また、個々の開口部間で電流密度分布が均一となりにくい、得られるパンプの高さが大きくばらつくのを免れず、その結果、外部回路基板と接続する際に、未接続な箇所を生じることになる。

さらに接続端子形成時の下地金属の汚れや酸化膜などがあると、この影響により接続端子と、デバイス端子とを結ぶ配線層の絶縁層に対する密着力が弱くなり、機械的信頼性及び電気接合性で問題を生ずる。具体的には、半導体実装における半導体チップと外部回路基板との接合不良という問題となる。

【0003】

【発明が解決しようとする課題】

本発明は、このような従来技術が有する欠点を克服し、高位置精度、サイズの均一性、高さの均一性などに優れた接続端子を有するウエハレベルチップサイズパッケージ用半導体装置を提供することを目的としてなされたものである。

【0004】

【課題を解決するための手段】

本発明者らは、前記の好ましい性質を有するウエハレベルチップサイズパッケージ用半導体装置を開発すべく鋭意研究を重ねた結果、基本的に接続端子を絶縁体からなる突起部とその表面を覆う金属層とで構成することにより、その目的を達成しうること、そして、特定の工程を施すことにより、所望の半導体装置が効率よく得られることを見出し、この知見に基づいて本発明を完成するに至った。

すなわち、本発明は、

(1)(a)半導体回路形成領域に半導体回路と、該半導体回路と回路外部とを接続するためのデバイス端子と、デバイス端子以外の回路側表面に保護膜が設けられたシリコンチップの該保護膜上に絶縁層を設ける工程、(b)該絶縁層表面にマスクを介して選択露光し、現像処理して所望パターンの絶縁層をハーフエッチング処理して形成して、外部回路基板接合用端子用の絶縁体からなる突起部を形成する工程、(c)再度マスクを介して選択露光し、現像処理してデバイス端子上の絶縁層を除去し、デバイス端子を露出させる工程、(d)シリコンチップの絶縁層側表面全面に、ニッケル、コバルト、クロム、チタニウム、バナジウム及びこれらの金属を主成分とする合金の中から選ばれる金属からなる中間層を形成する工程、(e)上記中間層の上に金属層を設けたのち、その上にレジスト層を設け、配線用マスクを介して選択露光し、現像処理してレジストパターンを形成させ、次いで露出した金属層をエッチング処理後、該レジストパターンを除去する工程、(f)絶縁層側表面全面に、該表面がシリコンウエハ面からの厚さが均一となり、かつ外部回路基板接合用端子が埋設されるように封止材層を設ける工程、及び(g)該封止材層をハーフエッチング処理して、外部回路基板接合用端子先端部を露出させ、露出した外部回路基板接合用端子先端部にはんだボールを搭載する、あるいはめっき層を設ける工程、を含む

10

20

30

40

50

ことを特徴とする半導体装置の製造方法、

(2) (a) 半導体回路形成領域に半導体回路と、該半導体回路と回路外部とを接続するためのデバイス端子と、デバイス端子以外の回路側表面に保護膜が設けられたシリコンチップの該保護膜上に絶縁層を設ける工程、(b') 該絶縁層表面にマスクを介して選択露光し、現像処理してデバイス端子上の絶縁層を除去し、デバイス端子を露出させる工程、(c') チップ表面上に外部回路基板接合用端子形成用の絶縁層を設け、再度マスクを介して選択露光、現像処理して、外部回路基板接合用端子用の絶縁体からなる突起部を形成すると共に、デバイス端子上の絶縁層を除去し、デバイス端子を露出させる工程、(d) シリコンチップの絶縁層側表面全面に、ニッケル、コバルト、クロム、チタニウム、バナジウム及びこれらの金属を主成分とする合金の中から選ばれる金属からなる中間層を形成する工程、(e) 上記中間層の上に金属層を設けたのち、その上にレジスト層を設け、配線用マスクを介して選択露光し、現像処理してレジストパターンを形成させ、次いで露出した金属層をエッチング処理後、該レジストパターンを除去する工程、(f) 絶縁層側表面全面に、該表面がシリコンウエハ面からの厚さが均一となり、かつ外部回路基板接合用端子が埋設されるように封止材層を設ける工程、及び(g) 該封止材層をハーフエッチング処理して、外部回路基板接合用端子先端部を露出させ、露出した外部回路基板接合用端子先端部にはんだボールを搭載する、あるいはめっき層を設ける工程、を含むことを特徴とする半導体装置の製造方法、

(3) 第1項又は第2項記載の半導体装置の製造方法の(e)工程の中間層の上に設けられる金属層を少なくとも2層とし、かつ中間層の表面に接する金属層を金、銀、銅、アルミニウム、インジウム及びこれらを主成分とする合金の中から選ばれる少なくとも1種で形成すると共に、最外層の金属層を銅又は銅合金で形成する半導体装置の製造方法、

(4) 第1項、第2項又は第3項記載の半導体装置の製造方法の絶縁層及び封止材層が感光性樹脂からなる半導体装置の製造方法、及び

(5) 第4項記載の半導体装置の製造方法の感光性樹脂が感光性ポリイミド樹脂、感光性ポリベンゾオキサゾール樹脂及び感光性エポキシ樹脂の中から選ばれる少なくとも1種からなるものである半導体装置の製造方法、

を提供するものである。

【0005】

【発明の実施の形態】

本発明の半導体装置は、半導体回路が形成されたチップと、該チップの半導体回路形成側表面に設けられたデバイス端子と、該デバイス端子と電氣的に結合され、かつ絶縁体からなる突起部及び該絶縁体表面に設けられた金属層からなる外部回路基板接合用端子（接続端子）とから構成されたウエハレベルチップサイズの半導体装置である。

次に、このような構成の本発明の半導体装置について添付図面に従って説明する。

図1及び図2は、本発明の半導体装置の異なる例の構成を示す断面図であって、図1は、接続端子表面にはんだボールを搭載した例であり、図2は接続端子表面にめっき層を設けた例である。半導体回路形成領域に半導体回路が形成されたシリコンチップ1上に、前記半導体回路と該外部回路とを電氣的に接続するために設けられたデバイス端子2が露出するような開口部3を有する保護膜4が設けられている。

この保護膜4の上に絶縁層5が設けられており、該絶縁層5は外部回路基板の電極（図示せず。）と対応した位置に接続端子6を構成する突起部7とデバイス端子2が露出する開口部8が設けられている。そして、突起部7の表面が金属層9で被覆されて接続端子6が形成され、この接続端子6と金属層9で被覆されたデバイス端子2とが配線を構成する該金属層9により電氣的に結合されている。

絶縁層5の材料としては、金属層9を安定して支持し、実質的に電氣的絶縁性及び耐熱性を確保するものであれば特に限定されないが、安価で加工性に優れた樹脂材料が好ましい。このような材料としては、ポリエステル系樹脂、エポキシ樹脂、ウレタン系樹脂、ポリスチレン系樹脂、ポリエチレン系樹脂、ポリイミド系樹脂、ポリベンゾオキサゾール樹脂、アクリロニトリル-ブタジエン-スチレン（ABS）共重合体樹脂、ポリカーボネート

10

20

30

40

50

系樹脂、シリコン系樹脂、フッ素系樹脂などの熱硬化性樹脂又は熱可塑性樹脂が挙げられる。なお、絶縁層 5 には突起部 7 及び開口部 8 を形成する必要があるが、加工法としてフォトリソグラフィ法を用いることが簡便であり、高位置精度、高寸法精度を得ることが容易である感光性樹脂を用いることが望ましい。好ましい感光性樹脂としては、感光性ポリイミド樹脂、感光性ポリベンゾオキサゾール樹脂、感光性エポキシ樹脂を挙げることができる。

#### 【0006】

また、絶縁層 5 と突起部 7 は一括ではなく 2 度に分けて形成してもよく、まず絶縁層 5 を感光性樹脂により開口部 8 を形成したのち更に突起部 7 を形成するための絶縁層を感光性樹脂で設け、パターニングにより突起部 7 を形成するとともに、開口部に充填された絶縁層を除いてもよい。

また絶縁層 5 と突起部 7 とは異なった材料で構成してもよく、予め突起形状物を別途作成し、接着剤により前記絶縁層 5 に設置して突起部 7 としてもよい。例えば、突起形状物を熱可塑性樹脂で作製し、熱融着で固定してもよい。ただし、この方法ではより高位置精度や高寸法精度が求められる場合には必ずしも十分な対応ができない場合もある。

また、絶縁層 5 を形成したのちに突起部 7 をスクリーン印刷法等の印刷方式により所望の位置に形成する方法でもよい。適切な突起部の高さや絶縁層の厚さは、絶縁効果、後述する封止樹脂の効果、求められるチップサイズパッケージの高さなどから決定されるものであり、不必要に厚くすることは好ましくない。

突起部 7 の形状は特にこだわらないが、その表面ははんだボール 10 を搭載する場合には、安定に搭載する必要があり平坦部、あるいは球面状凹部を有することが望ましい。

次に金属層 9 であるが、金属層 9 は、基本的にはスパッタリング、真空蒸着、無電解めっき、電解めっき等の中から選ばれる少なくとも 1 種の方法を用いて形成し、配線層はこの金属層 9 をエッチングして作製する。本発明では、金属層 9 を少なくとも 2 層で構成するのが望ましい。1 層で構成してもよいが、導電性の良い銅や銅合金を用いた場合、絶縁層との密着強度が相対的に小さく、十分な配線層が得られないからである。図 1 の例では 3 層構造となっており、中間層 11 と、シード層 12 と、ベース層 13 で構成されている。本例を基に、金属層 9 を多層で構成する場合について説明する。まず、中間層 11 を絶縁層 5 の表面全面に設ける。この中間層 11 はクロム、ニッケル、チタニウム、バナジウム、あるいはこれらを主成分とする合金など、絶縁層 5 と相対的に密着力の強い金属で構成するのがよい。これはベース層 13 を電気めっき法で設ける際の陰極、あるいは配線としての役目を果たすシード層 12 を導電性のよい金、銀、銅、アルミニウム、インジウム、あるいはこれらを主成分とする合金などで絶縁層 5 の上に直接作製した場合、得られる金属層 9 と絶縁層 5 との密着強度が相対的に小さくなるが、中間層 11 を設けることにより密着強度の大きな金属層 9 を得ることができるようになるからである。

#### 【0007】

中間層 11 は絶縁層 5 の表面に直接設けることから、通常無電解めっき法、あるいはスパッタリング法、蒸着法などの乾式成膜法などにより設けるが、その厚さは 10 ~ 100 nm とすることが好ましい。あまりに薄すぎると均一な膜が得られず、あまりに厚すぎると長時間の成膜時間が必要とされるばかりでなく、緻密で均一な中間層 11 が得られないからである。例えば、乾式成膜法で中間層を得る場合、得られる中間層の厚さが厚くなるに従い内部応力が高くなり、クロムで成膜した場合には通常膜厚が 5 μm を超えると該内部応力により膜が剥離してくるおそれがある。また、無電解めっきで厚い膜を形成すると、得られる膜は緻密なものとならない。

金属層 9 を 2 層とする場合、中間層 11 の上に直接ベース層 13 を設けることになるが、ベース層 13 は配線を形成した後の電気特性や、はんだボール 10 や接合用のめっき層 15 との接合性の面から銅、あるいは銅合金を用いることが好ましい。

3 層とする場合、シード層 12 は乾式成膜法で形成するのが簡便であるが、この場合、シード層 12 の厚さは 50 nm ~ 1 μm とすることが好ましい。上記した理由によりシード層 12 があまりに薄くても、厚くても均一な膜が形成されず、ベース層を電気めっきで形

10

20

30

40

50

成する場合に陰極として十分な機能が発揮されないからである。

ベース層 13 は上記したように銅、銅合金等の導電性材料で構成するが、その厚さは、最終的に得られる配線の電気特性が所望のものとなる厚さとし、電気めっき法により設けることが効率的で好ましい。

このようにして得られた金属層 9 をフォトリソグラフィ法によりエッチングして配線部、突起部表面、デバイス端子表面部以外の金属層 9 を除去する。その表面に金属層が設けられた突起部 7 は、前述した接続端子 6 となる。この接続端子 6 の表面にははんだボール 10 が搭載されることがあるため、平面状、あるいは凹面状とすることが好ましい。

次に、配線層及びデバイス端子 2 の表面部が露出せず、かつ接続端子 6 の少なくとも表面が露出するように封止材層 14 を設ける。図 1 の半導体パッケージは外部回路基板端子表面にはんだボール 10 を搭載したものであり、図 2 はめっき層 15 が設けられたものである。めっき層 15 の材質としては、金、銀、パラジウム、ニッケル、はんだ等の少なくとも 1 種を用いることが一般的である。なお、図 1 のようにはんだボール 10 を搭載したものが BGA (ボール・グリット・アレ) 構造となり、図 2 のようにめっき層 15 が設けられたものが LGA (ランド・グリット・アレ) 構造となる。

#### 【0008】

封止材層 14 の材料としては、配線層やデバイス端子 2 を安定して保護でき、実質的に電氣的絶縁性及び耐熱性が確保されるものであれば特に限定されない。実際の作製に当たり、安価で加工性に優れた材料であるポリエステル系樹脂、エポキシ樹脂、ウレタン系樹脂、ポリスチレン系樹脂、ポリエチレン系樹脂、ポリイミド系樹脂、ポリベンゾオキサゾール樹脂、アクリロニトリル-ブタジエン-スチレン (ABS) 共重合体樹脂、ポリカーボネート系樹脂、シリコン系樹脂、フッ素系樹脂などの熱硬化性樹脂又は熱可塑性樹脂が用いることができる。

そして、少なくとも接続端子 6 の表面をきれいに露出させるためには、上記樹脂を感光性のあるものとし、例えば、配線側表面全体に、接続端子 6 が埋まる厚さに封止材層を設け、その後接続端子 6 の表面が露出するまでハーフエッチングを行う。好ましい樹脂としては、感光性ポリイミド樹脂、感光性ポリベンゾオキサゾール樹脂、感光性エポキシ樹脂である。

封止材で保護する効果としては、配線層等が損傷されないようにするばかりか、シリコンウエハ 1 上に形成された半導体回路が線により損傷されるのを防止する効果、また外部回路板への実装の際、はんだに付帯するフラックスにより配線層が汚染され、劣化しないようにする効果も挙げられる。封止材層の厚さは、これらの効果が得られるに足る厚さであればよく、不必要に厚くすることは好ましくない。具体的には用いる樹脂の組成や、性質に応じて適宜最適値を求めればよい。

なお、シリコンウエハ 1 上に形成された半導体回路の電気テスト、バーンインテストなどは前記接続端子 6 に直接プローブを当てることで簡単に行うことができる。

本発明においては、ウエハを用いて複数のパッケージを一度に作製し、これを分割すれば、効率よく、本発明のウエハレベルチップサイズパッケージを得ることができる。

本発明はまた、半導体装置の製造方法をも提供するものである。

本発明の半導体装置の製造方法においては、以下に示すように、(1)(a)、(b)、(c)、(d)、(e)、(f)及び(g)工程を含む方法と、(2)(a)、(b')、(c')、(d)、(e)、(f)及び(g)工程を含む方法の 2 つの態様がある。

#### 【0009】

前記(1)の製造方法においては、

(a) 半導体回路形成領域に半導体回路と、該半導体回路と回路外部とを接続するためのデバイス端子と、デバイス端子以外の回路側表面に保護膜が設けられたシリコンチップの該保護膜上に絶縁層を設ける工程、

(b) 該絶縁層表面にマスクを介して選択露光し、現像処理して所望パターンの絶縁層をハーフエッチング処理して形成して、外部回路基板接合用端子用の絶縁体からなる突起部を形成する工程、

10

20

30

40

50

(c) 再度マスクを介して選択露光し、現像処理してデバイス端子上の絶縁層を除去し、デバイス端子を露出させる工程、

(d) シリコンチップの絶縁層側表面全面に、ニッケル、コバルト、クロム、チタニウム、バナジウム及びこれらの金属を主成分とする合金の中から選ばれる金属からなる中間層を形成する工程、

(e) 上記中間層の上に金属層を設けたのち、その上にレジスト層を設け、配線用マスクを介して選択露光し、現像処理してレジストパターンを形成させ、次いで露出した金属層をエッチング処理後、該レジストパターンを除去する工程、

(f) 絶縁層側表面全面に、該表面がシリコンウエハ面からの厚さが均一となり、かつ外部回路基板接合用端子が埋設されるように封止材層を設ける工程、

及び

(g) 該封止材層をハーフエッチング処理して、外部回路基板接合用端子先端部を露出させ、露出した外部回路基板接合用端子先端部にはんだボールを搭載する、あるいはめっき層を設ける工程、

を順次施すことにより、本発明の半導体装置を効率よく製造することができる。

一方、前記(2)の製造方法においては、

上記(a)工程、

(b') 該絶縁層表面にマスクを介して選択露光し、現像処理してデバイス端子上の絶縁層を除去し、デバイス端子を露出させる工程、

(c') チップ表面上に外部回路基板接合用端子形成用の絶縁層を設け、再度マスクを介して選択露光、現像処理して、外部回路基板接合用端子用の絶縁体からなる突起部を形成すると共に、デバイス端子上の絶縁層を除去し、デバイス端子を露出させる工程、

及び上記の(d)~(g)工程、

を順次施すことにより、本発明の半導体装置を効率よく製造することができる。上記の各工程の詳細については、前述の本発明の半導体装置において説明したとおりである。

【0010】

【実施例】

次に、本発明を実施例により、さらに詳細に説明するが、本発明は、これらの例によってなんら限定されるものではない。

実施例 1

半導体回路形成領域に144個の半導体回路と、各半導体回路ごとに54個のデバイス端子と、これらのデバイス端子以外の回路側表面に保護膜が設けられた直径6インチシリコンウエハの表面全面に絶縁層としてポジ型感光性ポリベンゾオキサゾール樹脂[製品名「CRC-8320」住友ベークライト社製]をスピンコーターで塗布、ホットプレートで125℃、4分間プリベークし厚さ40µmの塗膜を得た。絶縁層表面に所望のマスクを用い露光[g線ステッパー:ニコン社製「NSR1505G3A」1500mJ/cm<sup>2</sup>]、現像[現像液:東京応化工業(株)製「NMD-3」TMAH(テトラメチルアンモニウムヒドロキシド)2.38重量% 40secパドル×4回]、リンス(純水)処理したのち、絶縁層をハーフエッチングして各々の半導体回路に必要とされる接合端子用の突起部を得た。

次にデバイス端子上の絶縁体層を除去するために、マスクを介して再度露光、現像し、デバイス端子上の絶縁体を上記と同様にして除去してデバイス端子を露出させた。その後、窒素雰囲気中で150℃で30分間、さらに320℃で30分間加熱して硬化させた。この際の突起部の高さは、ウエハ面内で25µm±2µmと膜厚バラツキが安定していた。次にRFスパッタ装置[神港精機社製]を用いてシリコンウエハに設けられた絶縁層表面に金属層を形成した。なお金属の種類は中間層として厚さ30nmのクロム層を用い、シード層として厚さ100nmの銅層を用いた。成膜条件としては、スパッタリング法により、到達真圧力5×10<sup>-4</sup>Pa、スパッタ圧力6.7×10<sup>-1</sup>Pa、Ar流量20SCCMを採用した。

次に、電解銅めっき法により厚さ15µmの銅層を設け、これをベース層とした。この際

10

20

30

40

50

、めっき液組成は銅 28 g / リットル、硫酸 200 g / リットル、塩素イオン 70 mg / リットル、添加剤 [ ミクロファブ Cu` ` B` ` E E ] A (日本エレクトロプレティング・エンジニアーズ) 社製 ] 25 ml / リットルとした。まためっき条件はめっき温度を 28 、電流密度 3 A / d m<sup>2</sup>とした。

続いてこのウエハ上にポジ型フォトレジスト [ 東京応化工業(株)製「PMERP-LA900PM」] をスピンコーティングで膜厚が 10 ~ 15 nm になるように塗布した。これをオープンで 110 にて 6 分間硬化させ、得られたレジスト膜に配線用マスクを用いて露光し、その後、現像液 [ 東京応化工業(株)製、「P-7G」] を用いて現像を行なった。

次に塩化第二銅溶液で露出した金属層部分のシード層とベース層をエッチングし、次いでレジストを剥離液 [ 東京応化工業(株)製「PS」] で剥離後、デスミア液 [ マグダミット社製 ] で中間層を除去し、接続端子と、この接続端子とデバイス端子とを電氣的に接合する配線層とを得た。

その後、絶縁層側表面全面に、該表面がシリコンウエハ面からの厚さが均一となり、かつ接続端子が埋設されるように感光性ポリベンゾオキサゾール樹脂 [ 商品名「CRC-8320」住友ベークライト社製 ] を塗布して封止材層を設け、次いで露光、現像によりテトラメチルアンモニウムヒドロキシド [ 商品名「NMD-3」東京応化工業(株)製 ] を用いて該封止材層をハーフエッチングして接続端子先端部を露出させた。窒素オープンにて硬化し、その後、接続端子先端部にフラックスを塗布し、はんだボールを搭載し、リフローし、ウエハを分割して図 1 のタイプのウエハレベルチップサイズパッケージを 144 個得た。

その後、これらのウエハレベルチップサイズパッケージを外部回路基板に搭載し、導通状態を調べた。その結果、導通不良のものはみられなかった。さらに、その後にウエハレベルチップサイズパッケージを外部回路基板より引きはがし、はがし面を観察したところ、いずれも破断ははんだボールの母体でおきており、正常に接合されていたことが分かった。このことは、本発明のウエハレベルチップサイズパッケージを用いて電子機器を組み立てた場合、高信頼性が得られることを示している。

#### 【 0 0 1 1 】

##### 実施例 2

半導体回路形成領域に 144 個の半導体回路と、各半導体回路ごとに 54 個のデバイス端子と、これらのデバイス端子以外の回路側表面に保護膜が設けられた直径 6 インチシリコンウエハの表面全面に絶縁層としてポジ型感光性ポリベンゾオキサゾール樹脂 [ 製品名「CRC-8320」住友ベークライト社製 ] をスピンコーターで塗布、ホットプレートで 120 にて 4 分間プリベークし厚さ 7 μm の塗膜を得た。絶縁層表面にデバイス端子部分を開口するような所望のマスクを用い露光 [ g 線ステッパー : ニコン社製「NSR1505G3A」500 mJ / cm<sup>2</sup> ]、現像 [ 現像液 : 東京応化工業(株)製「NMD-3」TMAH (テトラメチルアンモニウムヒドロキシド) 2.38 重量% 20 secパドル x 2 回 ]、リンス ( 純水 ) 処理したのちホットプレートにて 250 で 4 分間キュアをした。更にその上に接合端子用突起を形成するために、直径 6 インチシリコンウエハの表面全面に絶縁層としてポジ型感光性ポリベンゾオキサゾール樹脂 [ 製品名「CRC-8320」住友ベークライト社製 ] をスピンコーターで塗布したのち、ホットプレートで 125 にて 4 分間プリベークし厚さ 40 μm の塗膜を得た。絶縁層表面に所望のマスクを用い露光 [ g 線ステッパー : ニコン社製「NSR1505G3A」2000 mJ / cm<sup>2</sup> ]、現像 [ 現像液 : 東京応化工業(株)製「NMD-3」TMAH (テトラメチルアンモニウムヒドロキシド) 2.38 重量% 40 secパドル x 4 回 ]、リンス ( 純水 ) 処理して絶縁層をエッチングし、各々の半導体回路に必要なとされる接合端子用の突起部を得、デバイス端子上の絶縁体層も除去してデバイス端子を露出させた。その後、窒素雰囲気中で 150 にて 30 分間、さらに 320 にて 30 分間硬化させた。

次に RF スパッタ装置 [ 神港精機社製 ] を用いてシリコンウエハに設けられた絶縁層表面に金属層を形成した。なお金属の種類は中間層として厚さ 30 nm のクロム層を用い、シ

10

20

30

40

50



ード層として厚さ100nmの銅層を用いた。成膜条件としては、スパッタリング法により、到達真圧力 $5 \times 10^{-4}$ Pa、スパッタ圧力 $6.7 \times 10^{-1}$ Pa、Ar流量20SCCMを採用した。

次に、電解銅めっき法により厚さ15 $\mu$ mの銅層を設け、これをベース層とした。この際、めっき液組成は銅28g/リットル、硫酸200g/リットル、塩素イオン70mg/リットル、添加剤[マイクロファブCu<sup>++</sup>B<sup>++</sup>EE]A(日本エレクトロプレティング・エンジニアーズ)社製]25ml/リットルとした。まためっき条件はめっき温度を28℃、電流密度3A/dm<sup>2</sup>とした。

続いてこのウエハ上にポジ型フォトリソ[東京応化工業(株)製「PMERP-LA900PM」]をスピニングで膜厚が10~15 $\mu$ mになるように塗布した。これをオープンで110℃にて6分間硬化させ、得られたレジスト膜に配線用マスクを用いて露光し、その後、現像液[東京応化工業(株)製「P-7G」]を用いて現像を行なった。次に塩化第二銅溶液で露出した金属層部分のシード層とベース層をエッチングし、次いでレジストを剥離液[東京応化工業(株)製「PS」]で剥離後、デスマリア液[マグダミット社製]で中間層を除去し、接続端子と、接続端子とデバイス端子とを電氣的に接合する配線層とを得た。

その後、絶縁層側表面全面に、該表面がシリコンウエハ面からの厚さが均一となり、かつ接続端子が埋設されるように感光性ポリベンゾオキサゾール樹脂[商品名「CRC-8320」住友ベークライト社製]を塗布して封止材層を設け、次いで露光、現像によりテトラメチルアンモニウムヒドロキシド[商品名「NMD-3」東京応化工業(株)製]を用いて該封止材層をハーフエッチングして接続端子先端部を露出させた。窒素オープンにて硬化し、その後、接続端子先端部にフラックスを塗布し、はんだボールを搭載し、リフローし、ウエハを分割して図1のタイプのウエハレベルチップサイズパッケージを144個得た。

その後、これらのウエハレベルチップサイズパッケージを外部回路基板に搭載し、導通状態及び機械的接合を調べた。その結果、導通不良もなく、破断ははんだボールの母体でおきており、実施例1同様正常に接合されていたことが分かった。

#### 【0012】

##### 実施例3

実施例1において、RFスパッタ装置を用いてシリコンウエハに設けられた絶縁層表面に金属層を形成する際、中間層として厚さ30nmのクロム層を用い、シード層を設けず上記RFスパッタ装置にて厚さ15 $\mu$ mの銅層を製膜しベース層を作成し、中間層とベース層の2層からなる金属層を構成し、電解銅めっきを施さない以外は同様にしてウエハレベルチップサイズパッケージを得た。その後、これらのウエハレベルチップサイズパッケージを外部回路基板に搭載し、導通状態及び機械的接合を調べた。その結果、導通不良もなく、破断ははんだボールの母体でおきており、実施例1同様正常に接合されていたことが分かった。

##### 実施例4

実施例1において、RFスパッタ装置を用いてシリコンウエハに設けられた絶縁層表面に金属層を形成する際、中間層として厚さ30nmのクロム層を用いずに中間層を厚さ30nmのニッケル層で作製する以外は同様にしてウエハレベルチップサイズパッケージを得た。その後、導通状態及び機械的接合の試験で導通不良もなく、破断ははんだボールの母体でおきており、実施例1同様正常に接合されていたことが分かった。

##### 実施例5

実施例1において、RFスパッタ装置を用いてシリコンウエハに設けられた絶縁層表面に金属層を形成する際、中間層として厚さ30nmのクロム層を用いずに中間層を厚さ30nmのチタニウム層で作製する以外は同様にしてウエハレベルチップサイズパッケージを得た。その後、導通状態及び機械的接合の試験で導通不良もなく、破断ははんだボールの母体でおきており、実施例1同様正常に接合されていたことが分かった。

##### 実施例6

実施例 1 において、RF スパッタ装置を用いてシリコンウエハに設けられた絶縁層表面に金属層を形成する際、中間層として厚さ 30 nm のクロム層を用いずに中間層を厚さ 30 nm のバナジウム層で作製する以外は同様にしてウエハレベルチップサイズパッケージを得た。その後、導通状態及び機械的接合の試験で導通不良もなく、破断ははんだボールの母体でおきており、実施例 1 同様正常に接合されていたことが分かった。

#### 【 0 0 1 3 】

##### 実施例 7

実施例 1 において、RF スパッタ装置を用いてシリコンウエハに設けられた絶縁層表面に金属層を形成する際、中間層として厚さ 30 nm のクロム層を用いずに中間層を厚さ 30 nm のニッケルクロム合金層で作製する以外は同様にしてウエハレベルチップサイズパッケージを得た。その後、導通状態及び機械的接合の試験で導通不良もなく、破断ははんだボールの母体でおきており、実施例 1 同様正常に接合されていたことが分かった。

##### 実施例 8

半導体回路形成領域に 144 個の半導体回路と、各半導体回路ごとに 54 個のデバイス端子と、これらのデバイス端子以外の回路側表面に保護膜が設けられた直径 6 インチシリコンウエハの表面全面に絶縁層としてネガ型感光性ポリイミド樹脂 [ 製品名「CRC - 6087」住友ベークライト社製 ] をスピコートで塗布、乾燥機により 80 1 時間乾燥し、40 μm の塗膜を得た。絶縁層表面に所望のマスクを用い露光 ( g 線ステッパー 1500 mJ / cm<sup>2</sup> )、現像 ( 現像液 : シクロペンタノン )、リンス ( プロピレングリコールモノメチルエーテルアセテート ) 処理して絶縁層をハーフエッチングし、各々の半導体回路に必要とされる接合端子用の突起部を得た。

次にデバイス端子上の絶縁体層を除去するために、マスクを介して再度露光、現像し、デバイス端子上の絶縁体を上記と同様にして除去してデバイス端子を露出させた。その後、窒素雰囲気中で 150 にて 30 分間、さらに 350 にて 60 分間硬化させた。

次に RF スパッタ装置を用いてシリコンウエハに設けられた絶縁層表面に金属層を形成した。なお金属の種類は中間層として厚さ 30 nm のクロム層を用い、シード層として厚さ 100 nm の銅層を用いた。ベース層の作製、配線層の作製方法は実施例 1 と同様にした。

その後、絶縁層側表面全面に、該表面がシリコンウエハ面からの厚さが均一となり、かつ接続端子が埋設されるようにネガ感光性ポリイミド樹脂 [ 商品名「CRC - 6087」住友ベークライト社製 ] を塗布して封止材層を設け、次いで露光、現像により ( 現像液 : シクロペンタノン ) を用いて該封止材層をハーフエッチングして接続端子先端部を露出させた。窒素オーブンにて硬化し、その後、接続端子先端部にフラックスを塗布し、はんだボールを搭載し、リフローし、ウエハを分割して図 1 のタイプのウエハレベルチップサイズパッケージを 144 個得た。

その後、これらのウエハレベルチップサイズパッケージを外部回路基板に搭載し、導通状態を調べた。その結果、導通不良のものはみられなかった。さらに、その後ウエハレベルチップサイズパッケージを外部回路基板より引きはがし、はがし面を観察したところ、いずれも破断ははんだボールの母体でおきており、正常に接合されていたことが分かった。このことは、本発明のウエハレベルチップサイズパッケージを用いて電子機器を組み立てた場合、高信頼性が得られることを示している。

##### 実施例 9

実施例 8 において、RF スパッタ装置を用いてシリコンウエハに設けられた絶縁層表面に金属層を形成する際、中間層として厚さ 30 nm のクロム層を用いずに中間層を厚さ 30 nm のニッケル層で作製する以外は同様にしてウエハレベルチップサイズパッケージを得た。その後、導通状態及び機械的接合の試験で導通不良もなく、破断ははんだボールの母体でおきており、実施例 8 同様正常に接合されていたことが分かった。

#### 【 0 0 1 4 】

##### 実施例 10

実施例 8 において、RF スパッタ装置を用いてシリコンウエハに設けられた絶縁層表面に

金属層を形成する際、中間層として厚さ30 nmのクロム層を用いずに中間層を厚さ30 nmのチタニウム層で作製する以外は同様にしてウエハレベルチップサイズパッケージを得た。その後、導通状態及び機械的接合の試験で導通不良もなく、破断ははんだボールの母体でおきており、実施例8同様正常に接合されていたことが分かった。

#### 実施例11

実施例8において、RFスパッタ装置を用いてシリコンウエハに設けられた絶縁層表面に金属層を形成する際、中間層として厚さ30 nmのクロム層を用いずに中間層を厚さ30 nmのバナジウム層で作製する以外は同様にしてウエハレベルチップサイズパッケージを得た。その後、導通状態及び機械的接合の試験で導通不良もなく、破断ははんだボールの母体でおきており、実施例8同様正常に接合されていたことが分かった。

10

#### 実施例12

実施例8において、RFスパッタ装置を用いてシリコンウエハに設けられた絶縁層表面に金属層を形成する際、中間層として厚さ30 nmのクロム層を用いずに中間層を厚さ30 nmのニッケルクロム合金層で作製する以外は同様にしてウエハレベルチップサイズパッケージを得た。その後、導通状態及び機械的接合の試験で導通不良もなく、破断ははんだボールの母体でおきており、実施例8同様正常に接合されていたことが分かった。

#### 実施例13

実施例1において、RFスパッタ装置を用いてシリコンウエハに設けられた絶縁層表面に金属層を形成する際、中間層及びシード層を設けず上記RFスパッタ装置にて厚さ3 μmの銅層を製膜しベース層だけの金属層1層のみを作製し、電解銅めっきを施さない以外は同様にしてウエハレベルチップサイズパッケージを得た。これらのウエハレベルチップサイズパッケージを外部回路基板に搭載し、導通状態を調べた。その結果、導通不良のものはみられなかった。しかし、その後にウエハレベルチップサイズパッケージを外部回路基板より引きはがし、はがし面を観察したところ、いずれも破断は絶縁層と銅からなる金属層の界面でおきており、正常に接合されていないことが分かった。

20

このように、中間層を設けずに、金属層を1層のみで作製することは、好ましくないことが分かる。

#### 【0015】

#### 実施例14

実施例1において、RFスパッタ装置を用いてシリコンウエハに設けられた絶縁層表面に金属層を形成する際、中間層として厚さ30 nmのクロム層を用いずに中間層を厚さ30 nmのアルミニウム層で作製し、シード層として厚さ100 nmのニッケル層を用いた。成膜条件としては、スパッタリング法により、到達真圧力 $5 \times 10^{-4}$  Pa、スパッタ圧力 $6.7 \times 10^{-1}$  Pa、Ar流量20 SCCMを採用した。

30

次に、電解銅めっき法により厚さ15 μmの銅層を設け、これをベース層とした。この際、めっき液組成は銅28 g/リットル、硫酸200 g/リットル、塩素イオン70 mg/リットル、添加剤[マイクロファブCu`B`EEJA(日本エレクトロプレティング・エンジニアーズ)社製]25 ml/リットルとした。上記金属層で作製する以外は同様にしてウエハレベルチップサイズパッケージを得た。これらのウエハレベルチップサイズパッケージを外部回路基板に搭載し、導通状態を調べた。その結果、導通不良が見られた。また、その後にウエハレベルチップサイズパッケージを外部回路基板より引きはがし、はがし面を観察したところ、いずれも破断は絶縁層とアルミニウムからなる中間層の界面でおきており、正常に接合されていないことが分かった。

40

このように、中間層をニッケル、コバルト、クロム、チタニウム、バナジウム、これらを主成分とする合金以外の金属で作製することは、好ましくないことが分かる。

#### 【0016】

#### 比較例

半導体回路形成領域に144個の半導体回路と、各半導体回路ごとに54個のデバイス端子と、これらのデバイス端子以外の回路側表面に保護膜が設けられた直径6インチシリコンウエハの表面全面に絶縁層としてポジ型感光性ポリベンゾオキサゾール樹脂[製品名「

50

CRC-8320」住友ベークライト社製]をスピンコーターで塗布、ホットプレートで120℃4分にてプリベークし厚さ7 $\mu\text{m}$ の塗膜を得た。デバイス端子上の絶縁体層を除去するために、所望のマスクを用い露光[g線ステッパー：ニコン社製「NSR1505G3A」500mJ/cm<sup>2</sup>]、現像[現像液：東京応化工業(株)製「NMD-3」TMAH(テトラメチルアンモニウムヒドロキシド)2.38重量% 20secパドル×2回]、リンス(純水)して現像し、デバイス端子上の絶縁体を除去してデバイス端子を露出させた。その後、窒素雰囲気中で150℃で30分間、さらに320℃で30分間加熱して硬化させた。

次にRFスパッタ装置[神港精機社製]を用いてシリコンウエハに設けられた絶縁層表面に金属層を形成した。なお金属の種類は中間層として厚さ30nmのクロム層を用い、シード層として厚さ100nmの銅層を用いた。成膜条件としては、スパッタリング法により、到達真圧力 $5 \times 10^{-4}$ Pa、スパッタ圧力 $6.7 \times 10^{-1}$ Pa、Ar流量20SCCMを採用した。

次に、電解銅めっき法により厚さ15 $\mu\text{m}$ の銅層を設け、これをベース層とした。この際、めっき液組成は銅28g/リットル、硫酸200g/リットル、塩素イオン70mg/リットル、添加剤[マイクロファブCu<sup>++</sup>B<sup>++</sup>EEJA(日本エレクトロプレティング・エンジニアーズ)社製]25ml/リットルとした。まためっき条件はめっき温度を28℃、電流密度3A/dm<sup>2</sup>とした。

続いてこのウエハ上にポジ型フォトレジスト[東京応化工業(株)製「PMERP-LA900PM」]をスピンコーティングで膜厚が10~15 $\mu\text{m}$ になるように塗布した。これをオープンで110℃にて6分間硬化させ、得られたレジスト膜に配線用マスクを用いて露光し、その後、現像液[東京応化工業(株)製「P-7G」]を用いて現像を行なった。次に塩化第二銅溶液で露出した金属層部分のシード層とベース層をエッチングし、次いでレジストを剥離液[東京応化工業(株)製「PS」]で剥離後、デスマリア液[マグダミット社製]で中間層を除去し、接続端子と、接続端子とデバイス端子とを電気的に接合する配線層とを得た。

続いてこのウエハ上にめっきパンプ形成用フォトレジスト[東京応化工業(株)製「オーディール-375」膜厚75 $\mu\text{m}$ ]を105℃、2.5kg/cm<sup>2</sup>、搬送速度2.0m/分でラミネートした。得られたレジスト膜にめっきパンプ形成用マスクを用いて露光し、その後、現像液(1重量%Na<sub>2</sub>CO<sub>3</sub>溶液、30 $\pm$ 1%)を用いて現像を行った。電解めっき法によりめっき厚が60~80 $\mu\text{m}$ になるまでめっきした。この際、めっき液組成は銅28g/リットル、硫酸200g/リットル、塩素イオン70mg/リットル、添加剤[マイクロファブCu<sup>++</sup>B<sup>++</sup>EEJA(日本エレクトロプレティング・エンジニアーズ)社製]25ml/リットルとした。まためっき条件はめっき温度を28℃、電流密度3A/dm<sup>2</sup>とした。次いでレジストを剥離液(2重量%NaOH溶液、50 $\pm$ 1%)で剥離した。

この際に作製しためっき法による外部端子はウエハ面内で厚みが65 $\mu\text{m} \pm 10 \mu\text{m}$ とバラツキが大きかった。

その後、絶縁層側表面全面に、該表面がシリコンウエハ面からの厚さが均一となり、かつ接続端子が埋設されるように封止エポキシ樹脂を塗布、硬化して封止剤層を設け、次いでCMPプロセスにより接続端子先端部を露出させた。その後、接続端子先端部にフラックスを塗布し、はんだボールを搭載し、リフローし、ウエハを分割して図1のタイプのウエハレベルチップサイズパッケージを144個得た。

その後、これらのウエハレベルチップサイズパッケージを外部回路基板に搭載し、導通状態を調べた。その結果、導通不良が見られた。

【0017】

【発明の効果】

以上説明したように本発明のウエハレベルチップサイズパッケージでは、絶縁層で作製した突起部表面に金属層を設けて得られる接続端子を採用するため、作製に手間がいらず、該端子の位置精度、サイズのばらつき、高さの均一性などに優れたものとなる。また、熱硬化型樹脂を用いれば、該端子も強固で信頼性の高いものとなる。

10

20

30

40

50

【図面の簡単な説明】

【図 1】図 1 は、本発明の半導体装置の構成の 1 例（接続端子表面にはんだボールを搭載した例）を示す断面図である。

【図 2】図 2 は、本発明の半導体装置の構成の別の例（接続端子表面にめっき層を設けた例）を示す断面図である。

【符号の説明】

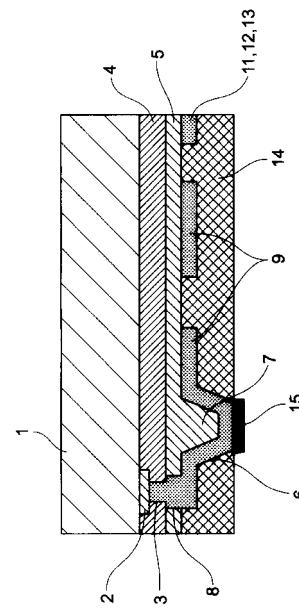
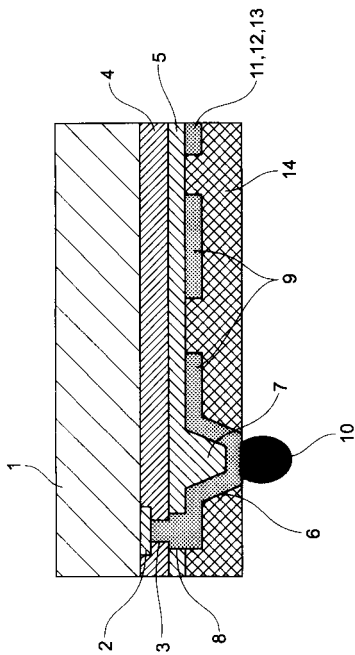
- 1 シリコンウエハ
- 2 デバイス端子
- 3 開口部
- 4 保護膜
- 5 絶縁層
- 6 接続端子
- 7 突起部
- 8 開口部
- 9 金属層
- 10 はんだボール
- 11 中間層
- 12 シード層
- 13 ベース層
- 14 封止材層
- 15 めっき層

10

20

【図 1】

【図 2】



---

フロントページの続き

(72)発明者 宮内 恭子

東京都青梅市末広町1丁目6番1号 住友金属鉱山株式会社 電子事業本部内

審査官 宮本 靖史

(56)参考文献 特開平11-251348(JP,A)  
特開平10-079362(JP,A)  
特開平11-224890(JP,A)  
特開2000-058706(JP,A)  
特開平11-150090(JP,A)  
特開平05-021439(JP,A)  
特開昭62-136049(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12

H01L 21/56

H01L 23/29

H01L 23/31