

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-66562
(P2008-66562A)

(43) 公開日 平成20年3月21日(2008.3.21)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 7 K	5 F 1 1 O
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 1 6 T	5 F 1 4 O
	HO 1 L 29/78 6 1 7 N	
	HO 1 L 29/78 3 0 1 V	
	HO 1 L 29/78 6 1 8 C	
審査請求 未請求 請求項の数 5 O L (全 20 頁) 最終頁に続く		

(21) 出願番号 特願2006-243844 (P2006-243844)
(22) 出願日 平成18年9月8日(2006.9.8)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100075812
弁理士 吉武 賢次
(74) 代理人 100088889
弁理士 橘谷 英俊
(74) 代理人 100082991
弁理士 佐藤 泰和
(74) 代理人 100096921
弁理士 吉元 弘
(74) 代理人 100103263
弁理士 川崎 康

最終頁に続く

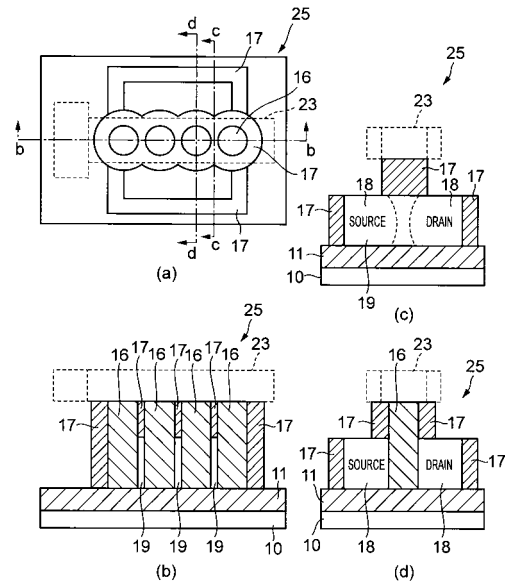
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 寄生抵抗の問題が生じることのないソース・ドレイン領域を有する。

【解決手段】 半導体装置 25 は、半導体基板 10 上に一定間隔で列状に形成された多数の MOSFET 用の複数の柱状ゲート電極 16 と、複数の柱状ゲート電極 16 のうちの隣接する 2 つの柱状ゲート電極間の一部分に形成される MOSFET のチャネルに相当する半導体領域 19 と、を備える。この半導体装置の製造方法は、半導体基板を含む基層 10 ~ 12 の表面に複数の穴 14 を列状に形成し、これら列状の複数の穴 14 に半導体を埋め込んで柱状ゲート電極 16 を列状に複数形成し、ゲート電極 16 の少なくとも一部を露出させて半導体基板 10, 11 の表面に複数の柱状ゲート電極 16 を露出させ、隣接する 2 つの前記柱状ゲート電極の離隔する距離の半分の長さよりも厚い絶縁物からなるゲート側壁膜 17 を成膜し、列状で複数の柱状ゲート電極 16 の上端を平坦面としてから金属膜により橋絡して第 2 ゲート電極 23 を形成し、ゲート電極を製造する。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

半導体基板上に離隔して列状に形成された多数の MOSFET 用の複数の柱状ゲート電極と、前記複数の柱状ゲート電極のうちの隣接する 2 つの柱状ゲート電極間の一部分に形成されて前記 MOSFET のチャンネルに相当する半導体領域と、を備えることを特徴とする半導体装置。

【請求項 2】

前記複数の柱状ゲート電極の間隙側壁の一部に形成されると共に、その厚さが隣接する 2 つの前記柱状ゲート電極の間隙幅の半分の長さよりも厚いゲート側壁膜をさらに備えることを特徴とする請求項 1 に記載の半導体装置。

10

【請求項 3】

前記半導体基板は、バルク基板および SOI 基板の何れか一方を含むことを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

半導体基板を含む基層の表面に複数の穴を列状に形成し、列状に形成された前記複数の穴に第 1 の導電体を埋め込んで柱状ゲート電極を列状に複数形成し、

前記ゲート電極の少なくとも側面の一部を露出させて前記半導体基板の表面に複数の前記柱状ゲート電極を露出させ、

隣接する 2 つの前記柱状ゲート電極の離隔する距離の半分の長さよりも厚い絶縁物からなるゲート側壁膜を成膜し、

20

複数の前記柱状ゲート電極の上端を平坦面とした後に列状に形成された前記柱状ゲート電極の上端面を橋絡するように第 2 の導電体により第 2 ゲート電極を形成し、ゲート電極を製造することを特徴とする半導体装置の製造方法。

【請求項 5】

前記基層は、所定の厚さを有する半導体よりなるバルク基板および前記半導体基板の表面に絶縁膜を介して形成された半導体層を有する SOI 基板の何れか一方を含むことを特徴とする請求項 4 に記載の半導体装置の製造方法。

【発明の詳細な説明】**【技術分野】**

30

【0001】

本発明は、半導体装置およびその製造方法に関し、特に微細化が要求される素子製造に適用される半導体装置およびその製造方法に関する。

【背景技術】**【0002】**

従来、チャンネルとなる半導体主面の表面上部にのみゲート電極を形成した MOSFET (Metal Oxide layer Semiconductor Field Effect Transistor 金属酸化膜半導体電界効果トランジスタ) が製造されている。しかしながら、MOSFET の微細化に伴い、チャンネルとなる半導体主面の表面上部のみならずチャンネルの下面にもゲート電極を形成した、ダブルゲート構造の MOSFET の実現化が望まれている。ダブルゲート構造の MOSFET は、微細化に伴う低電圧化に対してもスイッチング特性を維持できるなどのメリットが確認されている。ダブルゲート MOSFET は、半導体主面の表面をチャンネルとして、その上面と下面にゲート電極を形成する方法以外にも、チャンネルを半導体主面に対して垂直に (ひれ fin 状に) 形成して、その両側にゲートを形成した、FINFET 構造が提案されている。

40

【0003】

この FINFET 構造の特徴としては、上述のダブルゲート構造の MOSFET 製造方法よりも製造することが容易なことが挙げられる。このような従来の FINFET 構造の MOSFET は、上述したように製造が容易であるという特徴と有しているが、以下に説明するような問題を有している。

50

【 0 0 0 4 】

図 2 9 は、上記の工程により製造された、従来の F I N F E T 構造の M O S F E T 8 の一例を示す平面図である。図 2 9 に示す M O S F E T 8 において、ゲート電極 5 は、S O I 領域 3 を F I N 形状に加工した後に形成する必要がある。リソグラフィ技術によりゲート電極 5 をパターンニングする場合、この F I N 形状にゲートパターンニング場所の位置を合わせてリソグラフィを行なっている。ところが、この位置合わせには誤差が伴っており、その結果、この誤差を見込んだ合わせ余裕を予めパターンに入れ込んでおく必要がある。そのため F I N 形状は、ソース・ドレイン方向（紙面の上下方向）の F I N の長さ F は、ゲート電極の幅 L よりも合わせ誤差 G 分だけ長くしておく必要がある。

【 0 0 0 5 】

つまり、 $F > L + G$ の関係がある。その結果、従来の F I N F E T 構造の M O S F E T においては、図 2 9 に破線の楕円で示すような F I N 形状のソース・ドレイン領域 9 が生じることになる。より微細化を行なうためには、F I N の幅 H を薄くしていく必要があるが、一方では F I N 幅 H を薄くするほど F I N 形状のソース・ドレイン領域 9 の寄生抵抗が増大するため、微細化しても M O S F E T の高性能化ができなくなる。以上のように、従来のいわゆるダブルゲート構造の M O S F E T においては、ゲートパターンの合わせ余裕のためにソース・ドレイン領域に寄生抵抗の高い部分が生じてしまう問題があった。

【特許文献 1】特開 2 0 0 2 - 1 1 8 2 5 5 号公報

【特許文献 2】特開 2 0 0 3 - 2 9 8 0 5 1 号公報

【特許文献 3】特許第 3 5 4 3 9 4 6 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

本発明は、ダブルゲート構造の半導体装置のゲート電極の一部分を柱状ゲート電極により形成してチャンネルを自己整合的に形成することにより、寄生抵抗の問題が生じないソース・ドレイン領域を有する半導体装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

本発明の第 1 の基本構成に係る半導体装置は、半導体基板上に離隔して列状に形成された多数の M O S F E T 用の複数の柱状ゲート電極と、前記複数の柱状ゲート電極のうちの隣接する 2 つの柱状ゲート電極間の一部分に形成されると共に前記 M O S F E T のチャンネルに相当する半導体領域と、を備えることを特徴とする。

【 0 0 0 8 】

本発明の第 2 の基本構成に係る半導体装置の製造方法は、半導体基板を含む基層の表面に複数の穴を列状に形成し、列状に形成された前記複数の穴に第 1 の導電体を埋め込んで柱状ゲート電極を離隔して列状に複数形成し、前記ゲート電極の少なくとも側面の一部を露出させて前記半導体基板の表面に複数の前記柱状ゲート電極を露出させ、隣接する 2 つの前記柱状ゲート電極の離隔する距離の半分の長さよりも厚い絶縁物からなるゲート側壁膜を成膜し、複数の前記柱状ゲート電極の上端を平坦面とした後に列状に形成された前記柱状ゲート電極の上端面を橋絡するように第 2 の導電体により第 2 ゲート電極を形成し、ゲート電極を製造することを特徴とする。

【発明の効果】

【 0 0 0 9 】

本発明の態様によれば、リソグラフィの合わせ誤差に起因するソース・ドレイン領域の寄生抵抗の増加を防止でき、リソグラフィを用いないで寄生抵抗の問題のないソース・ドレイン構造を自己整合的に形成できるようになり、M O S F E T の駆動力を大幅に増加させることが可能になる。

【発明を実施するための最良の形態】

【 0 0 1 0 】

以下、添付図面を参照しながら、半導体装置およびその製造方法の実施形態について詳

10

20

30

40

50

細に説明する。

【0011】

[第1実施形態]

本願発明者は熟考の末に、従来技術のようなFIN形状を有するSOI領域に対してゲート合わせしてパターンニングするのではなく、寄生抵抗の問題のないソース・ドレイン領域をセルフアライン（自己整合的）に形成することができる半導体装置とその製造方法の技術を見出すことができた。図1(a)～(d)は、第1実施形態に係る半導体装置の構造を示すものであり、図1(a)は平面図であり、図1(a)におけるb-b線断面は図1(b)に、c-c線断面は図1(c)に、d-d線断面は図1(d)にそれぞれ示されている。

10

【0012】

図1(a)～(d)において、半導体装置25は、半導体基板10上に一定間隔で列状に形成された多数のMOSFET用の複数の柱状ゲート電極16と、複数の柱状ゲート電極16の隣接する2つの柱状ゲート電極16間の一部分に形成されると共にMOSFETのチャンネルに相当する半導体領域19と、を備える。

【0013】

さらに詳細な構成について説明すると、図1(b)～(d)に示すように、第1実施形態に係る半導体装置25は、半導体基板10と、半導体基板10上に設けられたBOX酸化膜11と、BOX酸化膜11の平面に直交する方向に並列に複数設けられた柱状ゲート電極16と、複数の柱状ゲート電極16を取り囲んでソース・ドレイン領域となる半導体領域18（SOI領域12の下半分）をも取り囲むと共にチャンネル領域となる半導体領域19（柱状ゲート電極16の間の下半分）の上半分にも設けられたゲート側壁17と、柱状ゲート電極16の上端の露出面を塞ぐように柱状ゲート電極16の列設方向に長手状に延在する例えばチタン窒化膜とアルミニウムの積層膜から形成された第2ゲート電極23と、を備えている。

20

【0014】

上記構成を有する第1実施形態に係る半導体装置の製造方法について、図2ないし図7を参照しながら工程順に従って説明する。第1工程ST1は図2(a)(b)に、第2工程ST2は図2(c)(d)に、第3工程ST3は図2(e)(f)に、第4工程ST4は図2(g)(h)に、第5工程ST5は図2(i)(j)に、第6工程ST6は図3の(a)～(d)に、第7工程ST7は図4の(a)～(d)に、第8工程ST8は図5の(a)～(d)に、第9工程ST9は図6の(a)～(d)に、第10工程ST10は図7の(a)～(d)に、第11工程ST11は図8の(a)～(d)に、それぞれ示されている。

30

【0015】

第1工程ST1は、図2(a)(b)に示すように、まず、半導体基板10と、BOX酸化膜11と、厚み100nm程度のSOI領域12からなるSOI基板を用いて、SOI領域12上に、例えばシリコン酸化窒化膜からなるカバー膜13を50nm程度成膜する。続いて、図2(b)に示すような直径20nm程度の複数の穴14を、隣接する穴の間隔が25nm程度で、例えばSOI領域12を貫通するようにして形成する。

40

【0016】

次に、第2工程ST2で、図2(c)(d)に示すように、例えば厚さ1nm程度のシリコン窒化酸化膜からなるゲート絶縁膜15を穴14の底面および側壁に形成し、さらに厚さ15nm程度の多結晶シリコンをこの穴14に埋め込み、化学的機械的研磨（以下、CMP Chemical Mechanical Polishing とする）技術、またはドライエッチング技術などを用いて上面を平坦化して、複数本のゲート電極16を円柱状に成膜する。このゲート電極16は柱状に形成されることから、換言すればピラードゲート（pillared gate）電極と呼ぶこともできる。なお、図2(c)(d)においては円形の穴14に絶縁膜15を成膜して多結晶シリコンを充填することから円柱状のゲート電極16が形成されているが、ピラードゲート電極はこのような円柱の形状には限定されず、四角柱、三角柱、断面

50

菱形柱など種々の断面形状を有する柱状のゲート電極 16 を形成することも可能である。

【0017】

次に、多結晶シリコンからなるゲート電極 16 に対して、イオン注入技術などを用いて燐、砒素、ホウ素などを注入して複数の柱状ゲート電極を完成させる。ここでは、成膜によりゲート絶縁膜 15 を形成したが、穴 14 の内壁に露出した S O I 領域 12 を酸化窒化させて穴 14 の内壁にゲート絶縁膜 15 を形成するようにしても良い。酸化窒化によりゲート絶縁膜 15 を形成する場合に、酸化の方法はプラズマ酸素による酸化が望ましい。プラズマ酸化では、熱酸化のようにシリコンの結晶面の状態により酸化膜厚が異なる問題が生じないため、上述した穴 14 の 内壁に露出した S O I 領域 12 のように様々な結晶方位を含むシリコンを酸化する場合には、プラズマ酸化がより望ましいからである。

10

【0018】

次に、第 3 工程 S T では、図 2 (e) (f) に示すように、カバー膜 13 を例えば燐酸などにより除去する。この場合、ドライエッチングなどで除去してもよい。このカバー膜 13 の除去により、複数の柱状のゲート電極 16 がゲート絶縁膜 15 と共に露出する。

【0019】

次に、第 4 工程 S T 4 においては、図 2 (g) (h) に示すように、素子分離領域のパターンニングを行なって、素子領域 20 以外の S O I 領域 12、ゲート絶縁膜 15 およびゲート電極 16 を除去して、素子領域 20 内の S O I 領域 12、ゲート絶縁膜 15 およびゲート電極 16 のみを残すようにしている。具体的には、リソグラフィ技術を用いてレジストを素子領域 20 内にのみ残し、S O I 領域 12 のシリコンとゲート絶縁膜 15 をドライエッチングなどにより除去すればよい。

20

【0020】

次に、第 5 工程 S T 5 において、図 2 (i) (j) に示すように、例えばシリコン窒化膜からなるゲート側壁膜 17 を 10 nm 程度全体的に成膜する。このときのゲート側壁膜 17 の厚みは隣接する 2 つの穴 14 の間に挟まれた S O I 領域 12 の幅 J の半分よりも厚い膜にすることが本発明の実施形態では必須である。本第 1 実施形態では、この幅 J は、5 nm であるため、ゲート側壁膜 17 は 10 nm の厚みで成膜すると隣接する複数の柱状ゲート電極 16 の柱の間は全てゲート側壁膜 17 により埋め込まれることになる。

【0021】

次に、第 6 工程 S T 6 において、図 3 (a) ~ (d) に示すように、ゲート側壁膜 17 に対してドライエッチング技術を用いてエッチバックすることにより、柱状のゲート電極 16 の柱の側壁にのみゲート側壁膜 17 が残ることになる。上面から見ると図 3 (a) に示すように、隣接する柱状のゲート電極 16 の間にはゲート側壁膜 17 が埋め込まれた形状となる。また、図 3 (a) の b - b 線切断の端面図である図 3 (b) に示すように、ゲート絶縁膜 15 を含んで柱状のゲート電極 16 の隣接する 2 本の間の上部側にはゲート側壁膜 17、下部側には S O I 領域 12 のシリコンが充填されている。

30

【0022】

ゲート側壁膜 17 は、c - c 線切断の端面図である図 3 (c) では、柱状のゲート電極 16 およびゲート絶縁膜 15 を囲むゲート側壁膜 17 のみが突出し、その周囲はゲート側壁膜 17 に囲まれた S O I 領域 12 となっている。また、d - d 線切断の端面図である図 3 (d) に示すように、1 本の柱状のゲート電極 16 で切断した場合、ゲート電極 16 の周囲をゲート絶縁膜 15 が囲み、その周囲を上部側はゲート側壁膜 17 が囲み、下部側は S O I 領域 12 に囲まれてから最外周をゲート側壁膜 17 に囲まれている。

40

【0023】

次に、第 7 工程 S T 7 において、図 4 (a) ~ (d) に示すように、イオン注入技術などを用いて燐、砒素、ホウ素などの不純物を注入することによって、ソース・ドレイン領域 18 を形成する。ここで、隣接する 2 本の柱状ゲート電極 16 の間はゲート側壁膜 17 が埋め込まれているため不純物は導入されない。また、隣接するゲート電極の間は 5 nm 程度であるため、5 nm 程度の厚さのチャネルを有する F I N F E T が形成される。

【0024】

50

ソース・チャンネル・ドレイン方向の断面図である図4(c)には、隣接する2つの柱状ゲート電極16に挟まれたチャンネル領域19が示されている。図4(b)に示すように、紙面表側と裏面側を柱状ゲート電極16により挟まれたチャンネル領域19が、ソース・ドレイン領域18に挟まれて形成されている。また、略々5nmの厚さを有するチャンネル領域19は、図4(a)の平面図における一点鎖線b-bとc-cが交差する部分のみであり、この交差する部分以外のチャンネル領域は、少なくとも5nmよりも厚くなっている。したがって、従来のF I N F E Tのようなソース・ドレインの寄生抵抗が増大する問題は発生しない。

【0025】

また、ソース・ドレイン領域18とゲート電極16のオーバーラップ容量は、穴14の径を小さくしていくことにより、より小さくすることができ、これにより交流特性が向上することになる。すなわち、なるべくゲート絶縁膜15を含めて径の細いゲート電極16を形成することができれば、結果的に交流特性が向上するという効果が得られる。さらに、本実施形態によるピラード(柱状)ゲート構造は、リソグラフィ技術の合わせずれ精度とは関係なく、自己整合的に形成されているので、従来技術のような合わせ誤差の問題が発生することもない。この図4(a)がこの実施形態の概念を端的に示している。

【0026】

本実施形態の大きな特徴は、ゲート電極16を上面から見たときの形状は断面形状が円(または楕円、あるいは正方形、長方形、菱形を含む四角)の柱状であることと、隣接する2つの柱状ゲート電極16間をゲート側壁膜17により埋め込むことにより自己整合的にチャンネル領域19を形成すること、の2点である。この第1実施形態においては、ゲート電極16を円柱状に形成する例が示されている。

【0027】

次に、第8工程ST8において、図5(a)~(d)に示すように、サリサイド技術を用いて、例えばケイ化ニッケル(NiSi)膜21をソース・ドレイン領域18およびゲート電極16の上面に形成する。図5(a)の平面図に示すように、このNiSi膜21は、SOI領域12から自己整合的に形成されたゲート絶縁膜15とゲート側壁膜17以外のゲート電極16の上表面と、ソース・ドレイン領域18の上表面に形成されることになる。

【0028】

次に、第9工程ST9において、図6(a)~(d)に示すように、例えば、シリコン窒化膜とシリコン酸化膜の積層の膜からなる層間膜22を成膜する。この層間膜22は、図6(b)に示すように、ゲート絶縁膜15およびNiSi膜21を含む複数の柱状ゲート電極16とゲート側壁膜17の全体を覆いながらSOI領域12のNiSi膜21の表面を覆うようにして成膜されている。

【0029】

次に、第10工程ST10で、図7(a)~(d)に示すように、NiSi膜21を介してゲート電極16の上端に形成されてこれら全体を覆う層間膜22に対して、CMPまたはドライエッチングなどを用いて柱状ゲート電極16の上面が露出するまで平坦化を行なう。この平坦化により、柱状ゲート電極16の上面が露出すると共に、層間膜22、ゲート側壁膜17、ゲート絶縁膜15の上面が全て平坦面として形成される。

【0030】

続いて、第11工程ST11において、図8(a)~(d)に示すように、例えばリソグラフィ技術を用いて、例えばチタン窒化膜とアルミニウムの積層膜からなる第2ゲート電極23を形成する。この第2ゲート電極23により、柱状のゲート電極16同士を電氣的に接続する。図1で上述したピラードゲートMOSFET25の構成は、図8(a)~(d)に示された構成からNiSi膜21と層間膜22とを省略すると共に、素子領域20が4本の柱状ゲート電極16を含むように形成された場合の(a)平面図(b)b-b断面図(c)c-c断面図(d)d-d断面図である。

【0031】

10

20

30

40

50

この状態での半導体装置 24 は、NiSi 膜 21、層間膜 22、第 2 ゲート電極 23 を省略して表示すると、図 1 に示す半導体装置 25 と略々同一の構成となっている。この半導体装置 24 は、図示説明は控えるが、通常の MOSFET 製造工程と同様に、ソース・ドレイン・ゲート領域へそれぞれのコンタクトを形成して電氣的接続を行なって、MOSFET が完成する。

【0032】

以上の工程により、従来技術が有していたリソグラフィーの合わせズレの問題とソース・ドレイン領域の寄生抵抗の問題を生じることなく、リソグラフィーのパターン合わせを良好にしながら、薄い幅の FIN 形状のチャネルを有する FINFET の上記のような構造を自己整合的に形成できる。

10

【0033】

また、この第 1 実施形態においては、柱状ゲート電極 16 は多結晶シリコン電極であるが、簡単な既知のプロセス追加によりゲートとして空乏化のないメタルゲートを形成することもできる。この製造工程について、概略的に説明する。上記工程 ST1 - ST10 において、層間膜 22 の平坦化後に、図 7 (a) ~ (d) に示す状態で、ニッケル (Ni) を柱状ゲート電極 16 の高さ以上の厚みで成膜する。本第 1 実施形態においては、柱状のゲート電極 16 の厚みは 100 nm 程度なので、Ni 膜を 100 nm 以上堆積する。続いて、500 度で数分の熱処理を行なって、ゲート電極 16 である多結晶シリコンと Ni とを反応させて柱状のゲート電極 16 を全て NiSi にする。その後、未反応の Ni 膜を通常のサリサイド技術と同様に取り除けば、変形例としての追加工程を説明する図 9 (a) ~ (d) に示すように、柱状ゲート電極の全てが NiSi からなる NiSi 柱状ゲート電極 26 である FINFET が形成される。図 9 (a) ~ (d) におけるその他の構成は第 1 ないし第 11 工程と同じなので、同一構成要素に同一符号を付すことにより重複説明を省略する。

20

【0034】

以上のような第 1 実施形態に係る半導体装置の製造方法の各工程を纏めて説明すると、半導体基板と酸化膜と SOI 領域を積層した基層としての SOI 基板上にカバー膜を形成した後、前記 SOI 領域およびカバー膜を貫通させて前記基層の積層方向の直交方向に列状の複数の穴を穿設し、列状に穿設された複数の穴の底面を含む内壁面にゲート絶縁膜を形成した後、多結晶シリコンを成膜して複数の柱状ゲート電極を形成し、前記カバー膜を除去して前記複数の柱状のゲート電極を露出させ、素子分離領域のパターニングをした後、素子領域以外の前記ゲート絶縁膜および柱状ゲート電極を除去し、素子領域内のゲート絶縁膜および柱状ゲート電極のみを残し、残された前記柱状ゲート電極と露出された前記基層との全体にわたり前記柱状ゲート電極の隣接する 2 本の間隔の半分よりも少なくとも大きい厚さのゲート側壁膜を被覆し、前記ゲート側壁膜をエッチバックして前記柱状ゲート電極の周囲のゲート側壁膜のみを残し、列方向に残された前記柱状ゲート電極の列の両側の素子領域内の前記 SOI 領域に対して不純物イオンを注入してソース・ドレイン領域を形成し、前記素子領域に対してサリサイド技術を用いて少なくとも前記ソース・ドレイン領域の上面に金属膜を形成し、前記柱状ゲート電極およびゲート側壁膜の全体を覆うようにシリコン窒化膜とシリコン酸化膜の積層膜からなる層間膜を成膜し、前記柱状ゲート電極が露出するまで前記層間膜の上面を平坦化して層間膜、ゲート側壁膜、柱状ゲート電極の上面を平坦面として形成し、前記平坦面の前記柱状ゲート電極を橋絡して電氣的に接続するように第 2 ゲート電極を形成するものである。

30

40

【0035】

この発明の実施形態の要旨は、第 1 ~ 第 7 工程 ST1 - ST7 において述べた通りである。第 1 実施形態においては、埋め込み絶縁膜を有する SOI (絶縁膜上シリコン) 基板を用いた構成について説明したが、本発明の実施形態はこれに限定されず、通常のパルク (Bulk) 構造のシリコン (Si) 基板を用いても同様の効果を得ることができる。以下、第 2 実施形態としてパルク基板を用いた具体例について説明する。

【0036】

50

[第 2 実施形態]

第 2 実施形態は、シリコン基板を用いて半導体装置を製造する方法を示している。第 1 工程 S T 1 において、図 1 0 (a) (b) に示すように、まず、半導体基板 1 0 に素子分離領域 3 0 を形成する。

【 0 0 3 7 】

次に、第 2 工程 S T 2 において、図 1 0 (c) (d) に示すように、第 1 実施形態と同様にシリコン酸化窒化膜からなるカバー膜 1 3 を 5 0 n m 程度成膜し、続いて図示のような直径 2 0 n m 程度、穴と穴の間隔は 2 5 n m 程度の複数の穴 1 4 を形成する。穴 1 4 を形成した後に、それぞれの穴 1 4 の底部にソース・ドレイン領域とは逆導電型の高濃度のパンチスルー・ストップ領域 3 1 をイオン注入により形成するようにしても良い。この領域 3 1 は、後に M O S F E T を形成したときに、穴の底面が M O S F E T 動作をしてチャネルとなることを防ぐためのものである。

10

【 0 0 3 8 】

次に、第 3 工程 S T 3 において、図 1 0 (e) (f) に示すように、第 1 実施形態と同様に穴 1 4 の底面と側壁に、例えば 1 n m 程度のシリコン窒化酸化膜からなるゲート絶縁膜 1 5 を形成し、次に、1 5 n m 程度の多結晶シリコンを埋め込むことによりゲート電極 1 6 を形成する。

【 0 0 3 9 】

次に、第 4 工程 S T 4 において、図 1 0 (g) (h) に示すように、カバー膜 1 3 を例えば燐酸により、または、ドライエッチングなどにより、除去する。除去する手段はいずれであってもよい。これにより、図示のように、周囲にゲート酸化膜 1 5 を有する柱のようなゲート電極 1 6 が露出することになる。

20

【 0 0 4 0 】

次に、第 5 工程 S T 5 において、図 1 1 (a) ~ (d) に示すように、第 1 実施形態と同様に、周囲にゲート酸化膜 1 5 を有する柱状のゲート電極 1 6 の周囲に、例えばシリコン窒化膜からなるゲート側壁膜 1 7 を形成する。続いて、燐、砒素、ホウ素などの不純物をイオン注入技術などにより注入することによって、ソース・ドレイン領域 1 8 を形成することにより、F I N F E T が形成される。このときに、ゲート電極 1 6 の底面にもチャネルが形成される可能性があるが、この第 2 実施形態では、高濃度のソース・ドレインとは逆導電型のパンチスルー・ストップ領域 3 1 を形成しているため、この領域 3 1 のトランジスタのしきい値は F I N F E T チャネル部分よりも十分に高くなり、チャネルとして作用しないようにできる。無論、特に微細化していない領域で使用するのであれば、ゲート電極 1 6 の底面もチャネルとして使用してもよい。その場合は、パンチスルー・ストップ領域 3 1 を形成しないようにするか、或いはこの領域 3 1 に低濃度のソース・ドレインと同じ導電型の不純物を導入するか、しておけばよい。

30

【 0 0 4 1 】

次に、第 6 工程 S T 6 において、図 1 2 (a) ~ (d) に示すように、サリサイド技術を用いることにより、例えば N i S i 膜 2 1 をソース・ドレイン領域 1 8、およびゲート電極 1 6 の上面に形成する。

【 0 0 4 2 】

続いて、第 1 実施形態と同様の工程を経て、M O S F E T が完成する。すなわち、第 7 工程 S T 7 において、例えば、シリコン窒化膜とシリコン酸化膜の積層の膜からなる層間膜 2 2 を成膜する。この層間膜 2 2 は、図 1 3 (a) (b) に示すように、ゲート絶縁膜 1 5 および N i S i 膜 2 1 を含む複数の柱状ゲート電極 1 6 とゲート側壁膜 1 7 の全体を覆いながら S O I 領域 1 2 の N i S i 膜 2 1 の表面を覆うようにして成膜されている。

40

【 0 0 4 3 】

次に、第 8 工程 S T 8 において、図 1 4 (a) ~ (d) に示すように、N i S i 膜 2 1 を介してゲート電極 1 6 の上端に形成されてこれら全体を覆う層間膜 2 2 に対して、C M P またはドライエッチングなどを用いて柱状ゲート電極 1 6 の上面が露出するまで平坦化を行なう。この平坦化により、柱状ゲート電極 1 6 の上面に形成された N i S i 膜 2 1 が

50

露出すると共に、層間膜 22、ゲート側壁膜 17、ゲート絶縁膜 15 の上面が全て平坦面として形成される。

【0044】

続いて、第9工程ST9において、図15(a)~(d)に示すように、例えばリソグラフィ技術を用いて、例えばチタン窒化膜とアルミニウムの積層膜からなる第2ゲート電極23を形成する。この第2ゲート電極23により、柱状のゲート電極16同士を電氣的に接続する。この状態での半導体装置34は、NiSi膜21、層間膜22、第2ゲート電極23を省略して表示すると、図1に示す半導体装置25と略々同一の構成となっている。この半導体装置24は、図示説明は控えるが、通常のMOSFET製造工程と同様に、ソース・ドレイン・ゲート領域へそれぞれのコンタクトを形成して電氣的接続を行なって、MOSFETが完成する。

10

【0045】

以上、説明したように、第2実施形態に係る半導体装置の製造方法の各工程を纏めて説明すると、半導体基板におけるゲート電極が形成される予定の領域を含む素子領域を取り囲むように素子分離領域を形成し、前記素子領域と前記素子分離領域の上面にカバー膜を形成した後、前記素子領域およびカバー膜を貫通させて前記カバー膜の積層方向の直交方向に列状の複数の穴を穿設し、前記穴の底面にソース・ドレイン領域とは逆導電型の不純物イオンを高濃度で注入してパンチスルー・ストップ領域を形成し、列状に穿設された複数の穴の底面を含む内壁面にゲート絶縁膜を形成した後、多結晶シリコンを成膜して複数の柱状ゲート電極を形成し、前記カバー膜を除去して前記複数本の柱状のゲート電極を露出させ、前記柱状ゲート電極および前記ゲート絶縁膜の周囲にゲート側壁膜を形成し、前記パンチスルー・ストップ領域をストップとして用いて、前記素子分離領域に囲まれた前記素子領域の前記列状の複数のゲート電極の列の両側に不純物イオンを注入してソース・ドレイン領域を形成し、前記素子領域に対してサリサイド技術を用いて少なくとも前記ソース・ドレイン領域の上面に金属膜を形成し、前記柱状ゲート電極およびゲート側壁膜の全体を覆うようにシリコン窒化膜とシリコン酸化膜の積層膜からなる層間膜を成膜し、前記柱状ゲート電極が露出するまで前記層間膜の上面を平坦化して層間膜、ゲート側壁膜、柱状ゲート電極の上面を平坦面として形成し、前記平坦面の前記柱状ゲート電極を橋絡して電氣的に接続するように第2ゲート電極を形成するものである。

20

【0046】

以上のように、図10ないし図15に示す第2実施形態の各工程により、半導体基板を用いた場合であっても本発明の実施形態のFINFETが形成できることを説明した。本発明の実施形態は、さらにまた既知の技術である歪みシリコン技術を用いても同様の効果を得ることができる。以下に、第3実施形態としてこの歪みシリコン技術によるFINFETの製造方法を説明する。

30

【0047】

[第3実施形態]

第3実施形態は、第1ないし第3工程ST1~ST3までは第2実施形態と同じであるので、図10(a)~(f)に関連する重複説明を省略して、図16ないし図19を用いて第4工程ST4から説明する。

40

【0048】

第3実施形態の第4工程ST4は、図16(a)(b)に示すように、酸化を行なうことにより、多結晶シリコンからなるゲート電極16の上面に酸化膜からなるゲートキャップ膜35を形成する。

【0049】

次に、第5工程ST5において、図17(a)~(d)に示すように、図17(a)におけるゲート側壁膜17の上下両側のシリコンに対して選択的にエッチングを行なうことにより、図示のようリセス領域36を形成する。このリセス領域36の深さは、図17(c)(d)に示すように、パンチスルー・ストップ領域31の両側にまで相当する深さである。

50

【 0 0 5 0 】

次に、第 6 工程 S T 6 において、図 1 8 (a) ~ (d) に示すように、例えば p 型 F E T であれば、1 % 程度のホウ素を含む数十 % のゲルマニウム (G e) とシリコン (S i) のエピタキシャル成膜を行なって、p 型の S i G e 層 3 7 をソース・ドレイン領域に形成する。n 型 F E T の場合は、1 % 程度の燐、または砒素などを含む数 % の炭素とシリコン (S i) のエピタキシャル成長を行なって、S i C 層 3 7 を形成する。これにより、シリコン (S i) からなるチャネル領域 1 9 には、図 1 8 (c) に示すように、ソース・ドレイン部に成膜された S i G e 層または S i C 層 3 7 により応力を受けて歪み、チャネル領域 1 9 のシリコン (S i) の移動度が向上する。

【 0 0 5 1 】

次に、第 7 工程 S T 7 において、図 1 9 (a) ~ (d) に示すように、ゲートキャップ膜 3 5 を除去した後に、第 1 および第 2 実施形態と同様にサリサイド技術を用いて、ソース/ドレイン領域 1 8 の上面およびゲート電極 1 6 の上面に、例えば N i S i 膜 2 1 を形成する。続いて、第 1 および第 2 実施形態と同様の工程を行なって、M O S F E T が完成する。

【 0 0 5 2 】

以上のように、歪みシリコン技術を用いる第 3 実施形態に係る半導体装置の製造方法の各工程を纏めて説明すると、半導体基板におけるゲート電極が形成される予定の領域を含む素子領域を取り囲むように素子分離領域を形成し、前記素子領域と前記素子分離領域の上面にカバー膜を形成した後、前記素子領域およびカバー膜を貫通させて前記カバー膜の積層方向の直交方向に列状の複数の穴を穿設し、前記穴の底面にソース・ドレイン領域とは逆導電型の不純物イオンを高濃度で注入してパンチスルー・ストップ領域を形成し、多結晶シリコンからなる前記柱状ゲート電極の上面を酸化処理して前記柱状ゲート電極上面にゲートキャップ膜を形成し、列状に穿設された複数の穴の底面を含む内壁面にゲート絶縁膜を形成した後、多結晶シリコンを成膜して複数の柱状ゲート電極を形成し、前記カバー膜を除去して前記複数本の柱状のゲート電極を露出させ、前記柱状ゲート電極および前記ゲート絶縁膜の周囲にゲート側壁膜を形成し、前記ゲート側壁膜を備えるゲート電極の列の両側のシリコンに対してエッチングを行なって前記パンチスルー・ストップ領域の両側にまで相当するリセス領域を形成し、前記リセス領域の上面でエピタキシャル成膜を行なってエピタキシャル成膜層よりなるソース・ドレイン領域を形成すると共に、前記エピタキシャル成膜層の応力による歪みを受けたチャネル領域を前記ソース・ドレイン領域間に形成し、前記柱状ゲート電極の上面から前記ゲートキャップ膜を除去した後、前記柱状ゲート電極の上面と前記ソース・ドレイン領域の上面に金属膜を形成し、前記柱状ゲート電極およびゲート側壁膜の全体を覆うようにシリコン窒化膜とシリコン酸化膜の積層膜からなる層間膜を成膜し、前記柱状ゲート電極の上面の前記金属膜が露出するまで前記層間膜の上面を除去して層間膜、ゲート側壁膜、柱状ゲート電極の上面を橋絡して電氣的に接続するように第 2 ゲート電極を形成するものである。

【 0 0 5 3 】

以上説明したように、第 3 実施形態の方法のように製造することにより、既知の歪みシリコン技術を本発明の実施形態に導入できることが分かる。さらに本発明の実施形態による半導体装置の製造方法は、既知のダマシゲートプロセスも用いることができる。

【 0 0 5 4 】

[第 4 実施形態]

以下、第 4 実施形態において、既知のダマシゲートプロセスを用いた半導体装置の製造方法を説明する。まず、第 1 工程 S T 1 において、図 2 0 (a) (b) に示すように、第 1 実施形態と同様にして、半導体基板 1 0 、B O X 酸化膜 1 1 、厚み 1 0 0 n m 程度の S O I (Silicon on Insulator) 領域 1 2 からなる S O I 基板を用いて、図示のような直径 2 0 n m 程度で、穴と穴の間隔が 2 5 n m 程度の複数の穴 1 4 を例えば S O I 領域 1 2 を貫通するように形成する。第 1 実施形態で用いたカバー膜 1 3 はなくても良い。

【 0 0 5 5 】

次に、第2工程ST2において、第1実施形態ではゲート電極16を埋め込んだが、第4実施形態においては、図20(c)(d)に示すように、例えば酸化膜をダミーゲート電極41として埋め込むようにしている。

【0056】

次に、第3工程ST3において、図20(e)(f)に示すように、第1実施形態と同様に素子領域以外のSOI領域12を除去して、素子領域上のSOI領域12のエッチバックを行ない、円柱状のダミーゲート電極41の一部を露出させる。図20(e)に示すように、円柱状のダミーゲート電極41の上半分と両端のダミーゲート電極41の円周の1/4程が全て露出するような状態となっている。

【0057】

次に、第4工程ST4において、図21(a)~(d)に示すように、第1実施形態の場合と同様に、例えばシリコン窒化膜からなるゲート側壁膜17を形成し、続いて、イオン注入技術などを用いて、燐、砒素、ホウ素などの不純物を注入することにより、ソース・ドレイン領域18を形成する。続いて、酸化を行ないソース・ドレイン表面にエッチングストップ膜42を形成する。

【0058】

第5工程ST5においては、図22(a)~(d)に示すように、多結晶シリコンからなるダミー層間膜43を成膜して平坦化を行い、ダミーゲート電極41の上面を露出させる。第1実施形態においては、シリコン窒化膜とシリコン酸化膜の積層の膜からなる層間膜22を成膜したが、この第4実施形態では多結晶シリコンからなるダミー層間膜43を成膜して平坦化を行ない、ダミーゲート電極41の上面を露出させるようにしている。

【0059】

次に、第6工程ST6において、図23(a)~(d)に示すように、酸化膜からなるダミーゲート電極41、多結晶シリコンからなるダミー層間膜43、シリコン窒化膜からなるゲート側壁膜17に対して選択的にエッチングを行なって、ダミーゲート電極41の設けられていた箇所に対応するゲート形成部44を開口する。このときに、ダミーゲート下部のBOX酸化膜11も少し削れて研削部45が形成される。この研削部45が形成されないようにしたい場合には、第1工程ST1において穴14を形成する際に、SOI領域12を貫通するまで開口させずに、穴14の底部に5nm程度のSOI領域12を残しておけばよい。

【0060】

次に、第7工程ST7において、図24(a)~(d)に示すように、ゲート形成部44の側壁に、例えば、ハフニウム酸化膜を被覆し、チタン窒化膜を埋め込んで、ゲート形成部44に例えばハフニウム酸化膜からなるゲート絶縁膜15とチタン窒化膜からなるメタルのゲート電極16を形成する。続いて、ゲート電極16の上表面の酸化を行なって、ゲート電極16の上部にチタン酸化膜からなるゲートキャップ膜46を形成する。

【0061】

次に、第8工程ST8において、図25(a)~(d)に示すように、多結晶シリコンからなるダミー層間膜43を除去する。続いて、第9工程ST9において、図26(a)~(d)に示すように、エッチングストップ膜42を除去した後にサリサイド技術を用いてソース・ドレイン上にNiSi膜21を形成する。このとき、チタン窒化膜からなるメタルのゲート電極16は、チタン酸化膜からなるゲートキャップ膜46により保護されているため、サリサイドプロセスにおける選択エッチングで除去されることはない。

【0062】

次に、第10工程ST10において、図27(a)~(d)に示すように、第1実施形態と同様に、シリコン窒化膜とシリコン酸化膜の積層の膜からなる層間膜22を成膜し、ゲート電極16の上面が露出するまで平坦化を行ない、その後、リソグラフィ技術を用いて、例えば、チタン窒化膜とアルミニウムの積層膜からなる第2のゲート電極23を形成する。

【0063】

10

20

30

40

50

以上説明したように、ダマシンプロセスを用いる第4実施形態に係る半導体装置の製造方法の各工程を纏めて説明すると、半導体基板と酸化膜とSOI領域を積層した基層としてのSOI基板における前記SOI領域を貫通させて前記基層の積層方向の直交方向に列状の複数の穴を穿設し、列状に穿設された複数の穴に酸化膜を埋め込んで柱状ダミーゲート電極を形成し、素子領域以外の前記SOI領域を除去すると共に素子領域上の前記SOI領域をエッチバックさせることにより前記柱状ダミーゲート電極の一部を露出させ、一部分が露出させられた前記柱状ダミーゲート電極を取り囲むようにゲート側壁膜を形成し、続いて、不純物イオンを前記SOI領域に注入することによりソース・ドレイン領域を形成した後、前記ソース・ドレイン領域表面を酸化させてエッチングストップ膜を形成し、前記柱状ダミーゲート電極および前記ゲート側壁膜の全体を多結晶シリコンで覆うことによりダミー層間膜を成膜した後に、上面を平坦化して前記ダミーゲート電極の上面を露出させ、前記ダミーゲート電極に対して選択的なエッチングを行なうことにより、ゲート形成部を開口させ、開口された前記ゲート形成部の底面および側壁にゲート酸化膜を被覆した後、金属膜を埋め込んでゲート電極を形成し、該ゲート電極の上面を酸化させてゲートキャップ膜を形成し、前記ダミー層間膜を除去した後、前記ソース・ドレイン領域表面の前記エッチングストップ膜を除去してから、サリサイド技術を用いて該ソース・ドレイン領域表面に金属膜を形成し、前記柱状ゲート電極およびゲート側壁膜の全体を覆うようにシリコン窒化膜とシリコン酸化膜の積層膜からなる層間膜を成膜し、前記柱状ゲート電極が露出するまで前記層間膜の上面を平坦化して層間膜、ゲート側壁膜、柱状ゲート電極の上面を平坦面として形成し、前記平坦面の前記柱状ゲート電極を橋絡して電気的に接続するように第2ゲート電極を形成するものである。

10

20

【0064】

以上の各工程により、ダマシングート技術を用いた場合にも本発明の実施形態のピラードFETを形成することができる。以上、本発明の実施形態の範囲を逸脱しない範囲で、その他の種々のプロセスに変更することが可能である。

【0065】

[第5実施形態]

本発明の実施形態の特徴は、平面で捉えたときのゲート電極16の断面形状が、円、楕円、四角形を含む柱状であることと、隣接する柱状のゲート電極16間をゲート側壁膜17で埋め込むことによって自己整合的にダブルゲート構造のチャネル領域を形成することとの2点である。第1ないし第4実施形態においては、ピラードゲート電極の形状を全て円柱状であるものとして説明したが、本発明の実施形態はこれに限定されず、ピラードゲート電極の形状は柱状でありさえすればいかなる形状であっても良い。このピラードゲートの形状の種々の変形例を第5実施形態として説明する、第5実施形態においては、図28(a)~(f)に示すように、第2のゲート電極23が省略された状態での層間膜22と柱状ゲート電極16の平面形状をゲート側壁膜17と共に例示している。

30

【0066】

図28(a)(b)は柱状ゲート電極の平面形状が楕円である場合の例をそれぞれ示している。図28(a)は、2つの楕円中心が柱状ゲート電極16の並んでいる方向に平行に位置する場合を示し、図28(b)は、2つの楕円中心が柱状ゲート電極の並んでいる方向に直交する方向に位置する場合を示している。

40

【0067】

図28(c)(d)は柱状ゲート電極16の平面形状が長方形である場合の例をそれぞれ示している。図28(c)は、各長方形の長辺が柱状ゲート電極16の並んでいる方向に平行に位置する場合を示し、図28(d)は、各長方形の長辺が柱状ゲート電極16の並んでいる方向に直交する方向に位置する場合を示している。

【0068】

図28(e)(f)は柱状ゲート電極16の平面形状が正方形である場合の例をそれぞれ示している。図28(e)は、正方形の各辺が柱状ゲート電極16の並んでいる方向に平行方向および直交方向に位置する場合を示し、図28(f)は、正方形の各辺が柱状ゲ

50

ート電極 16 の並んでいる方向に約 45 度の角度で偏位している場合を示している。この図 28 (f) の柱状ゲート電極 16 のさらなる変形として、図 28 (f) の正方形を菱形として菱形の並べられる位置を図中縦方向に長く配置するか、菱形の位置を柱状ゲート電極 16 の並べられる方向に沿って図中横方向に長く配置するか、しても良い。

【0069】

本発明の実施形態では、MOSFET においてチャンネルを挟んでゲート電極を 2 つ形成した、いわゆるダブルゲート構造のひとつである FINFET (本発明者はこの構造をピラードゲートと称する) において、従来の FINFET ではゲートパターンの合わせ余裕のために、ソース・ドレイン部に寄生抵抗の高い部分が生じていた問題を、この実施形態ではゲートパターンを形成後に自己整合的に FIN 形状のチャンネルを形成し、またゲート

10

【図面の簡単な説明】

【0070】

【図 1】第 1 実施形態の半導体装置の (a) 平面図、(b) b - b 線断面図、(c) c - c 線断面図、(d) d - d 線断面図である。

【図 2】第 1 実施形態の半導体装置の製造方法における ST 1 の (a) 平面図 (b) b - b 線断面図、ST 2 の (c) 平面図、(d) d - d 線断面図、ST 3 の (e) 平面図 (f) f - f 線断面図、ST 4 の (g) 平面図、(h) h - h 線断面図、ST 5 の (i) 平面図、(j) j - j 線断面図である。

20

【図 3】第 1 実施形態の製造方法における ST 6 の (a) 平面図、(b) b - b 線断面図、(c) c - c 線断面図、(d) d - d 線断面図である。

【図 4】第 1 実施形態の製造方法における ST 7 の (a) 平面図、(b) b - b 線断面図、(c) c - c 線断面図、(d) d - d 線断面図である。

【図 5】第 1 実施形態の製造方法における ST 8 の (a) 平面図、(b) b - b 線断面図、(c) c - c 線断面図、(d) d - d 線断面図である。

【図 6】第 1 実施形態の製造方法における ST 9 の (a) 平面図、(b) b - b 線断面図、(c) c - c 線断面図、(d) d - d 線断面図である。

【図 7】第 1 実施形態の製造方法における ST 10 の (a) 平面図、(b) b - b 線断面図、(c) c - c 線断面図、(d) d - d 線断面図である。

30

【図 8】第 1 実施形態の製造方法における ST 11 の (a) 平面図、(b) b - b 線断面図、(c) c - c 線断面図、(d) d - d 線断面図である。

【図 9】第 1 実施形態の製造方法の変形例における追加 ST の (a) 平面図、(b) b - b 線断面図、(c) c - c 線断面図、(d) d - d 線断面図である。

【図 10】第 2 実施形態の製造方法における ST 1 の (a) 平面図 (b) b - b 線断面図、ST 2 の (c) 平面図、(d) d - d 線断面図、ST 3 の (e) 平面図 (f) f - f 線断面図、ST 4 の (g) 平面図、(h) h - h 線断面図である。

【図 11】第 2 実施形態の製造方法における ST 5 の (a) 平面図、(b) b - b 線断面図、(c) c - c 線断面図、(d) d - d 線断面図である。

【図 12】第 2 実施形態の製造方法における ST 6 の (a) 平面図、(b) b - b 線断面図、(c) c - c 線断面図、(d) d - d 線断面図である。

40

【図 13】第 2 実施形態の製造方法における ST 7 の (a) 平面図、(b) b - b 線断面図である。

【図 14】第 2 実施形態の製造方法における ST 8 の (a) 平面図、(b) b - b 線断面図、(c) c - c 線断面図、(d) d - d 線断面図である。

【図 15】第 2 実施形態の製造方法における ST 9 の (a) 平面図、(b) b - b 線断面図、(c) c - c 線断面図、(d) d - d 線断面図である。

【図 16】第 3 実施形態の製造方法における ST 4 の (a) 平面図、(b) b - b 線断面図である。

【図 17】第 3 実施形態の製造方法における ST 5 の (a) 平面図、(b) b - b 線断面

50

図、(c) c - c 線断面図、(d) d - d 線断面図である。

【図18】第3実施形態の製造方法におけるST6の(a)平面図、(b) b - b 線断面図、(c) c - c 線断面図、(d) d - d 線断面図である。

【図19】第3実施形態の製造方法におけるST7の(a)平面図、(b) b - b 線断面図、(c) c - c 線断面図、(d) d - d 線断面図である。

【図20】第4実施形態の製造方法におけるST1の(a)平面図(b) b - b 線断面図、ST2の(c)平面図、(d) d - d 線断面図、ST3の(e)平面図(f) f - f 線断面図である。

【図21】第4実施形態の製造方法におけるST4の(a)平面図、(b) b - b 線断面図である。

【図22】第4実施形態の製造方法におけるST5の(a)平面図、(b) b - b 線断面図である。

【図23】第4実施形態の製造方法におけるST6の(a)平面図、(b) b - b 線断面図である。

【図24】第4実施形態の製造方法におけるST7の(a)平面図、(b) b - b 線断面図である。

【図25】第4実施形態の製造方法におけるST8の(a)平面図、(b) b - b 線断面図である。

【図26】第4実施形態の製造方法におけるST9の(a)平面図、(b) b - b 線断面図である。

【図27】第4実施形態の製造方法におけるST105の(a)平面図、(b) b - b 線断面図である。

【図28】第5実施形態の半導体装置における柱状ゲート電極16の種々の平面形状であり、電極配列方向に対して(a)横長楕円、(b)縦長楕円、(c)横長の長方形、(d)縦長長方形、(e)正方形、(f)45度偏位正方形のそれぞれ平面図である。

【図29】従来の半導体装置の平面図である。

【符号の説明】

【0071】

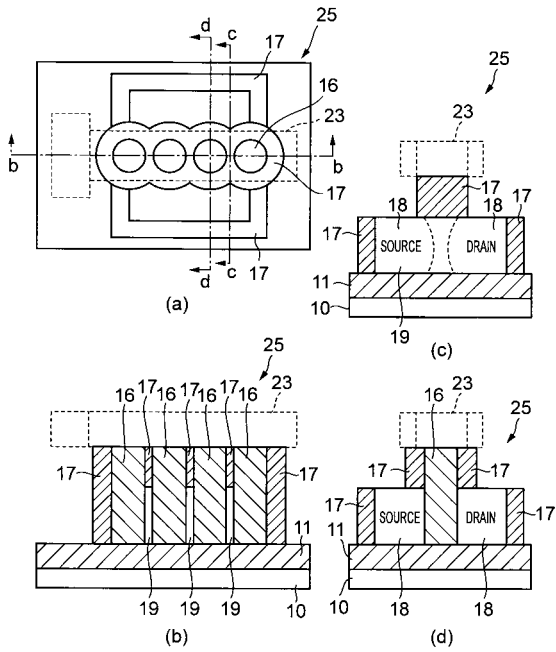
- 10 半導体基板
- 11 BOX酸化膜
- 12 SOI領域
- 16 柱状ゲート電極
- 17 ゲート側壁
- 18 ソース・ドレイン領域
- 19 チャネル領域
- 23 第2ゲート電極
- 25 半導体装置

10

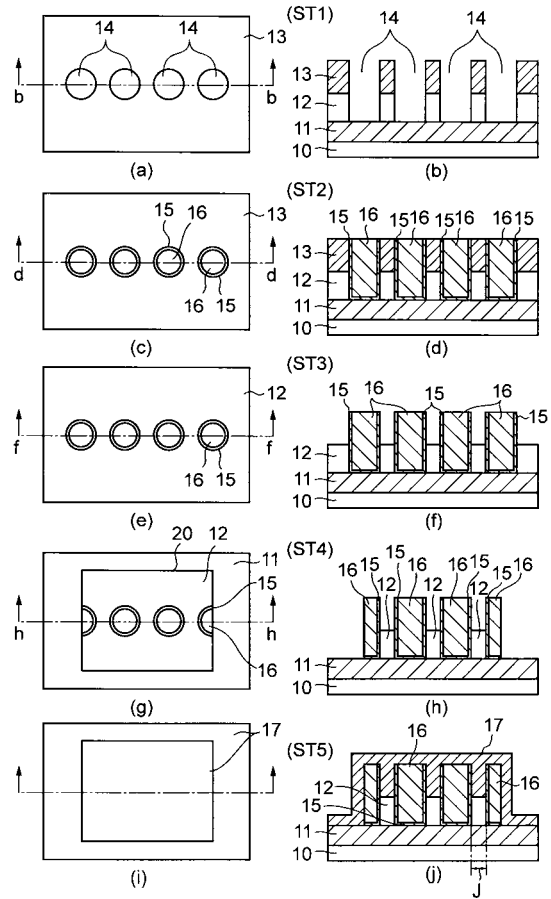
20

30

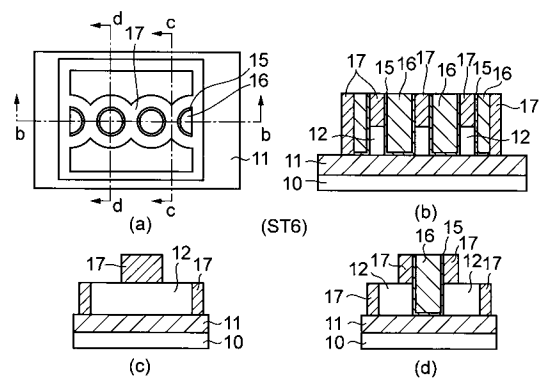
【 図 1 】



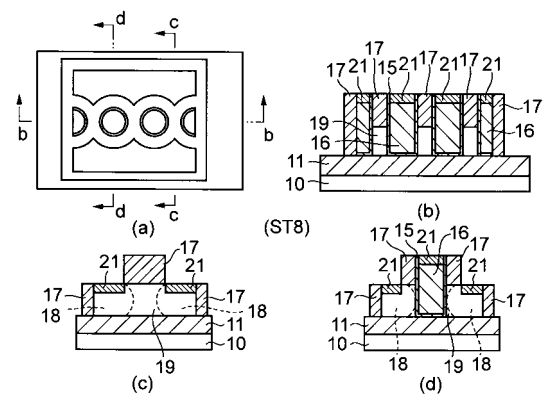
【 図 2 】



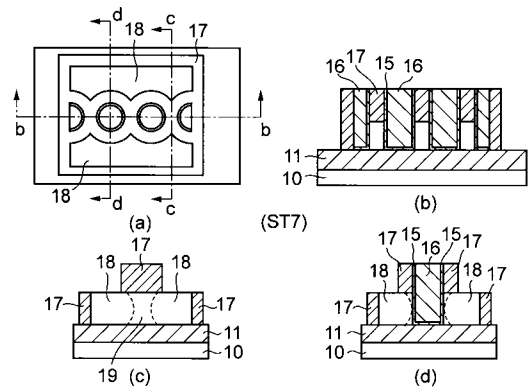
【 図 3 】



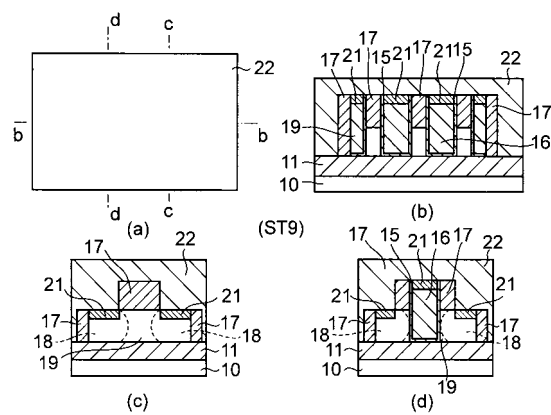
【 図 5 】



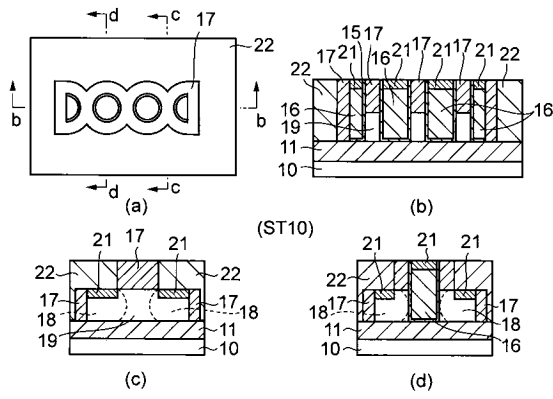
【 図 4 】



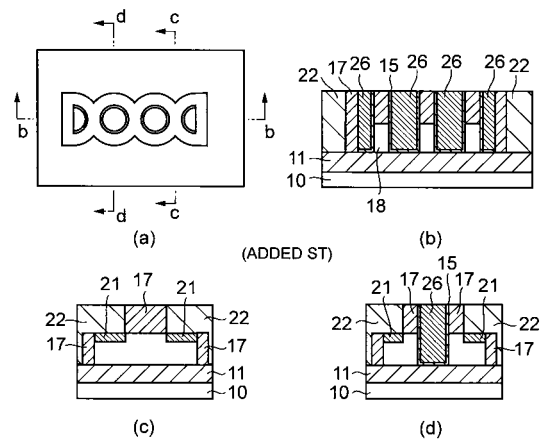
【 図 6 】



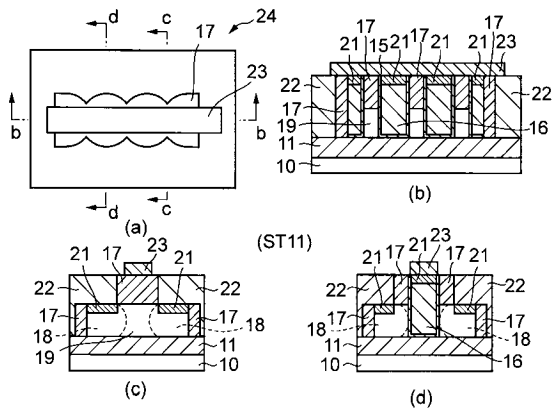
【 図 7 】



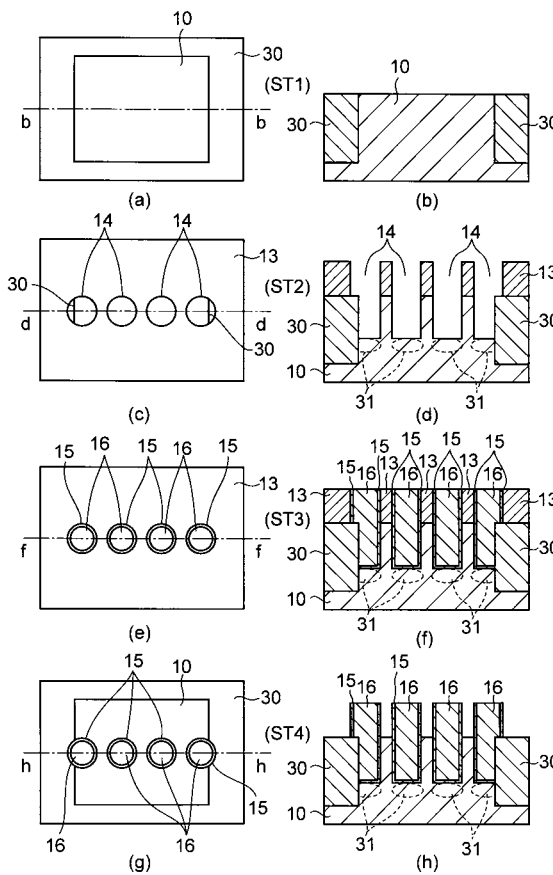
【 図 9 】



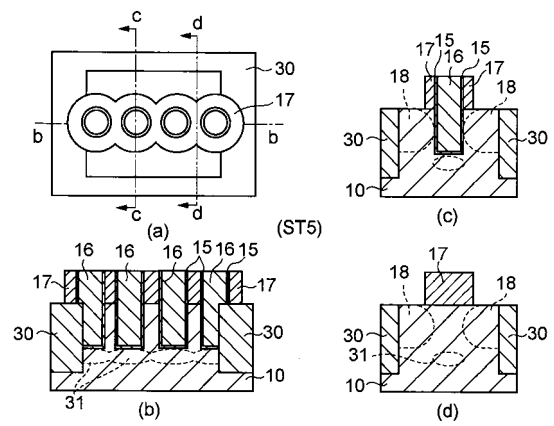
【 図 8 】



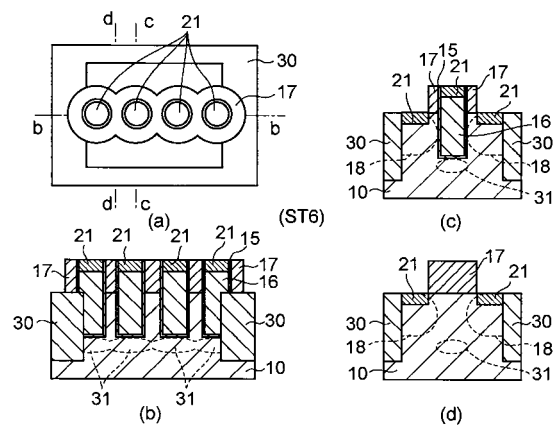
【 図 1 0 】



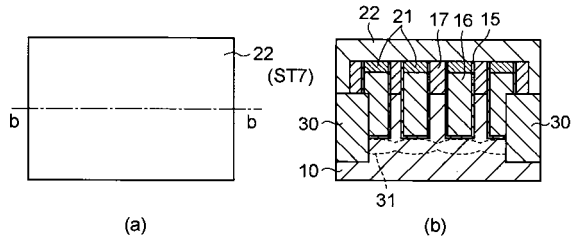
【 図 1 1 】



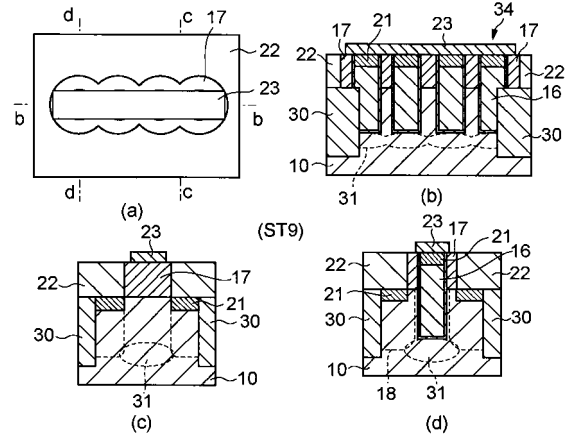
【 図 1 2 】



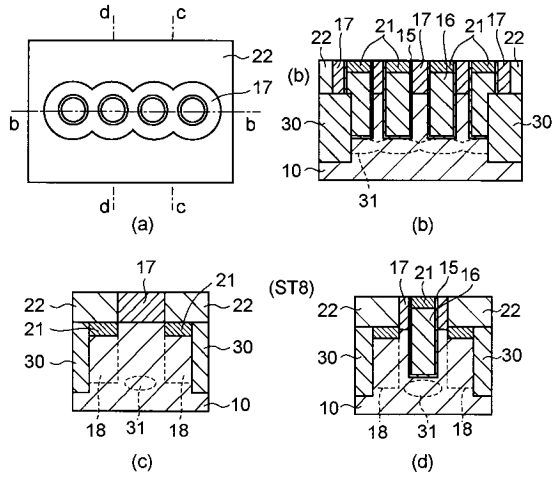
【 図 1 3 】



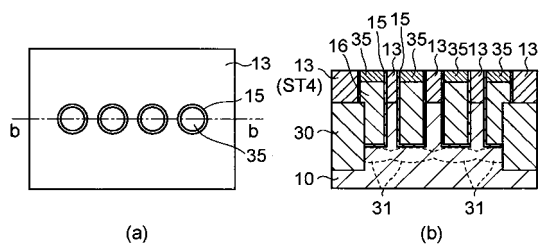
【 図 1 5 】



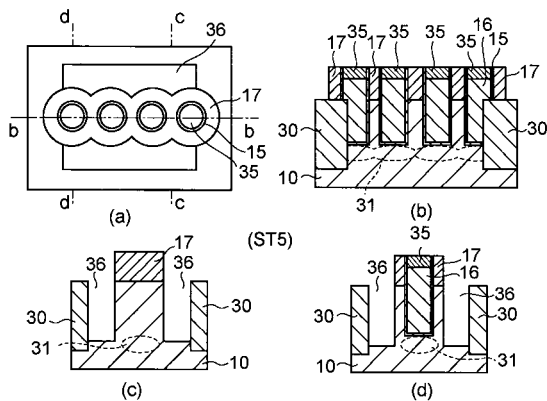
【 図 1 4 】



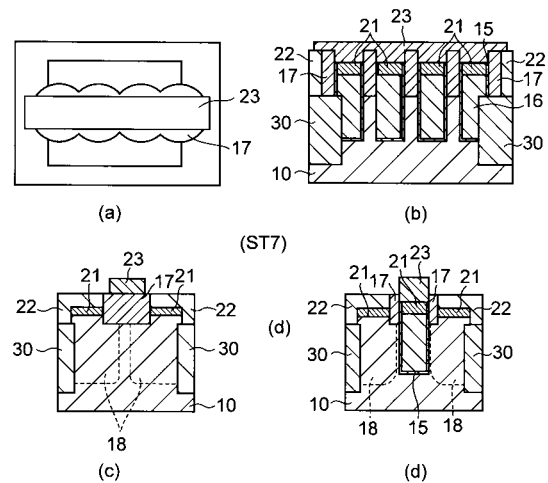
【 図 1 6 】



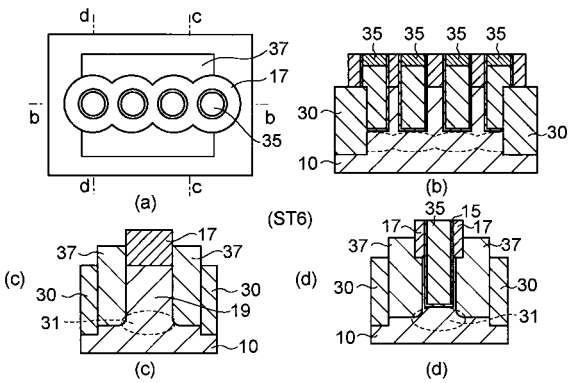
【 図 1 7 】



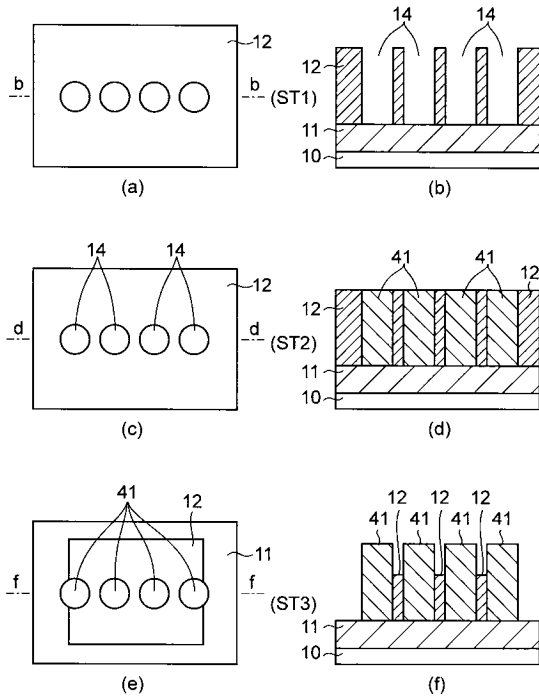
【 図 1 9 】



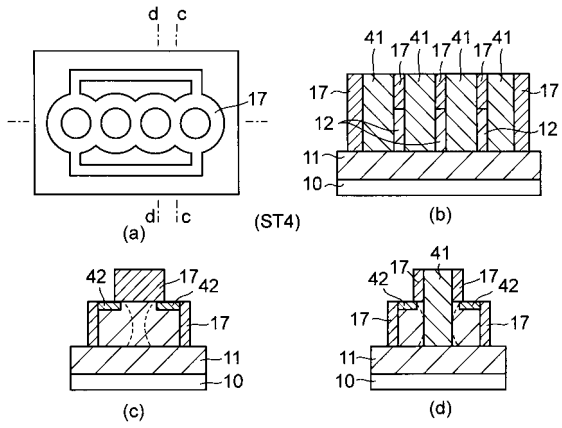
【 図 1 8 】



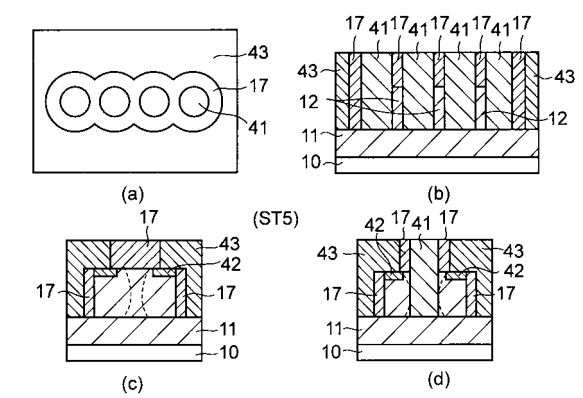
【 図 2 0 】



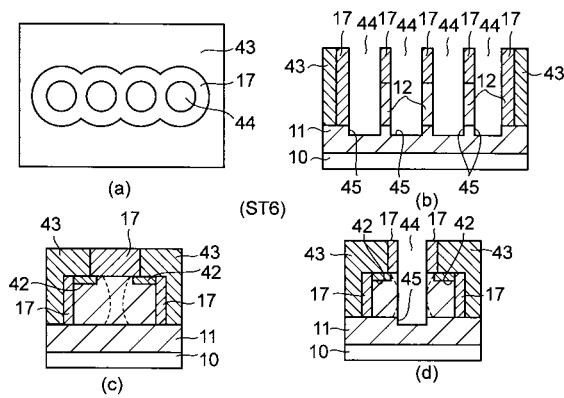
【 図 2 1 】



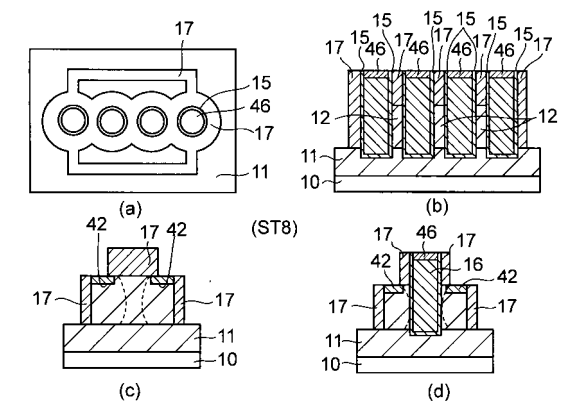
【 図 2 2 】



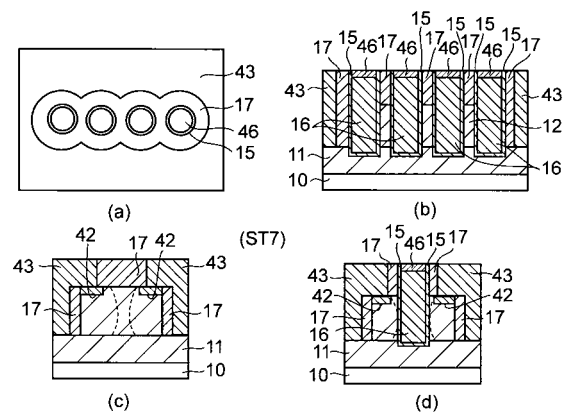
【 図 2 3 】



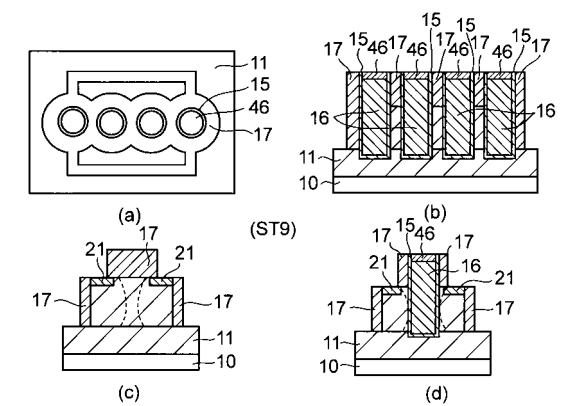
【 図 2 5 】



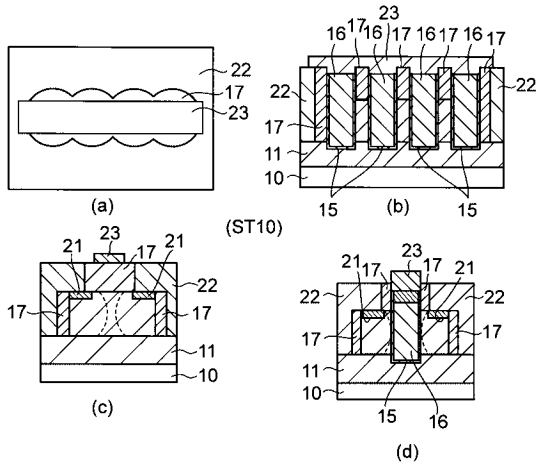
【 図 2 4 】



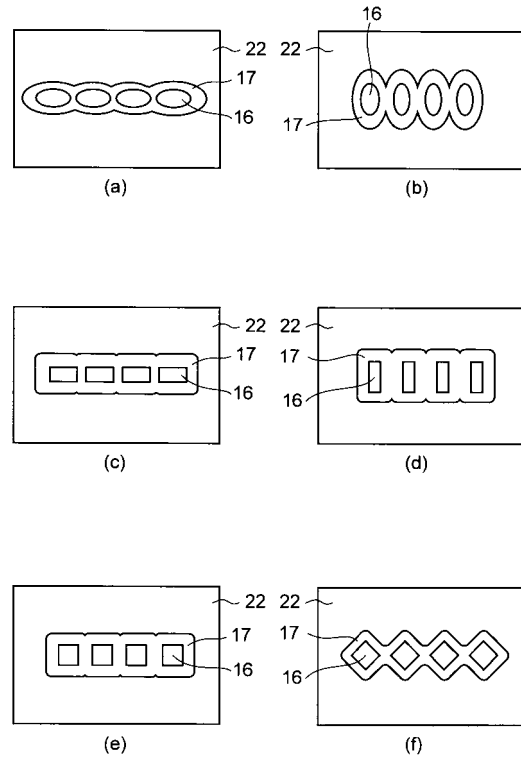
【 図 2 6 】



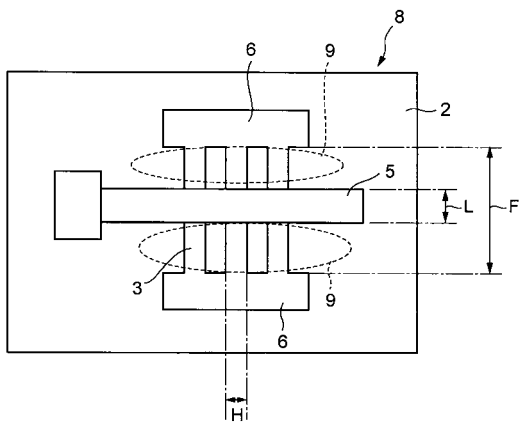
【 図 2 7 】



【 図 2 8 】



【 図 2 9 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/78 3 0 1 X

(72)発明者 松 尾 浩 司

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5F110 AA03 DD05 EE02 EE05 EE08 EE22 EE24 EE29 EE31 EE36
FF04 FF12 FF13 FF25 GG02 GG12 GG22 GG23 HJ13 HK05
NN02 NN03 NN23 NN24 QQ19
5F140 AA10 AC28 AC36 BA01 BB05 BB06 BD09 BD11 BF01 BF04
BF08 BF11 BF18 BF22 BF25 BF30 BF43 BF47 BF54 BF59
BG01 BG04 BG08 BG14 BG32 BG34 BG40 BG45 BG53 BH06
BH27 BH39 BH40 BJ01 BJ08 BK09 BK10 BK13 BK18 CA03
CB04 CC01 CC03 CC08 CE07 CE08 CF04