



(12) 发明专利

(10) 授权公告号 CN 108269861 B

(45) 授权公告日 2021.06.08

(21) 申请号 201611264809.0

(22) 申请日 2016.12.30

(65) 同一申请的已公布的文献号  
申请公布号 CN 108269861 A

(43) 申请公布日 2018.07.10

(73) 专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

专利权人 中芯国际集成电路制造(北京)有限公司

(72) 发明人 吴健

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 徐文欣 吴敏

(51) Int.Cl.

H01L 29/94 (2006.01)

H01L 21/02 (2006.01)

(56) 对比文件

CN 107564953 A, 2018.01.09

审查员 杨福华

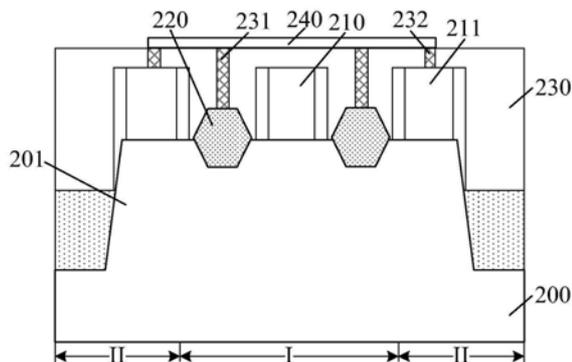
权利要求书2页 说明书8页 附图5页

(54) 发明名称

MOS电容及其形成方法

(57) 摘要

本发明提供一种MOS电容及其形成方法,其中,MOS电容包括:衬底,所述衬底包括相互邻接的器件区和保护区;位于所述器件区衬底上的栅极结构;位于所述栅极结构两侧器件区衬底中的源漏掺杂区;位于所述保护区衬底上的伪栅极结构;连接所述源漏掺杂区与所述伪栅极结构的导电结构。所述MOS电容包括连接所述伪栅极结构与所述源漏掺杂区的导电结构,则所述伪栅极结构上的电位为稳定电位了,当外界环境变化时,伪栅极结构上的电位不容易发生变化,伪栅极结构与衬底之间的电压不容易发生变化,从而不容易影响栅极结构与衬底之间的电容,进而能够保证MOS电容的电容值的精度,改善MOS电容性能。



1. 一种MOS电容,其特征在于,包括:  
衬底,所述衬底包括相互邻接的器件区和保护区;  
位于所述器件区衬底上的栅极结构;  
位于所述栅极结构两侧器件区衬底中的源漏掺杂区;  
位于所述保护区衬底上的伪栅极结构;所述伪栅极结构横跨所述保护区鳍部,且所述伪栅极结构位于所述鳍部部分侧壁和顶部表面;  
连接所述源漏掺杂区与所述伪栅极结构的导电结构;  
在所述源漏掺杂区上施加电位,则所述伪栅极结构上也施加了相同的电位,且所述伪栅极结构上的电位为稳定的电位,进而使伪栅极结构与衬底之间的电压为恒定值;  
所述MOS电容还包括:位于所述器件区衬底中的阱区或者连接所述栅极结构的栅极插塞;其中,当所述MOS电容包括所述阱区时,所述栅极结构位于所述阱区上;  
所述阱区中具有阱离子,所述源漏掺杂区中具有掺杂离子,所述阱离子和掺杂离子为磷离子、砷离子、硼离子或 $\text{BF}^{2-}$ 离子。
2. 如权利要求1所述的MOS电容,其特征在于,所述栅极结构两侧的源漏区相互电连接。
3. 如权利要求1所述的MOS电容,其特征在于,所述导电结构包括:连接所述源漏掺杂区的源漏插塞,连接所述伪栅极结构的伪栅极插塞,连接所述伪栅极结构与所述源漏插塞的连接线。
4. 如权利要求3所述的MOS电容,其特征在于,所述连接线的材料为铝或铜铝合金。
5. 如权利要求3所述的MOS电容,其特征在于,所述伪栅极插塞的材料为铜或铝。
6. 如权利要求3所述的MOS电容,其特征在于,分别连接所述栅极结构两侧的源漏掺杂区的源漏插塞通过所述连接线电连接。
7. 一种MOS电容的形成方法,其特征在于,包括:  
提供衬底,所述衬底包括相互邻接的器件区和保护区;  
在所述器件区衬底上形成栅极结构;  
在所述保护区衬底上形成伪栅极结构;所述伪栅极结构横跨所述保护区鳍部,且所述伪栅极结构位于所述鳍部部分侧壁和顶部表面;  
在所述栅极结构两侧的器件区衬底中形成源漏掺杂区;  
形成连接所述源漏掺杂区与所述伪栅极结构的导电结构;  
在所述源漏掺杂区上施加电位,则所述伪栅极结构上也施加了相同的电位,且所述伪栅极结构上的电位为稳定的电位,进而使伪栅极结构与衬底之间的电压为恒定值;  
所述方法还包括:形成连接所述栅极结构的栅极插塞;或者,所述方法还包括:在形成栅极结构之前,对所述器件区衬底进行离子注入,在所述器件区衬底中形成阱区;  
所述阱区中具有阱离子,所述源漏掺杂区中具有掺杂离子,所述阱离子和掺杂离子为磷离子、砷离子、硼离子或 $\text{BF}^{2-}$ 离子。
8. 如权利要求7所述的MOS电容的形成方法,其特征在于,所述导电结构包括:连接所述源漏掺杂区的源漏插塞,连接所述伪栅极结构的伪栅极插塞,连接所述伪栅极结构与所述源漏插塞的连接线;  
形成所述导电结构的步骤包括:在所述器件区衬底和保护区衬底上形成介质层;分别在所述器件区和保护区介质层中形成接触孔,所述器件区接触孔暴露出所述源漏掺杂区,

所述保护区接触孔暴露出所述伪栅极结构顶部表面；在所述器件区接触孔中形成源漏插塞；在所述保护区接触孔中形成伪栅极插塞；在所述介质层上形成连接线，所述连接线连接所述源漏插塞和所述伪栅极插塞。

9. 如权利要求8所述的MOS电容的形成方法，其特征在于，分别连接所述栅极结构两侧的源漏掺杂区的源漏插塞通过所述连接线电连接。

## MOS电容及其形成方法

### 技术领域

[0001] 本发明涉及半导体制造技术领域,尤其涉及一种MOS电容及其形成方法。

### 背景技术

[0002] 随着移动通讯技术的发展,射频(RF)电路的研究引起了广泛的重视。采用标准CMOS工艺实现压控振荡器(VCO),是实现射频CMOS集成收发机的关键。过往的压控振荡器电路大多采用反向偏压的变容二极管作为压控器件,然而在实际工艺实现电路时,会发现变容二极管的品质因数通常都很小,这将影响到电路的性能。于是,人们便尝试采用其它可以用CMOS工艺实现的器件来代替一般的变容二极管,MOS电容便应运而生了。

[0003] 将MOS晶体管的漏和源短接,并将源和漏与衬底短接便可成为一个简单的MOS电容,其电容值随栅极与衬底之间的电压变化而变化。在PMOS电容中,反型载流子沟道在栅极与衬底之间的电压大于阈值电压时建立,当栅极与衬底之间的电压远远大于阈值电压时,PMOS电容工作在强反型区域。另一方面,在栅极电压大于衬底电压时,PMOS电容工作在积累区,此时栅氧化层与半导体之间的界面电压为正且能使电子自由移动。

[0004] 为了减小外界环境变化对MOS电容的影响,往往在MOS电容两侧形成伪栅极结构,实现MOS电容与外界环境之间的隔离。

[0005] 然而,现有的MOS电容仍然容易受到外界环境的影响,使MOS电容的性能较差。

### 发明内容

[0006] 本发明解决的问题是提供一种半导体结构及其形成方法,能够改善MOS电容的性能。

[0007] 为解决上述问题,本发明提供一种MOS电容,包括:衬底,所述衬底包括相互邻接的器件区和保护区;位于所述器件区衬底上的栅极结构;位于所述栅极结构两侧器件区衬底中的源漏掺杂区;位于所述保护区衬底上的伪栅极结构;连接所述源漏掺杂区与所述伪栅极结构的导电结构。

[0008] 可选的,还包括位于所述器件区衬底中的阱区,所述栅极结构位于所述阱区上;所述阱区中具有阱离子,所述源漏掺杂区中具有掺杂离子,所述掺杂离子与所述阱离子的导电类型相同或不相同。

[0009] 可选的,所述阱离子和掺杂离子为磷离子、砷离子、硼离子或BF<sub>2</sub><sup>-</sup>离子。

[0010] 可选的,所述栅极结构两侧的源漏区相互电连接。

[0011] 可选的,所述导电结构包括:连接所述源漏掺杂区的源漏插塞,连接所述伪栅极结构的伪栅极插塞,连接所述伪栅极结构与所述源漏插塞的连接线。

[0012] 可选的,所述连接线的材料为铝或铜铝合金。

[0013] 可选的,所述伪栅极插塞的材料为铜或铝。

[0014] 可选的,分别连接所述栅极结构两侧的源漏掺杂区的源漏插塞通过所述连接线电连接。

[0015] 可选的,还包括:连接所述栅极结构的栅极插塞。

[0016] 相应的,本发明还提供一种MOS电容的形成方法,包括:提供衬底,所述衬底包括相互邻接的器件区和保护区;在所述器件区衬底上形成栅极结构;在所述保护区衬底上形成伪栅极结构;在所述栅极结构两侧的器件区衬底中形成源漏掺杂区;形成连接所述源漏掺杂区与所述伪栅极结构的导电结构。

[0017] 可选的,所述导电结构包括:连接所述源漏掺杂区的源漏插塞,连接所述伪栅极结构的伪栅极插塞,连接所述伪栅极结构与所述源漏插塞的连接线;形成所述导电结构的步骤包括:在所述器件区衬底和保护区衬底上形成介质层;分别在所述器件区和保护区介质层中形成接触孔,所述器件区接触孔暴露出所述源漏掺杂区,所述保护区接触孔暴露出所述伪栅极结构顶部表面;在所述器件区接触孔中形成源漏插塞;在所述保护区接触孔中形成伪栅极插塞;在所述介质层上形成连接线,所述连接线连接所述源漏插塞和所述伪栅极插塞。

[0018] 可选的,分别连接所述栅极结构两侧的源漏掺杂区的源漏插塞通过所述连接线电连接。

[0019] 可选的,还包括:形成连接所述栅极结构的栅极插塞。

[0020] 可选的,形成栅极结构之前,还包括:对所述器件区衬底进行离子注入,在所述器件区衬底中形成阱区。

[0021] 可选的,所述阱区中具有阱离子,所述源漏掺杂区中具有掺杂离子,所述掺杂离子与所述阱离子的导电类型相同或不相同。

[0022] 与现有技术相比,本发明的技术方案具有以下优点:

[0023] 本发明技术方案提供的MOS电容中,所述MOS电容包括连接所述伪栅极结构与所述源漏掺杂区的导电结构,则所述伪栅极结构与所述源漏掺杂区之间电连接。所述MOS电容在使用的过程中,在所述源漏掺杂区上施加电位,则所述伪栅极结构上也施加了相同的电位,且所述伪栅极结构上的电位为稳定的电位。当外界环境变化时,例如当外界的湿度、温度发生变化引起伪栅极结构电阻发生变化时,或者外部电路形成的电场对伪栅极结构上的电荷的作用发生变化时,伪栅极结构上的电位不容易发生变化,能够使伪栅极结构与衬底之间的电压为恒定值。因此,外界环境的变化不容易使衬底电位发生变化,从而不容易影响栅极结构与衬底之间的电容,进而能够保证MOS电容的电容值的精度,改善MOS电容性能。

[0024] 本发明技术方案提供的MOS电容的形成方法中,形成连接所述伪栅极结构与所述源漏掺杂区的导电结构,则所述伪栅极结构与所述源漏掺杂区之间电连接。所述MOS电容在使用的过程中,在所述源漏掺杂区上施加电位,则所述伪栅极结构上也施加了相同的电位。且所述伪栅极结构上的电位为稳定的电位。当外界环境变化时,例如当外界的湿度、温度发生变化引起伪栅极结构电阻发生变化时,或者外部电路形成的电场对伪栅极结构上的电荷的作用发生变化时,伪栅极结构上的电位不容易发生变化,能够使伪栅极结构与衬底之间的电压为恒定值。因此,外界环境的变化不容易使衬底电位发生变化,从而不容易影响栅极结构与衬底之间的电容,进而能够保证MOS电容的电容值的精度,改善MOS电容性能。

## 附图说明

[0025] 图1和图2是一种MOS电容的结构示意图;

[0026] 图3至图10是本发明MOS电容的形成方法一实施例各步骤的结构示意图。

### 具体实施方式

[0027] 现有的半导体结构存在诸多问题,例如:MOS电容的性能较差。

[0028] 以下结合附图分析所述MOS电容的性能较差的原因。

[0029] 图1和图2是一种MOS电容的结构示意图。

[0030] 请参考图1和图2,图2是图1沿切割线11-12的剖视图,所述MOS电容包括:衬底100,所述衬底100包括相互邻接的器件区A和保护区B,所述衬底100器件区A和保护区B上具有鳍部101;位于所述衬底100上的隔离结构102,所述隔离结构102表面低于所述鳍部101顶部表面;横跨所述器件区A鳍部101的栅极结构110,所述栅极结构110覆盖所述器件区A鳍部101部分侧壁和顶部表面;横跨所述保护区B鳍部101的伪栅极结构111,所述伪栅极结构111覆盖所述保护区B鳍部101部分侧壁和顶部表面;分别位于所述栅极结构110两侧鳍部101中的源区121和漏区122;连接所述源区121和漏区122的导电结构132。

[0031] 其中,在形成导电结构132之前,需要形成覆盖所述源区121、漏区122和栅极结构110的介质层140(图1中未示出),并对所述介质层140进行平坦化处理。在所述平坦化处理过程中,所述伪栅极结构110能够对所述介质140起支撑作用,从而减小所述介质层140中的凹陷,提高所述介质层140的绝缘性。

[0032] 然而,由于所述伪栅极结构111悬空,所述伪栅极结构111上产生的电位不稳定。例如,外界环境的湿度、温度等的变化,容易引起伪栅极结构111电阻的变化,从而导致伪栅极结构111上电位的变化;或者,外部电路形成的电场的变化,容易引起伪栅极结构上电荷量的变化,从而引起伪栅极结构111上电位的变化。所述伪栅极结构111上电位的不稳定容易影响所述衬底100的电位,从而影响衬底100与栅极结构111之间的电压,进而对栅极结构110与衬底100之间的电容产生影响。

[0033] 为解决所述技术问题,本发明提供了一种MOS电容,包括:衬底,所述衬底包括相互邻接的器件区和保护区;位于所述器件区衬底上的栅极结构;位于所述栅极结构两侧器件区衬底中的源漏掺杂区;位于所述保护区衬底上的伪栅极结构;连接所述源漏掺杂区与所述伪栅极结构的导电结构。

[0034] 其中,所述MOS电容包括连接所述伪栅极结构与所述源漏掺杂区的导电结构,则所述伪栅极结构与所述源漏掺杂区之间电连接。所述MOS电容在使用的过程中,在所述源漏掺杂区上施加电位,则所述伪栅极结构上也施加了相同的电位,且所述伪栅极结构上的电位为稳定的电位。当外界环境变化时,例如当外界的湿度、温度发生变化引起伪栅极结构电阻发生变化时,或者外部电路形成的电场对伪栅极结构上的电荷的作用发生变化时,伪栅极结构上的电位不容易发生变化,能够使伪栅极结构与衬底之间的电压为恒定值。因此,外界环境的变化不容易使衬底的电位发生变化,从而不容易影响栅极结构与衬底之间的电容,进而能够保证MOS电容的电容值的精度,改善MOS电容性能。

[0035] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0036] 图3至图10是本发明MOS电容的形成方法一实施例各步骤的结构示意图。

[0037] 请参考图3,提供衬底,所述衬底包括器件区I和保护区II。

- [0038] 所述器件区I用于形成半导体器件,所述保护区II用于后续形成伪栅极结构。
- [0039] 本实施例中,所述衬底包括:基底200和位于所述器件区I和保护区II基底200上的鳍部201。在其他实施例中,所述衬底还可以为平面衬底。
- [0040] 本实施例中,所述保护区II位于所述器件区I两侧。
- [0041] 本实施例中,所述基底200和所述鳍部201的材料为硅。在其他实施例中,所述基底和所述鳍部的材料为锗或硅锗,所述基底还可以为绝缘体上硅、绝缘体上锗等半导体基底。
- [0042] 本实施例中,所述形成方法还包括:在所述基底200上形成隔离结构202,所述隔离结构202覆盖所述鳍部201部分侧壁,且所述隔离结构202表面低于所述鳍部202顶部表面。
- [0043] 本实施例中,所述隔离结构202的材料为氧化硅。在其他实施例中,所述隔离结构的材料还可以为氮化硅或氮氧化硅。
- [0044] 本实施例中,形成所述隔离结构202之后,还包括:在所述器件区I衬底中形成阱区,所述阱区中具有阱离子。
- [0045] 本实施例中,所述阱区还位于所述保护区II衬底中。具体的,所述阱区位于所述器件区I和保护区II鳍部201中。
- [0046] 本实施例中,形成所述阱区的步骤包括:对所述鳍部201进行离子注入,在所述鳍部201中注入阱离子。
- [0047] 本实施例中,所述阱离子为N型离子,例如磷离子或砷离子。在其他实施例中,所述阱离子还可以为P型离子,例如硼离子或 $\text{BF}^{2-}$ 离子。
- [0048] 请参考图4,在所述器件区I衬底上形成栅极结构210;在所述保护区II衬底上形成伪栅极结构211。
- [0049] 本实施例中,所述栅极结构210横跨所述器件区I鳍部201,且所述栅极结构210位于所述鳍部201部分侧壁和顶部表面。
- [0050] 本实施例中,所述伪栅极结构211横跨所述保护区II鳍部201,且所述伪栅极结构211位于所述鳍部201部分侧壁和顶部表面。
- [0051] 本实施例中,形成所述栅极结构210和伪栅极结构211的步骤包括:形成覆盖所述器件区I和保护区II鳍部201侧壁和顶部表面的栅介质层;在所述栅介质层上形成栅极层;对所述栅介质层和栅极层进行图形化,形成所述栅极结构210和伪栅极结构211。
- [0052] 本实施例中,所述栅介质层的材料为氧化硅。在其他实施例中,所述栅介质层的材料还可以为高k(介电常数大于3.9)介质材料。
- [0053] 本实施例中,所述栅极的材料为多晶硅。在其他实施例中,所述栅极的材料还可以为金属,例如:Al、Cu、Ag、Au、Ni、Ti、W、WN或WSi。
- [0054] 本实施例中,形成所述栅极结构210和伪栅极结构211的步骤还包括:在形成所述栅极层的过程中,对所述栅极层进行原位掺杂,在所述栅极层中掺入栅极掺杂离子。
- [0055] 具体的,本实施例中,所述栅极掺杂离子为N型离子,例如磷离子或砷离子,在其他实施例中,所述栅极掺杂离子还为P型离子,包括:硼离子或 $\text{BF}^{2-}$ 离子。
- [0056] 请参考图5,在所述栅极结构210两侧的器件区I衬底中形成源漏掺杂区220。
- [0057] 所述栅极结构210两侧的源漏掺杂区220之间相互电连接。
- [0058] 本实施例中,所述源漏掺杂区220位于所述栅极结构210与所述伪栅极结构211之间的衬底中。

[0059] 本实施例中,所述源漏掺杂区220的材料为硅锗。在其他实施例中,所述源漏掺杂区的材料还可以为硅碳或硅。

[0060] 本实施例中,形成源漏掺杂区220的工艺包括外延生长工艺。

[0061] 本实施例中,在通过所述外延生长工艺形成源漏掺杂区220的过程中,通过原位掺杂工艺对所述源漏掺杂区220进行掺杂,在所述源漏掺杂区220中掺入掺杂离子。

[0062] 本实施例中,所述掺杂离子与所述阱离子的导电类型相同。在其他实施例中,所述掺杂离子与所述阱离子的导电类型还可以不相同。

[0063] 本实施例中,所述掺杂离子为N型离子,例如磷离子或砷离子。在其他实施例中,所述源漏掺杂区的材料为硅或碳硅,所述掺杂离子还可以为P型离子,例如硼离子或 $\text{BF}^{2-}$ 离子。

[0064] 后续形成连接所述源漏掺杂区220与所述伪栅极结构211的导电结构。

[0065] 本实施例中,所述导电结构包括:连接所述源漏掺杂区220的源漏插塞,连接所述伪栅极结构211的伪栅极插塞,连接所述伪栅极插塞与所述源漏插塞的连接线。具体的,形成所述导电结构的步骤如图6至10所示。

[0066] 请参考图6,在所述器件区I衬底和保护区II衬底上形成介质层230。

[0067] 所述介质层230用于实现不同导电结构之间的隔离。

[0068] 本实施例中,所述介质层230的材料为氧化硅。在其他实施例中,所述介质层的材料还可以为氮氧化硅或氮化硅。

[0069] 本实施例中,形成所述介质层230的工艺包括流体化学气相沉积工艺。

[0070] 请参考图7,在所述器件区I介质层230中形成源漏接触孔203,所述源漏接触孔203暴露出所述源漏掺杂区220,在所述保护区II介质层203中形成伪栅接触孔204,所述伪栅接触孔204暴露出所述伪栅极结构211顶部表面。

[0071] 所述源漏接触孔203和所述伪栅接触孔204用于后续分别容纳源漏插塞和伪栅极插塞。

[0072] 本实施例中,形成所述源漏接触孔203和所述伪栅接触孔204的工艺包括干法刻蚀工艺。

[0073] 需要说明的是,本实施例中,所述导电结构的形成方法还包括:在所述器件区I介质层230中形成栅极接触孔(图中未示出)。

[0074] 请参考图8和图9,图9是图8沿切割线23-24的剖面图,图8中忽略了介质层230,在所述源漏接触孔203中形成源漏插塞231;在所述伪栅接触孔204中形成伪栅极插塞232。

[0075] 所述源漏插塞231用于实现所述源漏掺杂区220与外部电路的电连接;所述伪栅极插塞232用于实现所述伪栅极结构211与所述源漏掺杂区220的电连接。

[0076] 本实施例中,所述源漏插塞231和所述伪栅极插塞232的材料为钨。在其他实施例中,所述源漏插塞和所述伪栅极插塞的材料还可以为铜。

[0077] 本实施例中,形成所述源漏插塞231和所述伪栅极插塞232的工艺包括:化学气相沉积工艺、物理气相沉积工艺或电化学镀膜工艺。

[0078] 本实施例中,所述形成方法还包括:形成连接所述栅极结构210的栅极插塞233,所述栅极插塞233贯穿所述介质层230。

[0079] 所述栅极插塞233用于实现栅极结构210与外部电路的电连接。

[0080] 本实施例中,所述栅极插塞233的材料为钨。在其他实施例中,所述栅极插塞的材

料还可以为铜。

[0081] 请参考图10,在所述介质层230上形成连接线240,所述连接线240连接所述源漏插塞231与所述伪栅极插塞232。

[0082] 所述连接线240连接所述源漏插塞231与所述伪栅极插塞232,则所述伪栅极结构211与所述源漏掺杂区220之间电连接。所述MOS电容在使用的过程中,在所述源漏掺杂区220上施加电位,则所述伪栅极结构211上也施加了相同的电位,且所述伪栅极插塞232上的电位为稳定的电位。当外界环境变化时,例如当外界的湿度、温度发生变化引起伪栅极结构211电阻发生变化时,或者外部电路形成的电场对伪栅极结构上的电荷的作用发生变化时,伪栅极结构211上的电位不容易发生变化,从而使伪栅极结构211与衬底之间的电压为恒定值,因此,外界环境的变化不容易使衬底的电位发生变化,从而不容易影响栅极结构210与衬底之间的电容,进而能够保证MOS电容的电容值的精度,改善MOS电容性能。

[0083] 本实施例中,分别连接所述栅极结构210两侧的源漏掺杂区220的源漏插塞231通过所述连接线240电连接。

[0084] 本实施例中,所述连接线240的材料为铝,在其他实施例中,所述连接线的材料还可以为铜或铜铝合金。

[0085] 本实施例中,形成所述连接线240的工艺包括:化学气相沉积工艺。在其他实施例中,形成所述连接线的工艺还可以包括物理气相沉积工艺或电化学镀膜工艺。

[0086] 综上,本发明实施例提供的MOS电容的形成方法中,所述MOS电容包括连接所述伪栅极结构与所述源漏掺杂区的导电结构,则所述伪栅极结构与所述源漏掺杂区之间电连接。所述MOS电容在使用的过程中,在所述源漏掺杂区上施加电位,则所述伪栅极结构上也施加了相同的电位,且所述伪栅极结构上的电位为稳定的电位。当外界环境变化时,例如当外界的湿度、温度发生变化引起伪栅极结构电阻发生变化时,或者外部电路形成的电场对伪栅极结构上的电荷的作用发生变化时,伪栅极结构上的电位不容易发生变化,能够使伪栅极结构与衬底之间的电压为恒定值。因此,外界环境的变化不容易使衬底的电位发生变化,从而不容易影响栅极结构与衬底之间的电容,进而能够保证MOS电容的电容值的精度,改善MOS电容性能。

[0087] 继续参考图10,本发明实施例还提供了一种MOS电容,包括:衬底,所述衬底包括相互邻接的器件区I和保护区II;位于所述器件区I衬底上的栅极结构210;位于所述栅极结构210两侧器件区I衬底中的源漏掺杂区220;位于所述保护区II衬底上的伪栅极结构211;连接所述源漏掺杂区220与所述伪栅极结构211的导电结构。

[0088] 所述器件区I用于形成半导体器件,所述保护区II用于形成伪栅极结构211。

[0089] 本实施例中,所述衬底包括:基底200和位于所述器件区I和保护区II基底200上的鳍部201。在其他实施例中,所述衬底还可以为平面衬底。

[0090] 本实施例中,所述保护区II位于所述器件区I两侧。

[0091] 本实施例中,所述基底200和所述鳍部201的材料为硅。在其他实施例中,所述基底和所述鳍部的材料为锗或硅锗,所述基底还可以为绝缘体上硅、绝缘体上锗等半导体基底。

[0092] 本实施例中,所述MOS电容还包括:位于所述基底200上的隔离结构202,所述隔离结构202覆盖所述鳍部201部分侧壁,且所述隔离结构202表面低于所述鳍部202顶部表面。

[0093] 本实施例中,所述隔离结构202的材料为氧化硅。在其他实施例中,所述隔离结构

的材料还可以为氮化硅或氮掺杂硅。

[0094] 本实施例中,所述MOS电容还包括位于所述器件区I衬底中的阱区,所述阱区中具有阱离子。

[0095] 本实施例中,所述阱区还位于所述保护区II衬底中。具体的,所述阱区位于所述器件区I和保护区II鳍部201中。

[0096] 本实施例中,所述阱离子为N型离子,例如磷离子或砷离子。在其他实施例中,所述阱离子还可以为P型离子,例如硼离子或 $\text{BF}^{2-}$ 离子。

[0097] 本实施例中,所述栅极结构210横跨所述器件区I鳍部201,且所述栅极结构210位于所述鳍部201部分侧壁和顶部表面。

[0098] 本实施例中,所述伪栅极结构211横跨所述保护区II鳍部201,且所述伪栅极结构210位于所述鳍部201部分侧壁和顶部表面。

[0099] 具体的,本实施例中,所述栅极掺杂离子为N型离子,例如磷离子或砷离子,在其他实施例中,所述栅极掺杂离子还为P型离子,包括:硼离子或 $\text{BF}^{2-}$ 离子。

[0100] 本实施例中,所述源漏掺杂区220位于所述栅极结构210与所述伪栅极结构211之间的衬底中。

[0101] 本实施例中,所述源漏掺杂区220的材料为硅锗。在其他实施例中,所述源漏掺杂区的材料还可以为硅碳或硅。

[0102] 本实施例中,所述源漏掺杂区220中具有掺杂离子。所述掺杂离子与所述阱离子的导电类型相同。在其他实施例中,所述掺杂离子与所述阱离子的导电类型还可以不相同。

[0103] 本实施例中,所述掺杂离子为N型离子,例如磷离子或砷离子。在其他实施例中,所述源漏掺杂区的材料为硅或碳硅,所述掺杂离子还可以为P型离子,例如硼离子或 $\text{BF}^{2-}$ 离子。

[0104] 本实施例中,所述导电结构包括:连接所述源漏掺杂区220的源漏插塞231,连接所述伪栅极结构211的伪栅极插塞232,连接所述伪栅极插塞232与所述源漏插塞231的连接线。

[0105] 本实施例中,所述半导体结构还包括:位于所述器件区I衬底和保护区II衬底上的介质层230。

[0106] 本实施例中,所述MOS电容还包括:连接所述栅极结构210的栅极插塞(图中未示出),所述栅极插塞233贯穿所述介质层230。

[0107] 所述栅极插塞233用于实现栅极结构210与外部电路的电连接。

[0108] 所述源漏插塞231和所述伪栅极插塞232位于所述介质层230中,所述连接线240位于所述介质层230上。

[0109] 所述源漏插塞231用于实现所述源漏掺杂区220与外部电路的电连接;所述伪栅极插塞232用于实现所述伪栅极结构211与所述源漏掺杂区220的电连接。

[0110] 本实施例中,所述源漏插塞231和所述伪栅极插塞232的材料为钨。在其他实施例中,所述源漏插塞和所述伪栅极插塞的材料还可以为铜。

[0111] 所述连接线240连接所述源漏插塞231与所述伪栅极插塞232,则所述伪栅极结构211与所述源漏掺杂区220之间电连接。所述MOS电容在使用的过程中,在所述源漏掺杂区220上施加电位,则所述伪栅极结构211上也施加了相同的电位,且所述伪栅极结构211上的电位为稳定的电位。当外界环境变化时,例如当外界湿度、温度发生变化引起伪栅极结构

211电阻发生变化时,或者外部电路形成的电场对伪栅极结构211上的电荷的作用发生变化时,伪栅极结构211上的电位不容易发生变化,从而使伪栅极结构211与衬底之间的电压为恒定值,因此,外界环境的变化不容易使衬底的电位发生变化,从而不容易影响栅极结构210与衬底之间的电容,进而能够保证MOS电容的电容值的精度,改善MOS电容性能。

[0112] 所述栅极结构两侧的源漏区相互电连接。本实施例中,分别连接所述栅极结构两侧的源漏掺杂区的源漏插塞通过所述连接线电连接。

[0113] 本实施例中,所述连接线240的材料为铝,在其他实施例中,所述连接线的材料还可以为铜或铜铝。

[0114] 综上,本发明实施例提供的MOS电容中,形成连接所述伪栅极结构与所述源漏掺杂区的导电结构,则所述伪栅极结构与所述源漏掺杂区之间电连接。所述MOS电容在使用的过程中,在所述源漏掺杂区上施加电位,则所述伪栅极结构上也施加了相同的电位。且所述伪栅极结构上的电位为稳定的电位。当外界环境变化时,例如当外界的湿度、温度发生变化引起伪栅极结构电阻发生变化时,或者外部电路形成的电场对伪栅极结构上的电荷的作用发生变化时,伪栅极结构上的电位不容易发生变化,能够使伪栅极结构与衬底之间的电压为恒定值。因此,外界环境的变化不容易使衬底的电位发生变化,从而不容易影响栅极结构与衬底之间的电容,进而能够保证MOS电容的电容值的精度,改善MOS电容性能。

[0115] 虽然本发明披露如上,但本发明并非限于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

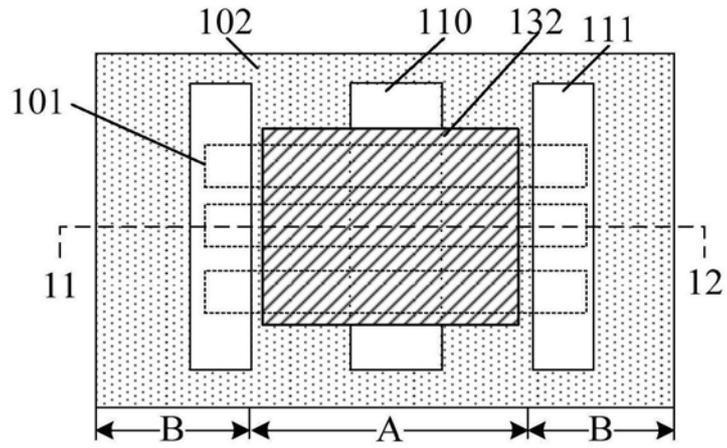


图1

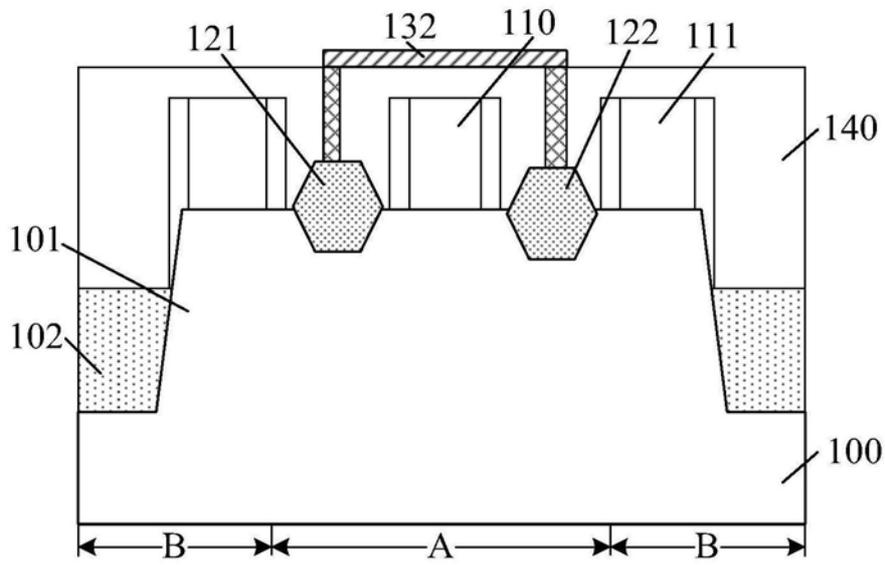


图2

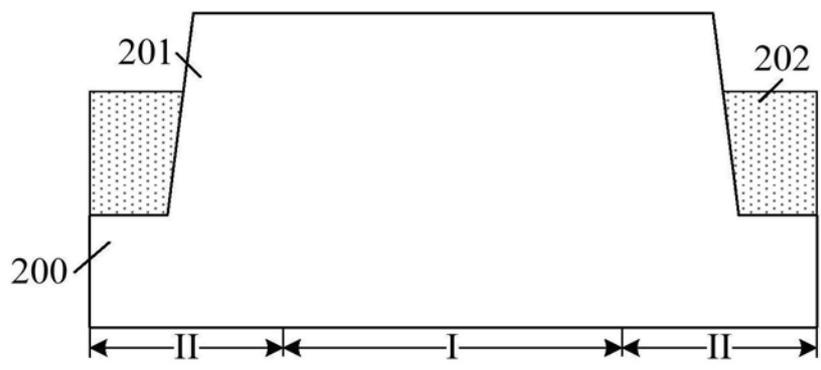


图3

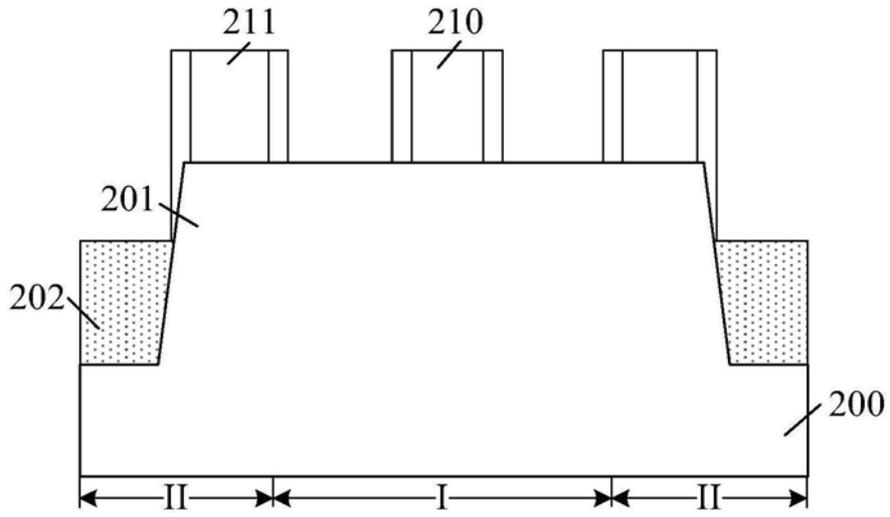


图4

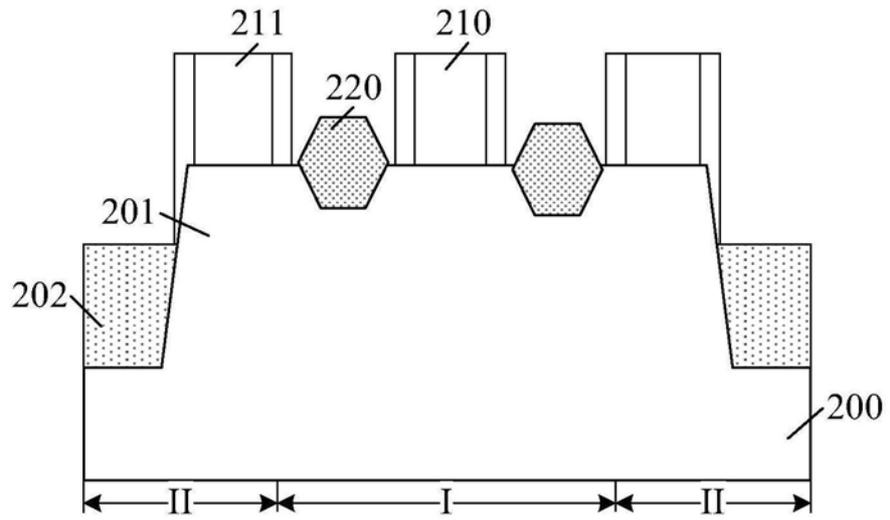


图5

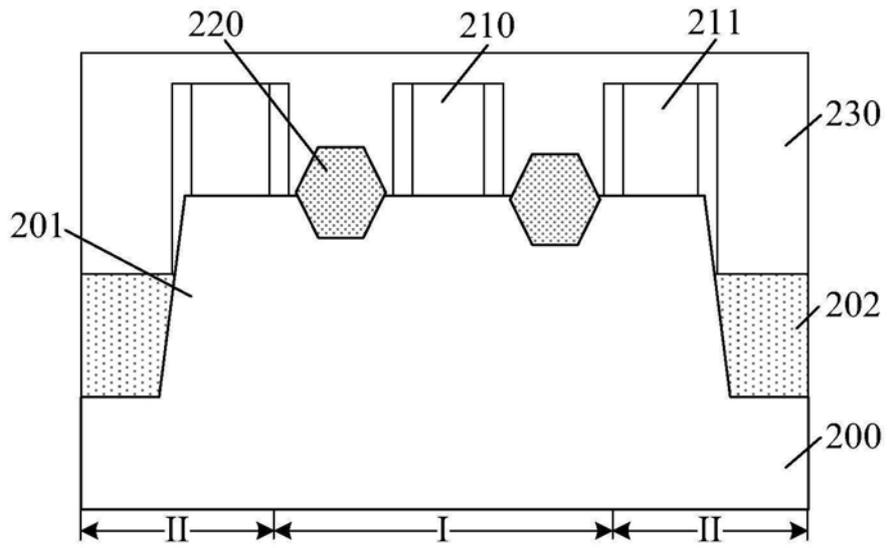


图6

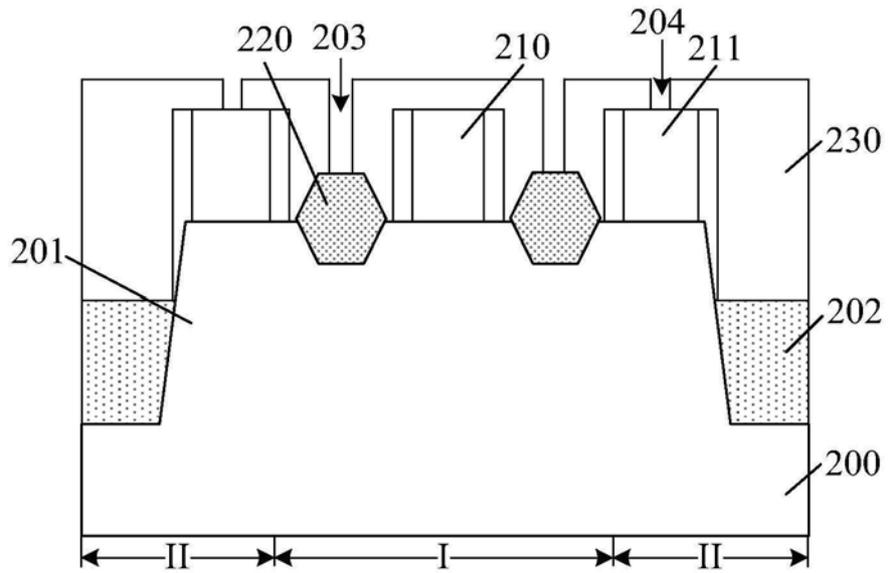


图7

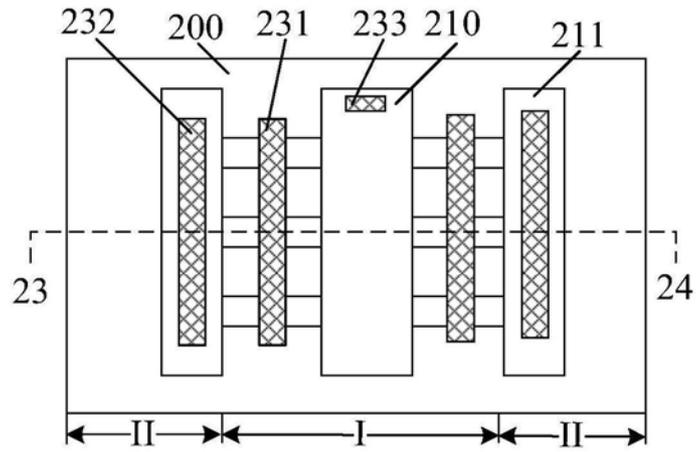


图8

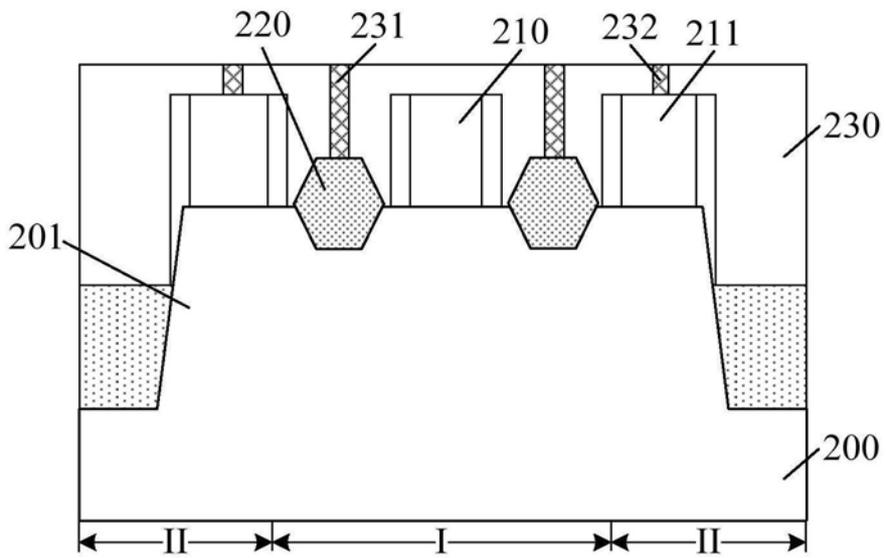


图9

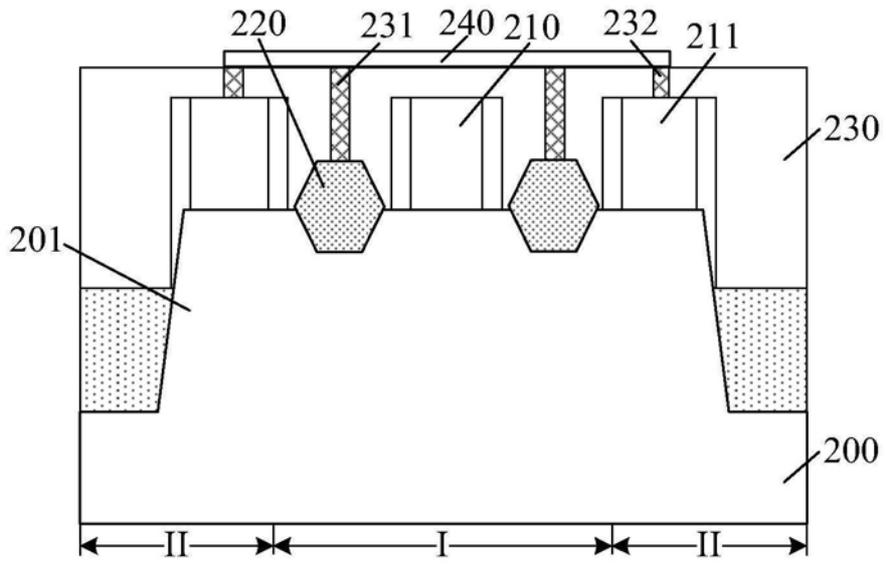


图10