

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3569728号

(P3569728)

(45) 発行日 平成16年9月29日(2004.9.29)

(24) 登録日 平成16年7月2日(2004.7.2)

(51) Int. Cl.⁷

F I

G 1 1 C 16/02

G 1 1 C 17/00 6 4 1

G 1 1 C 16/04

G 1 1 C 17/00 6 2 1 A

H O 1 L 21/8247

G 1 1 C 17/00 6 1 1 E

H O 1 L 29/788

H O 1 L 29/78 3 7 1

H O 1 L 29/792

請求項の数 7 (全 16 頁)

(21) 出願番号 特願平7-2944
 (22) 出願日 平成7年1月11日(1995.1.11)
 (65) 公開番号 特開平8-195091
 (43) 公開日 平成8年7月30日(1996.7.30)
 審査請求日 平成13年2月13日(2001.2.13)

(73) 特許権者 591022117
 柴田 直
 東京都江東区越中島1-3-16-411
 (73) 特許権者 000205041
 大見 忠弘
 宮城県仙台市青葉区米ヶ袋2-1-17-301
 (73) 特許権者 596089517
 ユーシーティー株式会社
 東京都文京区本郷4-1-4
 (73) 特許権者 598158521
 アイ・アンド・エフ株式会社
 東京都文京区本郷4丁目1番4号 コスモ
 ス本郷ビル

最終頁に続く

(54) 【発明の名称】 不揮発性半導体メモリ装置

(57) 【特許請求の範囲】

【請求項1】

電氣的に絶縁された第1のフローティングゲートを有する第1のMOS型トランジスタと、前記第1のフローティングゲートと容量結合する第1の電極と、前記第1のフローティングゲートとトンネル接合を介して設けられた第2の電極と、前記第2の電極と容量結合する第3の電極と、前記第1及び第2の電極と接続する第2のMOS型トランジスタとを有する半導体装置において、前記第1及び第3の電極間に所定の電位差を与える事により前記トンネル接合にトンネル電流を流し、前記の第1のフローティングゲート内の電荷量を変化させるとともに、前記電荷量が所定の値になったときに前記第2のMOS型トランジスタを導通させる手段を備えたことを特徴とする不揮発性半導体メモリ装置。

10

【請求項2】

前記第2のMOS型トランジスタのゲート電極が第2のフローティングゲートであり、前記第1のフローティングゲートと容量を介して結合されていることを特徴とする請求項1に記載の不揮発性半導体メモリ装置。

【請求項3】

前記第2のMOS型トランジスタのゲート電極が第2のフローティングゲートであり、前記第1のMOS型トランジスタのソース電極と容量を介して結合されていることを特徴とする請求項1に記載の不揮発性半導体メモリ装置。

【請求項4】

前記第2のフローティングゲートがスイッチを介して信号線に接続されていることを特徴

20

とする請求項 2 又は 3 に記載の不揮発性半導体メモリ装置。

【請求項 5】

前記第 1 の MOS 型トランジスタのソース電極と容量結合する第 3 のフローティングゲートによりオン・オフ制御される第 3 の MOS 型トランジスタを少なくとも 1 つ用いて構成されたインバータ回路の出力信号、もしくはその出力信号を所定の段数のインバータを通した信号によって、前記第 2 の MOS 型トランジスタのオン・オフが制御されるように構成されていることを特徴とする請求項 1 に記載の不揮発性半導体メモリ装置。

【請求項 6】

前記第 3 のフローティングゲートがスイッチを介して信号線に接続されていることを特徴とする請求項 5 に記載の不揮発性半導体メモリ装置。

10

【請求項 7】

前記第 3 のフローティングゲートがスイッチを介して前記第 3 の MOS 型トランジスタを少なくとも一つ用いて構成されたインバータ回路の出力端子に接続されていることを特徴とする請求項 5 に記載の不揮発性半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、不揮発性半導体メモリ装置に係り、特にアナログ、多値データを高速に且つ高精度に書き込むことができるメモリ装置に関する。

【0002】

20

【従来の技術】

近年、コンピュータ技術の発展に伴い、データ処理技術の進歩には実にめざましいものがある。しかし、人間が行っているような柔軟な情報処理を実現しようとする、現在のコンピュータでは実時間で演算結果を出すことがほとんど不可能であるといわれている。その理由として、我々が日常生活で取り扱っている情報はアナログ量であり、まず第 1 に非常にデータ量が多く、しかもそのデータは不正確であり、そして曖昧である、という事実が挙げられる。この極度に冗長なアナログデータをすべてデジタル量に変換し、1 つ 1 つ厳格無比なデジタル演算を行っているところに現在の情報処理システムの問題点がある。

【0003】

一例を挙げるなら画像情報である。例えば 1 つの画面を 500×500 の 2 次元画素アレイにとりこんだとすると、画素数は全部で 250000 個となり、各画素毎に赤、緑、青の 3 原色の強度を 8 bit で表すと実に 1 画面の静止画で 75 万バイトの情報量となる。動画では時間とともにこの画像データが増大していく。現在のスーパーコンピュータをもってしても、実時間でこれらの大量の「1」「0」情報を操作し画面の認識・理解に結びつけるのは不可能であるといわれている。

30

【0004】

一方、この困難を克服するために、アナログ量である外界情報をそのまま取り入れてアナログ量のまま演算・処理を行うことにより、もっと人間に近い情報処理を実現しようという努力がなされている。しかし、このアプローチでの最大の問題はアナログデータを長時間保持することのできるメモリデバイスが存在しなかったことである。例えばアナログ量をそのまま電荷量としてフローティングゲートに蓄え、これによりアナログ不揮発性メモリを実現しようという試みは数多くなされているが、正確に所定の電圧にデータを書き込むことが非常に困難だったことが挙げられる。

40

【0005】

図 8 は、従来技術の問題点を説明するための図面である。801 はフローティングゲートであり、802 は NMOS トランジスタである。フローティングゲート内の電荷量 Q_F を所定の値に設定するにはプログラム電極 803 に例えば 20 V の電圧を加えて、容量結合によりフローティングゲートの電圧を引き上げ、トンネル接合部 804 に高電圧を印加しトンネル電流を流す。トンネル接合は通常、100 程度の極めて薄い SiO_2 膜を 2 つの電極の間に挟んだ構造で実現される。これらの電極には通常 N 型の拡散層もしくは N 型

50

不純物をドーブした多結晶シリコン薄膜が用いられる。100 の厚さの酸化膜中に現れる高電界によって電子が接地電極805からフローティングゲート801に注入され、フローティングゲート内の電子の総量 $|Q_F|$ は時間と共に増大する。流れるトンネル電流の大きさは次式で与えられるFowler - Nordheim電流で表される。

【0006】

【数1】

$$J = a E^2 \exp(-b/E) \quad \dots (1)$$

ここで a 、 b は定数、 J は電流密度、 E は電界の強さである。

【0007】

図9は、印加電圧を15、20、25Vと変化させたときの電圧印加時間に対するフローティングゲート801の電荷量のグラフである。HSPICEシミュレーションによって求めており、トンネル酸化膜圧などのデバイスパラメータは現在の典型的な値に従っている。電圧を印加したばかりの時、急激に $|Q_F|$ が上昇している。つまり、電子が急激にフローティングゲートへ注入されている。図10は図9のグラフの時間軸を対数軸にし、注入時間を十分長くとしたものである（電圧印加時間0秒の時に $|Q_F| = 0$ である点は除いてある）。グラフを見ると $|Q_F|$ はなだらかな上昇を続けており、1000秒経過しても $|Q_F|$ のなだらかな上昇、即ち、電子の緩やかな注入が続いている。図9、図10より明らかのように、印加する電圧を変化させれば確かにフローティングゲートへの書き込み量を調節することが可能である。しかし、電子の注入/放出に分単位の非常に長い時間を必要とするのでは、印加電圧を変化させ書き込み量を調節する方法で実用的な時間内に正確に書きこみを終了させることは不可能である。

【0008】

一方、パルス電圧を一定値とし、パルス印加時間により制御する方法も考案されているが、フローティングゲート電圧はパルス印加初期に非常に高速に変化するため、精度よく書き込み電圧を制御することはほとんど不可能であった。これまで実用化された唯一の方法は、 V_{EX_T} に短いパルスを一回加えた後、 Q_F の値を読み出す方法である。

【0009】

Q_F は次の方法で読み出せる。803の電極をゲート電極とみなしたときのNMOS802の閾電圧は、

【0010】

【数2】

$$V_{TH}^* = \frac{C_{TOT}}{C_1} V_{TH} - \frac{Q_F}{C_1} \quad \dots (2)$$

で与えられる。ここで V_{TH} はフローティングゲート801から見たNMOS802の閾電圧、 C_1 はフローティングゲートと電極803間の容量結合係数、 C_{TOT} はフローティングゲートにつながる容量の総和である。即ちNMOS802の閾電圧 V_{TH}^* を測定することで Q_F の値が求められる。このようにして Q_F の値を読み出し、まだ目的の値に達していなければさらにパルスを加える。このとき、パルスの大きさやパルス幅を変化させるといふ細かな制御を行っている。また、読み出した値が目的の値を超えてしまっていた時は逆に V_{EX_T} に負のプログラミングパルスを加えて修正する。このような複雑な一連の書き込み/読み出しの操作を外部コンピュータを利用して何度も繰り返し行うのである。このような方法ではデータを高速に書き込むことは全く不可能である。

【0011】

【発明が解決しようとする課題】

本発明は以上の点に鑑みなされたものであり、高速で且つ高精度なアナログデータ書き込み可能な不揮発性半導体メモリを提供することを目的とする。

【0012】

10

20

30

40

50

【課題を解決するための手段】

本発明は、電氣的に絶縁された第1のフローティングゲートを有する第1のMOS型トランジスタと、前記第1のフローティングゲートと容量結合する第1の電極と、前記第1のフローティングゲートとトンネル接合を介して設けられた第2の電極と、前記第2の電極と容量結合する第3の電極と、前記第1及び第2の電極と接続する第2のMOS型トランジスタとを有する半導体装置において、前記第1及び第3の電極間に所定の電位差を与える事により前記トンネル接合にトンネル電流を流し、前記の第1のフローティングゲート内の電荷量を変化させるとともに、前記電荷量が所定の値になったときに前記第2のMOS型トランジスタを導通させる手段を備えたことを特徴とする。

【0013】

10

【作用】

本発明では、複雑な制御回路を必要とせず、各メモリセル毎にフィードバックがかかって電荷の注入が終了するために極めて高速且つ高精度なデータ書き込みが可能となった。

【0014】

【実施例】

以下本発明の実施例を図面を用いて説明する。

【0015】

(実施例1)

図1は、第1の実施例を示す回路図である。101はNMOSトランジスタであり、102は例えばN⁺ポリシリコンで形成されたフローティングゲート電極で、NMOS101のオン・オフ状態を制御している。NMOSのドレイン103は、電源ライン104に接続され、一方ソース105は、例えば外部の容量負荷106に接続され、ソース・フォロワ回路としてフローティングゲート102の電位V_{FG}を外部にV_{OUT}として読み出す構成になっている。ここでV_{OUT} = V_{FG} - V_{TH}であり、V_{TH}はNMOS101のフローティングゲートから見た閾電圧である。例えばV_{TH} = 0としておけば、V_{OUT} = V_{FG}となる。ここでは簡単のためにV_{TH}を0としており、0以外の値でも本発明の効果に全く変化はない。V_{TH}は製造時に決定される一定の値であり、それを考慮してフローティングゲートの電圧V_{FG}、電荷Q_Fを求めればよいからである。V_{FG} = Q_F / C_{TOT} (Q_Fはフローティングゲート102の電荷、C_{TOT}はフローティングゲート102につながる容量の総和)と表せるから、

20

30

【0016】

【数3】

$$V_{OUT} = Q_F / C_{TOT} \quad \dots (3)$$

によって、メモリの内容を外部に読み出すことができる。107はフローティングゲート102と容量結合した電極であり、例えばこの例では接地されている。この容量結合係数をC₁とする。108は、電荷注入電極であり、トンネル接合109を介してフローティングゲートにつながっている。このトンネル接合は、例えばN⁺ポリシリコンで形成されたフローティングゲートの表面を熱酸化して100の酸化膜を形成し、この上に例えばN⁺ポリシリコンのゲート電極108を設置することで形成することができる。しかし、これはあくまでもトンネル接合形成の一例であり、他のいかなる材料・方法を用いて形成してもよいことは言うまでもない。このトンネル接合部109の容量をC₂と表す。電荷注入電極108は容量110(その大きさをC₃とする)を介してプログラム電圧(V_{EXT})印加用端子111に接続されている。112はNMOSトランジスタであり、そのオン・オフ状態はフローティングゲート113によって制御されている。フローティングゲート113はスイッチ114を介して信号線115に接続されており、スイッチ114がオンの状態ではその電位は信号線115の電位V_Sに固定され、オフの時はフローティング状態となり、その電位はフローティングゲート102の電位とそれとの容量結合係数によって決まるようになっている。(フローティングゲート102とフローティングゲート

40

50

ト 1 1 3 との間の容量結合係数を C_4 とする。)

次に、この回路の動作について説明する。今、フローティングゲート 1 0 2 に $V_{FG} = V_m$ なるデータを書き込むことを考える。即ち、フローティングゲート 1 0 2 に、 $Q_{FG} = C_{TOT} V_m$ なる電荷を注入することになる。これは次のような方法で行う。

【 0 0 1 7 】

まず $V_S = -V_m$ とし、スイッチ 1 1 4 をオンしてフローティングゲート 1 1 3 の電位 $V_C = -V_m$ とする。そしてスイッチ 1 1 4 をオフするとフローティングゲート 1 1 3 には $Q_C = -C_4 V_m$ なる電荷が蓄えられた状態となる。(ここでは簡単のためにフローティングゲート 1 1 3 の全容量を C_4 に等しいと仮定した。) フローティングゲート 1 1 3 より見た NMOS 1 1 2 の閾電圧を 0 V に設定しておく、この時 NMOS 1 1 2 はオフの状態にあり、電極 1 0 7、1 0 8 は互いに電氣的に切り離されている。

10

【 0 0 1 8 】

この状態で端子 1 1 1 にプログラム電圧として例えば $V_{EXT} = 2.5$ V を印加すると、容量分割によりトンネル接合 1 0 9 の両端には次式で与えられる電圧 V_T がかかる。

【 0 0 1 9 】

【 数 4 】

$$V_T = \frac{1/C_2}{1/C_1 + 1/C_2 + 1/C_3} V_{EXT} \dots (4)$$

20

【 0 0 2 0 】

いま $C_2 < C_1, C_3$ であるとすると、 $V_T = V_{EXT}$ となり大きな電界がトンネル接合 1 0 9 に発生して電流が流れ、電子がフローティングゲート 1 0 2 より電荷注入電極 1 0 8 へ移動する。その結果 V_{FG} は正の値で大きくなる。この時間変化を HSPICE シミュレーションで求めた結果を図 2 に示す。 V_{FG} は時間と共に増加し、 V_{PP} は $t = 0$ での $V_{PP} = 2.5$ V より時間とともに減少しており、電荷の移動が起こっていることがわかる。

【 0 0 2 1 】

さて、 V_{FG} が増加するためにフローティングゲート 1 1 3 の電位もそれとの容量結合により増加し、その値は、

30

【 0 0 2 2 】

【 数 5 】

$$\Phi_C = \frac{C_4 V_{FG} + Q_C}{C_4} = V_{FG} - V_m \dots (5)$$

と表される。即ち、 V_{FG} が増加し $V_{FG} = V_m$ となったところで $\Phi_C = 0$ となり、NMOS 1 1 2 の閾電圧 0 V を越えるので NMOS 1 1 2 がオンする。そうすると電極 1 0 7、1 0 8 が NMOS 1 1 2 を介して電氣的に接続されるため、電極 1 0 8 の正電荷はアースに流れ、 V_{PP} は急速に減少する。その結果 V_T が減少してトンネル電流は流れなくなり、 V_{FG} は一定値となる。即ち $V_{FG} = V_m$ の値にプログラムされたことになる。

40

【 0 0 2 3 】

図 2 では、 $V_m = -4.0$ V と設定している。パルス印加後約 $1.2 \mu\text{sec}$ で V_{FG} は一定値(約 3.5 V)に達しているのがわかる。従来例では秒単位の長い時間を必要としていたことから、書き込み時間が劇的に減少していることがわかる。ここで書き込みの目標値 V_m と実際の V_{FG} の収束値との間には約 0.5 V の差があるが、あらかじめこの差を考慮して V_m の値を設定すれば正確な制御を行うことができる。

【 0 0 2 4 】

50

以上述べたように、本発明の回路では、フローティングゲート102に電荷注入が生じてそれにより変化する V_{FG} を実時間で連続的にモニターしながら所定の値となったときに自動的に注入を終結する機能の実現されており、所定の値を正確にかつ超高速に書き込むことができた。

【0025】

上では C_2 、 C_1 、 C_3 という仮定の下で説明したが、この回路はそのような条件に限定されない。まず、 C_2 、 C_3 という条件は、 V_T を V_{EXT} にできるだけ近づけるためにだけ必要であり、例えば V_{EXT} を大きくするか、またはトンネル酸化膜を薄くするなどしてトンネル注入部にかかる電界を大きくし、必要な電界の値を得られるようにすればその条件は完全に不必要になる。 C_2 、 C_1 という条件は、上の理由と併せてさらに、 V_{EXT} が印加されたときに、その電圧によってフローティングゲート102が持ち上げられる効果を無視できるようにするために定めた。例えば $V_{EXT} = 2.5V$ を印加すると、 C_1 、 C_2 、 C_3 の容量結合により端子107に対するフローティングゲートの電位 V_{FG} は V_{EXT} によって

【0026】

【数6】

$$V_{FG} = \frac{1/C_2}{1/C_1 + 1/C_2 + 1/C_3} V_{EXT} \dots (6)$$

だけ持ち上げられる。もし C_2 、 C_1 ならば上で述べているように V_{FG} はほぼ0に等しくなる。もし C_2 が C_1 に比べて無視できるほど小さくないとしても、 V_{FG} は C_1 、 C_2 、 C_3 、 V_{EXT} という、あらかじめわかかった値で決定されるので、この値を見越して書き込むデータを設定することによって C_2 、 C_1 、 C_3 としたときと全く同じような制御を行うことができる。 V_{FG} が無視できないときの具体的な影響は(5)式の場合で $V_{FG} = V_{FG} + V_{FG}$ と置き換えた式で表される。つまり $C = V_{FG} + V_{FG} - V_m = 0$ となったときに書き込みが終了するので、フローティングゲート102には $V_{FG} = V_m - V_{FG}$ なるデータが書き込まれる。つまりセットした値 V_m より、ある決まった値だけ少ない値が書き込まれることになる。この V_{FG} の分だけ大きなデータを書き込むような制御を行えばなんら変わらない制御を行える。

【0027】

書き込まれたデータを読み出す時にはNMOS101(フローティングゲート102から見たその閾電圧 V_{TH} をたとえば0Vとする)を用いたソースフォロワ回路を動作させることによって、 $V_{OUT} = V_{FG}$ として直接フローティングゲート102の電圧をアナログ電圧として読み出すことができる。上記NMOS101の閾電圧 V_{TH} が必ず0Vである必要はなく、有限の値 V_{TH} を持つときは $V_{OUT} = V_{FG} - V_{TH}$ がアナログデータとして読み出される。

【0028】

また図1の例では、ソースフォロワの負荷素子として容量(C_0 とする)を用いる場合を例として示してあるが、もちろんこれに限定されず、例えば抵抗でもよいし、あるいはMOSトランジスタを用いて構成された負荷素子を用いてもよいことは言うまでもない。

【0029】

また多数のメモリセルをマトリクス状に集積して、所定のセルのデータのみ選択的に読み出すには、例えば電源ライン104を選択的に V_{DD} まで持ち上げることにより、その電源ラインに接続されているソースフォロワのみを活性化して読み出してもよいし、あるいは104は常に V_{DD} 一定電圧とし、 V_{OUT} 端子105に各セル毎に選択用のMOSトランジスタを配置してもよい。

【0030】

上記第1の実施例では、 V_m の値を書き込むには、 V_S として負の値 $-V_m$ を与える必要

10

20

30

40

50

があったが、負の信号発生を行わないために例えば次のようにしてもよい。

【0031】

NMOS112の閾電圧を V_{TH}' とすると、(5)式よりこれがオンする条件は、

【0032】

【数7】

$$V_C = V_{FG} - V_m > V_{TH}' \quad \dots (7)$$

となる。すなわち、 $-V_m > V_{TH}' - V_{FG}$ であり、 V_{FG} をゲートに書き込むには、

【0033】

【数8】

$$-V_m > V_{TH}' - V_{FG} \quad \dots (8)$$

とすればよい。ここで例えば $V_{TH}' = 5V$ とすれば、 V_{FG} として、0、1、2、3、4[V]を書き込むには $V_m = 5、4、3、2、1[V]$ とすればよく、 V_m は常に正の値となる。すなわち V_S に設定すべき書き込み制御用の電圧はすべて正の電位となり、負の信号を発生する必要はなくなる。

【0034】

図1の回路における書き込みデータの設定法としてまた別の方法を用いてもよい。それを次に説明する。まずスイッチ114をオンした後 V_S を0Vに設定し、電極107の電位を V_m に設定する。今 $C_1 = C_2$ としておくと、 $V_{FG} = V_m$ となる。その後スイッチ114をオフにするとフローティングゲート113には $Q_C = -C_4 V_m$ の電荷が蓄えられたことになる。ここで書き込みを始めると(5)式に従って V_C が変化するため、NMOS112の閾電圧を例えば0Vに設定しておけば $V_C = 0$ 即ち $V_{FG} = V_m$ となったときにNMOS112がオンしてフローティングゲート102への電荷注入が終了することになる。この方法を用いればNMOS112の閾電圧を特別高い値にせずとも書き込み電圧として非負の値を用いることができる。

【0035】

さらにNMOS112の閾電圧が0Vではなく有限の値をもっていてよく、その時には $V_m - V_{TH}'$ の値がフローティングゲート102に書き込まれることになる。あるいはスイッチ114をオンして電極107の電位を V_m とする際に $V_S = V_{TH}'$ と定めれば、フローティングゲート102には V_m の値がそのまま書き込まれることになる。

【0036】

以上述べたいかなるデータの設定法を用いても、本発明は有効な効果を与えることは言うまでもない。

【0037】

以上の説明は、プログラミング電圧印加用端子111にプログラム電圧(V_{EXT})を初めて印加する前の状態において、フローティングゲート102には一切チャージが存在していない場合にのみ当てはまる説明である。即ち、最初に説明した書き込み方法は、 $V_S = -V_m$ としてフローティングゲート113にチャージをセットした時に $V_{FG} = 0V$ である場合にのみ正しい説明である。もしこのときフローティングゲート102に電荷が存在し、 $V_{FG} = V_{FG0} \neq 0$ であったとすると、 $V_S = -V_m$ として書き込み制御用の電圧をフローティングゲート113にセットし V_{EXT} にプログラミング電圧をかけると、 $V_{FG} = V_m + V_{FG0}$ にまで上昇したときに初めて制御トランジスタ112がオンすることになり、フローティングゲート102には $V_m + V_{FG0}$ の電圧が書き込まれることになる。従ってそこに電荷があらかじめ存在する場合には、例えばNMOS101のソースフォロワ動作を利用して V_{FG0} をあらかじめ読みだし、 V_S の値としてこの V_{FG0} の効果を検討した設定値、即ち $V_S = -(V_m - V_{FG0})$ を設定すればよい。こうすれば最初に電荷が存在しても $V_{FG} = V_m$ の値を書き込むことができる。

【0038】

次に、一度データが書き込まれたフローティングゲート上のデータを書き換える様々な方法について説明する。

【0039】

10

20

30

40

50

$V_{FG} = 0$ 、つまりフローティングゲート102の電荷を0とすることは簡単であり、例えば電極107の電位を0とした状態で紫外光(UV光)を照射してやればよい。

【0040】

一方、電氣的にフローティングゲート102の保持するデータを消去する方法として、例えば V_{EXT} に負の電圧を加え、電子をフローティング電極に注入する方法がある。あるいはプログラミング電圧印加用端子111を接地した状態で電極107に正の電位を加え、電子をフローティングゲートに注入する方法でもよい。さらに別な方法として電子注入用のトンネル接合部を109以外に別途設け、いくつかのセルを一括して消去する方式を用いてもよい。また、例えば図1で V_{OUT} 端子105を0Vにリセットした状態で電源ライン104を V_{DD} より大きな電圧にセットし、NMOS101のドレイン端でホット

10

エレクトロンを発生させ、フローティングゲート102へそのホットエレクトロンを注入することにより正の電荷を打ち消す方法でもよい。この時電極107を様々な電位に定めることにより、その注入量を制御することができる。フローティングゲートへのホットエレクトロン注入の他の方法として、トランジスタ101を用いなくとも、ホットエレクトロンを発生しやすいショートチャネルトランジスタを別途注入専用にて設けてそのゲート電極をフローティングゲート302と共用させてもよい。以上のような様々な電氣的方法は通常フローティングゲート102内の電荷が正確に0にはならず、負の値にまでふれこんでしまうので、このときはやはりソースフォロワ動作でチャージ量を読み出しこれを考慮して V_S もしくは電極107に与える電圧値を調整してやる必要がある。

【0041】

以上、様々なデータ更新の方法を説明したが、上の方法いずれを用いてもよいことは言うまでもない。

20

【0042】

(実施例2)

図3は本発明の第2の実施例を示す図面である。301はNMOSトランジスタであり、302はそのオン・オフ状態を制御するフローティングゲートである。303はドレイン電極であり、電源ライン(V_{DD})304に接続され、そのソース305は、外部負荷(例えば容量負荷係数 C_0 をもつコンデンサ306)に接続され、ソースフォロア回路としてフローティングゲートの電位 V_{FG} を V_{OUT} に読み出す構成となっている。また、電極307、電荷注入電極308、トンネル接合309、結合容量310、プログラム電圧

30

(V_{EXT})印加用端子311等の構成はすべて図1の第1の実施例と同じであるので詳しい説明は省略する。本第2の実施例で大きく異なっているのは制御用NMOSトランジスタ312であり、そのオン・オフを制御するフローティングゲート313は、独立のゲート電極315と容量結合している。(ゲート315とフローティングゲート313間の容量結合係数を C_4 とし、 C_4 はNMOS312のゲート酸化膜容量に比べ十分大きいものとする。これは説明を簡略化するための仮定であり、実際にはこの条件が満たされていなくとも本発明の効果にいかなる変化もないことは言うまでもない。)フローティングゲート313はスイッチ314を介して信号線 V_S に接続されているのは図1と同様である。ゲート315は、スイッチ316を介して接地電位もしくはNMOS301のソースに接続できる構成となっている。

40

【0043】

本セルの書き込みは、次のように行う。第1の実施例と同様にフローティングゲート302の電圧 V_{FG} を V_m にまで引き上げて書き込むことを目的とし、NMOS312の閾電圧及びはNMOS301の閾電圧はいずれも例えば $V_{TH} = 0V$ である場合を考える。両NMOSの閾電圧は第1の実施例同様0Vである必要は全くない。また、書き込みデータのセッティングはスイッチ316を接地側に入れた状態で行われること、及び、プログラム電圧の印加はスイッチ314をオフにした後、スイッチ316をNMOS301のソース305側に接続した状態で行われることを除き、すべて第1の実施例と同じである。即ち書き込み時にNMOS301のソースフォロワ回路が働いて、制御用NMOSトランジスタ312のゲート電圧 V_G が V_{FG} となるため、 $V_{FG} = V_m$ となったときに制御用ト

50

ランジスタ312がオンして、第1の実施例と全く同様の原理で書き込みを終結する。 C_1 、 C_2 、 C_3 のそれぞれの大きさの条件についても第1の実施例と全く同様で、 V_{EXT} によって第1の実施例で述べた V_{FG} がたとえ無視できない値になっても、それは決まった値となるのでその値を見越して制御用のデータを設定すればよい。

【0044】

第1の実施例と大きく異なるところはフローティングゲート313の電圧設定が、315の電位が0、即ち $V_G = 0$ の状態で行われるため、フローティングゲート302内に初期電荷が存在しても全くその影響を受けないところである。即ち第1の実施例で説明したように書き込む前の V_{FG} の値 V_{FG0} の影響を無視できるという大きな特徴を持っている。 V_{FG0} がいかなる値であっても制御用トランジスタ312は $V_G = V_{FG} = V_m$ となったときにオンするため、第1の実施例の回路で必要としていた、データ更新時に毎回NMOS301のソースフォロワ回路を働かせて V_{FG0} を読み出し、その値を考慮した上で V_S の設定電位を決定するという操作が全く必要ない。従って、消去時にUV消去を用いずとも、第1の実施例でも述べた、 V_{EXT} として負の電圧を印加するか電極307に正の電圧を印加する方法、または様々なホットエレクトロン注入法、あるいは電子注入専用のトンネル接合を用いるなど、いろいろな電氣的消去法を用いた時でも、書き込み操作はフローティングゲート302が0Vの時とまったく同様に簡単に行うことができる。本セルによって、消去時の過剰な電子の注入によってフローティングゲート内に負の電荷が残留していてもつねに所定の値まで書き込むことが可能になり、さらに高速のデータ書き込みが実現できるようになった。

【0045】

またこのセルにおいても第1の実施例と同様に、例えば $V_S = 0$ として電極307に V_m の値を与えたり、 $V_S = 0$ としたのちスイッチ316を出力線305側に接続し出力線に V_m の値を与えるなど、異なったデータセッティングの方法を用いてもよいことは言うまでもない。スイッチ316に関しては、データセッティング時に $V_G = 0$ にすればよいのであり、例えばセルの出力線305をいくつか束ね、複数のセルに共通な1つのスイッチをつけてもよい。また、必ず0Vにする必要もなく、他の所定の電位に設定してもよい。例えば制御トランジスタ312としてPMOSを用いればリセット電圧は V_{DD} とすればよい。

【0046】

(実施例3)

図4は、本発明の第3の実施例を示す図面である。本実施例において、図3と同じ部分はすべて同じ番号がつけてあり、これらについて新たな説明は行わない。

【0047】

図4の、第2の実施例と異なるところは、図3では電極307と電極308を接続するトランジスタとしてフローティングゲート313をもったNMOS312を用いていたのに対し、本実施例では、通常のエンハンスメント型NMOS401を用いたことである。そのゲート電極402は例えば反転閾値 $V_{DD}/2$ のインバータ403の出力につながれており、その出力によってNMOS401のオン・オフが制御されている。反転閾値は $|V_{DD}|$ から0の範囲の値なら理論上本発明の効果には変わりない。また、このインバータ403は、例えば通常のCMOSインバータを用いてもよいし、あるいはNMOSやPMOSを用いたE/E型インバータ、もしくはE/D型インバータ等を用いてもよいことは言うまでもない。404もCMOSインバータであり、NMOS404a及びPMOS404bから構成されている。その共通ゲート405は、スイッチ406を介して信号線407に接続されており、スイッチ406をオフにするとこのゲート405はフローティング状態になる。フローティングの状態のときその電位は制御ゲート408の電位とそれとの容量結合により制御されるようになっている。フローティングゲート405と制御ゲート408の間の容量結合係数を C_4 とする。そして C_4 は、NMOS404aとPMOS404bのゲート酸化膜容量の合計に対して十分に大きいものと仮定する。この仮定は説明の便宜上のものであり、この条件が満たされなくても本発明の効果にはなんら変化がな

いことは言うまでもない。制御ゲート408は、NMOS301のソース305に接続されており、また409は出力端子を0Vにリセットするためのスイッチである。CMOSインバータ404の反転閾値は、例えば0Vに決定されているとする。これは例えばNMOS404aをデプリーショントランジスタにし、その閾電圧を-2.5Vに設定し、PMOS404bをエンハンスメントトランジスタでその閾電圧を-2.5Vに設定し、両チャンネルMOSの比($\mu_{R} = \text{NMOSの} / \text{PMOSの}$)を1とすればよい。また、NMOS301の閾電圧を例えば0Vであるとする。0Vでなく有限の値でも本発明の効果に変わりがないことは第1、第2の実施例での説明と同じである。

【0048】

ここで第1、第2の実施例と同様、 V_m のデータをフローティングゲート302に書き込み、 $V_{FG} = V_m$ とすることを考える。 10

【0049】

まずリセットスイッチ409をオンにして、408の電位 $V_{G1} = 0$ とする。次いでスイッチ406をオンし、 $V_S = -V_m$ とする。その後スイッチ406をオフすれば書き込み制御のためのデータ設定終了である。続けてスイッチ409をオフにし、ソースフォロワを動作状態にした後にプログラミング電圧印加用端子に例えば $V_{EXT} = 2.5V$ を印加すればよい。トンネル電流が流れ、302の電位 V_{FG} が上昇するが、これはそのままNMOS301のソースフォロワ回路を介して408の電位となる。つまり $V_{G1} = V_{FG}$ である。ここでは簡単のために第1、第2の実施例同様、 V_{EXT} を印加したことにより容量結合のためにフローティングゲートの電位がある一定の値だけ引き上げられる効果を見無視できるように C_2 、 C_1 と定めてある。このように定めなくとも第1、第2の実施例で説明したのと同様、本発明の効果に変化はない。フローティングゲート406の電位 V_{C1} は、 $V_{C1} = V_{G1} - V_m = V_{FG} - V_m$ となるため、 V_{C1} がCMOSインバータ404の反転閾値0Vに等しくなったときにインバータ404が反転し出力が0Vとなる。その信号がさらに反転されてゲート電極402を V_{DD} に引き上げるため、エンハンスメント型に設定されたNMOS401がオンして電荷注入電極308は接地され、トンネル電流が流れなくなり書き込みは終了する。即ち $V_{FG} = V_m$ ($V_{C1} = 0$ の条件)のときにデータ書き込みは終了し、フローティングゲート307には $V_{FG} = V_m$ なるデータが書き込まれる。 20

【0050】

この動作をHSPICEシミュレーションした結果を図5に示す。 $V_m = 4V$ としている。 V_{FG} が所定の値になったところで V_{PP} が急激に0Vまで降下しており、電荷注入電極308の急速な放電が起こっている。また書き込まれた値も3.9V、書き込み終了時間0.5 μsec と、 V_{FG} は非常に精度よくかつ超高速で目的値に収束していることがわかる。本第3の実施例によって、さらに高速、高精度のアナログデータ書き込みが実現した。 30

【0051】

また本セルにおいても、第1、第2の実施例で述べた、異なった方式で書き込み制御のためのデータを設定してもよいことは言うまでもない。即ち、第2の実施例と同様、出力端子305や電極307に V_m の値を与えて、 V_{G1} を所定の書き込み値 V_m にした後、スイッチ406をオンして V_S を0Vにし、その後スイッチ406をオフすることによってデータ設定を行う等の方式を用いてもよい。 40

【0052】

また本実施例では、リセットスイッチ409を用いる場合を説明したが、これは例えば図3で用いたスイッチ316を用いてもよいことは言うまでもない。

【0053】

また本実施例ではインバータ403の出力によってNMOS402をオン・オフ制御しているが、このインバータ403をなくしNMOS402をPMOSに変更しても本発明の効果にはなんら変わりはない。書き込み制御のためのインバータ404は、書き込み終了させたいときに0Vを出力するために、書き込み終了のためにNMOSをオンさせること 50

ができない。よって出力を反転させるインバータ403を用いている。また、書き込み制御インバータ404の出力に2段以上インバータをいれて端子307と端子308間を短絡するためのMOSを適当なチャネルのものを選んで本発明の効果にはなんら変わりないことは言うまでもない。

【0054】

本実施例で用いたインバータ404は、その反転電圧が0Vという特殊なものを用いているが、これは通常の $V_{DD}/2$ の用いてもなんら効果に変わりはなく、その場合 $C_1 = V_{FG} - V_m = V_{DD}/2$ が書き込み終了の条件となり、 $V_{FG} = V_{DD}/2 + V_m$ が書き込まれる電圧となる。この変化分を見越して制御すれば目標値を書き込むことができる。

10

【0055】

また本実施例で、一度書き込まれたフローティングゲート302の値を変更するには、第2の実施例と全く同じ方法が適用できる。第1の実施例で必要とした、電氣的消去後にフローティングゲートの電圧を読み出すという作業は必要ない。

【0056】

(実施例4)

図6は本発明の第4の実施例をしめす図面である。構成は図4とほぼ同じであり、同じ部分にはすべて図4と同じ番号が付けてある。異なる点はフローティングゲート405がスイッチ406を介してインバータの出力端子601に接続されている点である。これにより書き込み精度をさらに向上させることができた。

20

【0057】

書き込みデータのセッティングは、例えば出力端子の電圧 V_{OUT} を V_m にし、ゲート電極408を所定の書き込み電圧 V_m に設定し、スイッチ406をオンにすることによって行う。こうすると、インバータ404は、入力電圧と出力電圧が等しくなる点、即ちインバータの反転電圧の状態にリセットされる。この状態でスイッチ406をオフすれば、408が再び V_m になったときにインバータ404は正確に反転するようになる。このリセット方式を用いるとインバータの反転閾値が設計からずれた値であっても V_m になった時には出力が反転するので、例えば製造プロセスのゆらぎによってチップ毎にNMOS404a、PMOS404bの寸法や閾電圧にゆらぎが生じて、これらのゆらぎの効果は全くなくなり、いかなる時でも $V_{G1} = V_m$ となったときに書き込み制御用インバータ404が反転し、トンネル注入を中止する。これによって非常に高精度なアナログデータ書き込みを実現できるのである。

30

【0058】

上の第4の実施例では、ゲート電極408の電位を V_m に設定する際、 V_{OUT} の端子に直接外部より電圧を与える場合を説明した。メモリセルをマトリクス状にしたときは、選択的な書き込みを行うために適宜スイッチトランジスタを設けて選択できるようにしてもよいことは言うまでもない。また適宜ソースフォロワトランジスタ301と切り放すスイッチを設けてもよい。

【0059】

(実施例5)

図7は、本発明の第5の実施例を示す図面である。大部分の構成は図6と同様であり、同じ部位には同じ番号が付けてある。大きく異なる点は図6の電極408が、図7では2つの電極701、702に分割されていること、及びセレクトスイッチ703が設けられたことである。この発明により、一度フローティングゲート302にデータを書き込んだ後、その電圧値 V_{FG} の小さな修正が可能となった。スイッチ703が701側に接続された状態のまま動作させる時は第6の実施例と全く同じ動作をする。さて動作の小修正を行うには以下のようにすればよい。

40

【0060】

スイッチ703は701側に倒した状態で、スイッチ409をオフし、トランジスタ301のソースフォロワ回路を働かせる。そうするとゲート701、702の電位は等しくな

50

り、 $V_{G1}' = V_{G1}'' = V_{FG}$ となる。この状態でスイッチ406をオンし、インバータを反転電圧の状態にリセットする。その後スイッチ406をオフにした後、スイッチ703をアース側に倒す。こうすると電極702によってフローティングゲート405の電圧が引き下げられる。つまり反転電圧の状態にリセットされていたインバータ404の入力ゲートの電圧が下がるため出力が V_{DD} になり、これがインバータ403で反転されてゲート402の電位を0Vとするために、トランジスタ401はオフとなった状態となる。この状態でプログラミング電圧印加用端子に例えば $V_{EXT} = 2.5V$ を加えれば、 V_{FG} の値が V_{FG} 増加したときにNMOS401がオンしてプログラミングが終わる。ここで V_{FG} は、インバータ404の反転閾値電圧と、電極702によって引き下げられた後のインバータ404のゲート電圧の差となる。今ゲート電極701と702の容量結合係数の比を $n:1$ とすると

【0061】

【数9】

$$V_{FG} = V_{FG} / n \quad \dots (9)$$

となる。ここで n を大きくすればするほど細かい微調整ができる。またスイッチ703のアース側を所定の電位にすればさらに細かな微調整ができる。もちろん第4の実施例同様のデータ消去、更新を行うこともできる。

【0062】

書き込み制御用のインバータ404の出力に接続するインバータの個数は、第4の実施例同様、0個以上の任意の数であったとしても本発明の効果に変わりはない。

【0063】

以上第1～第5の実施例においては、トランジスタ101、301、112、312、401等はNMOSである場合を述べたが、電源電圧を調節し、PMOSを用いてもよいことは言うまでもない。また、例えば図7のインバータ403、404の如き書き込み制御のための回路は各セルに一つずつ配置するのではなく、いくつかのセルで1つを共用し、スイッチで切り替えて使ってもよいことは言うまでもない。

【0064】

【発明の効果】

本発明によれば、高速で且つ高精度なアナログデータ書き込み可能な不揮発性半導体メモリを提供できる。

【図面の簡単な説明】

【図1】第1の実施例を示す回路図である。

【図2】HSPICEシミュレーションで求めた結果を示すグラフである。

【図3】第2の実施例を示す回路図である。

【図4】第3の実施例を示す回路図である。

【図5】HSPICEシミュレーションで求めた結果を示すグラフである。

【図6】第4の実施例を示す回路図である。

【図7】第5の実施例を示す回路図である。

【図8】従来例を示す回路図である。

【図9】HSPICEシミュレーションで求めた結果を示すグラフである。

【図10】図9のグラフの時間を対数軸としたグラフである。

【符号の説明】

101、301、802 NMOSトランジスタ、

102、113、302、313、801 フローティングゲート、

103 NMOSのドレイン、

104、304 電源ライン、

105、305 ソース、

106 外部の容量負荷、

107、307 電極、

108、308 電荷注入電極、

10

20

30

40

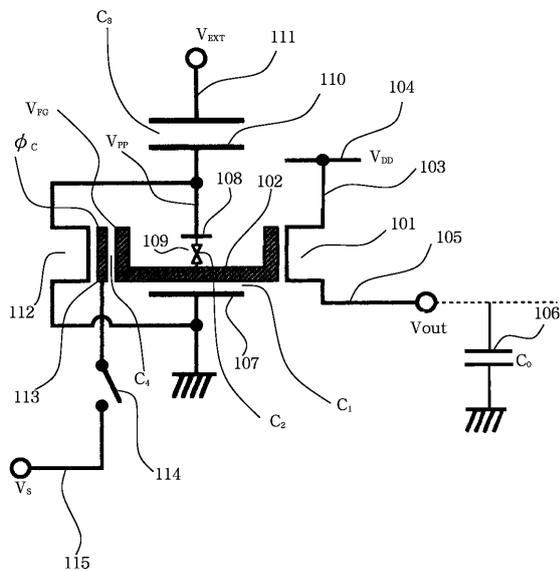
50

- 1 0 9、3 0 9 トンネル接合、
- 1 1 0 容量、
- 1 1 1、3 1 1 プログラム電圧 (V_{EXT}) 印加用端子、
- 1 1 2 NMOSトランジスタ、
- 1 1 4、3 1 4、3 1 6、4 0 6、4 0 9 スイッチ、
- 1 1 5、4 0 7 信号線、
- 3 0 3 ドレイン電極、
- 3 0 6 外部負荷 (例えば容量負荷係数 C_0 をもつコンデンサ)、
- 3 1 0 結合容量、
- 3 1 2 制御用NMOSトランジスタ、
- 3 1 5 独立のゲート電極、
- 4 0 1 エンハンスメント型NMOS、
- 4 0 2 ゲート電極、
- 4 0 3 インバータ、
- 4 0 4 CMOSインバータ、
- 4 0 4 a NMOS、
- 4 0 4 b PMOS、
- 4 0 5 ゲート、
- 4 0 8 制御ゲート、
- 7 0 1、7 0 2 電極、
- 7 0 3 セレクトスイッチ、
- 8 0 3 プログラム電極、
- 8 0 4 トンネル接合部、
- 8 0 5 接地電極。

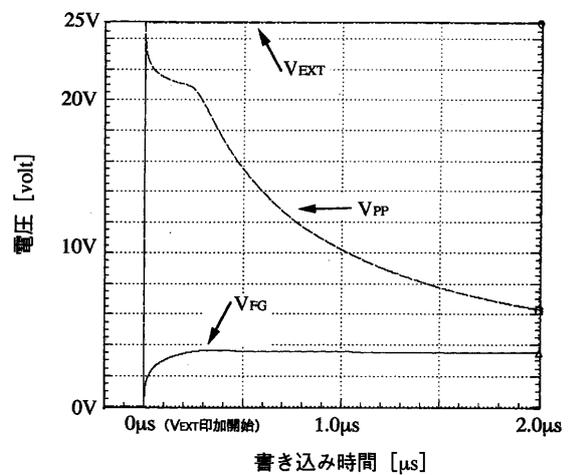
10

20

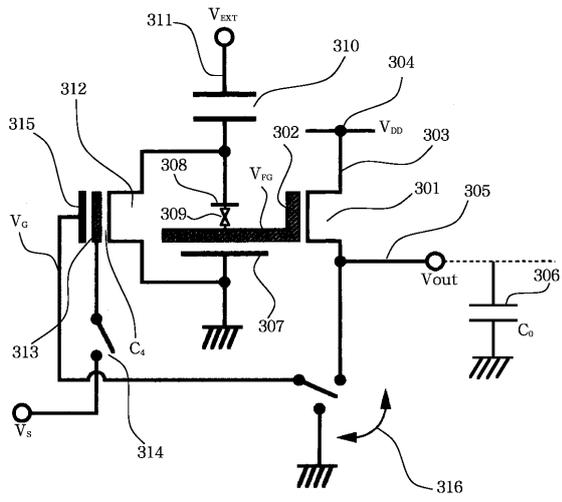
【図1】



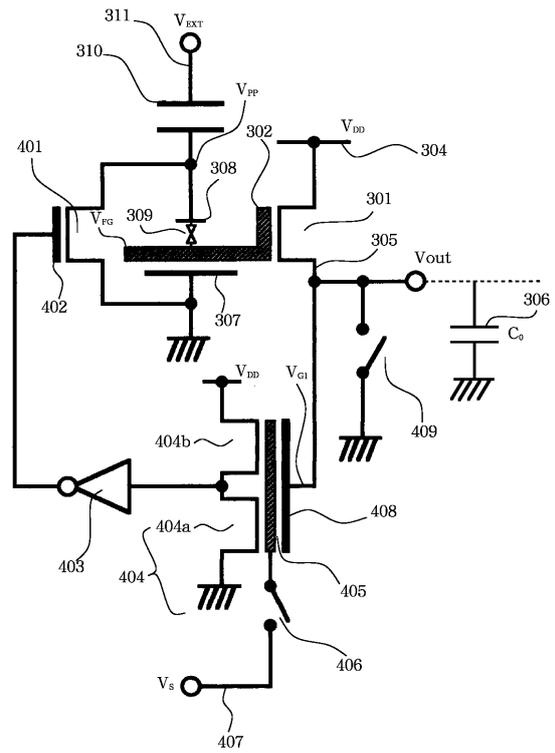
【図2】



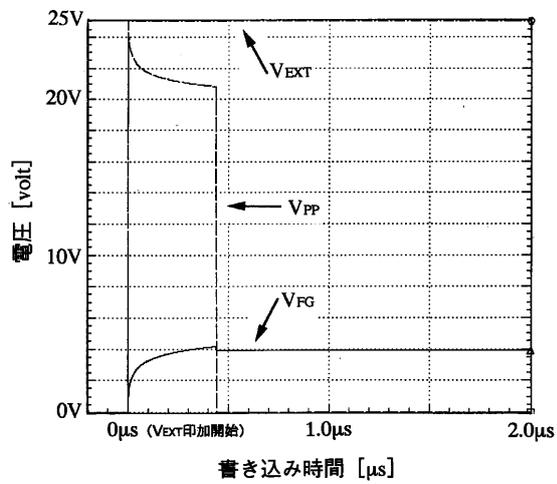
【図3】



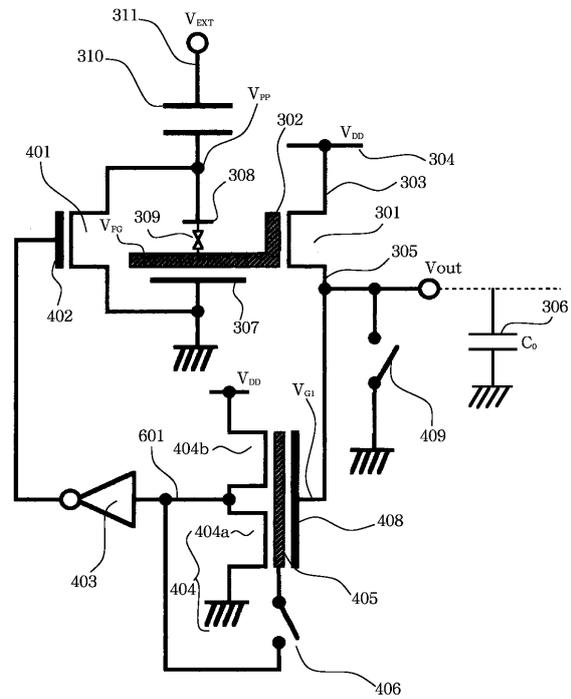
【図4】



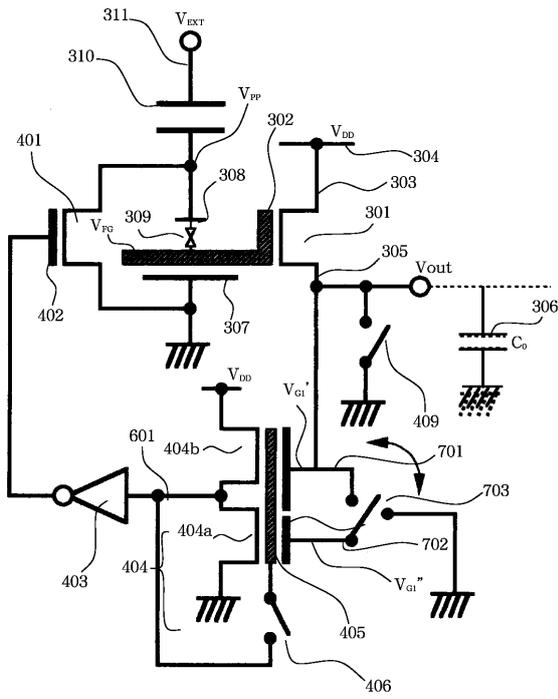
【図5】



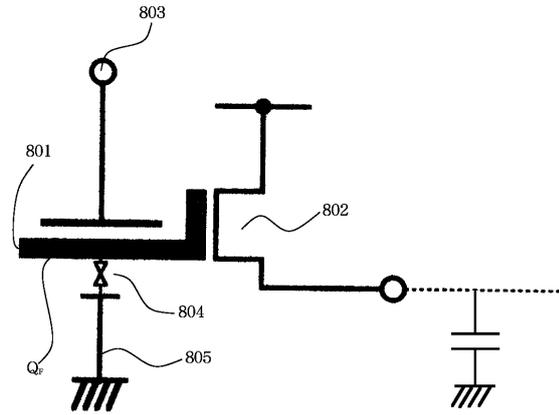
【図6】



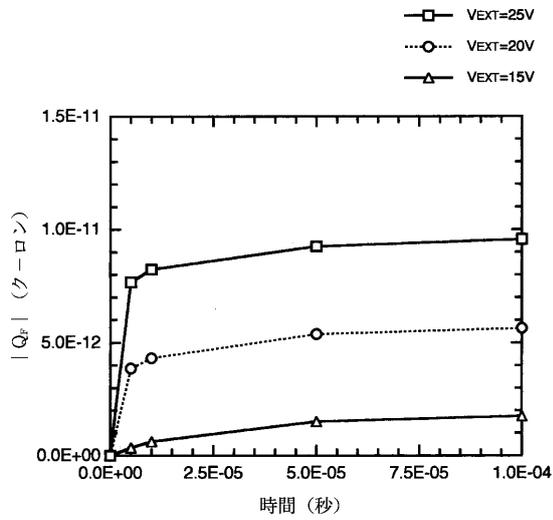
【 図 7 】



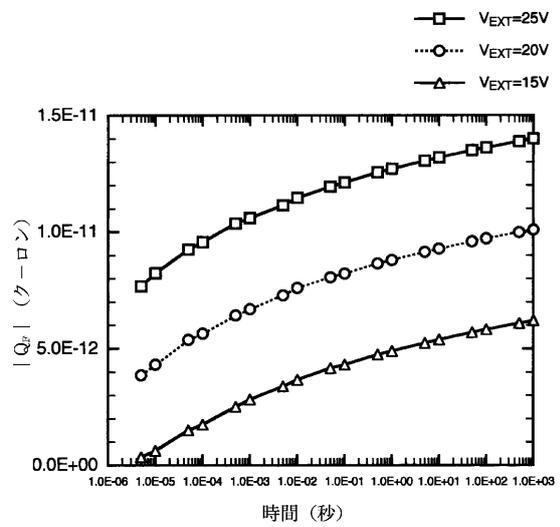
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

- (74)代理人 100088096
弁理士 福森 久夫
- (72)発明者 柴田 直
宮城県仙台市太白区日本平5番2号
- (72)発明者 山下 雄一郎
宮城県仙台市青葉区荒巻字青葉(無番地)東北大学工学部電子工学科内
- (72)発明者 大見 忠弘
宮城県仙台市青葉区米ヶ袋2の1の17の301

審査官 長島 孝志

- (56)参考文献 特開昭51-009689(JP,A)
特開平04-053096(JP,A)
特開平06-053431(JP,A)
特開昭62-298999(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)
G11C 16/00-16/34
H01L 29/788