



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0106153
(43) 공개일자 2009년10월08일

(51) Int. Cl.

H01L 21/336 (2006.01) H01L 29/78 (2006.01)

H01L 21/762 (2006.01)

(21) 출원번호 10-2008-0031689

(22) 출원일자 2008년04월04일

심사청구일자 없음

(71) 출원인

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

이춘희

경기 이천시 고담동 고담기숙사 105-1308

(74) 대리인

특허법인 신성

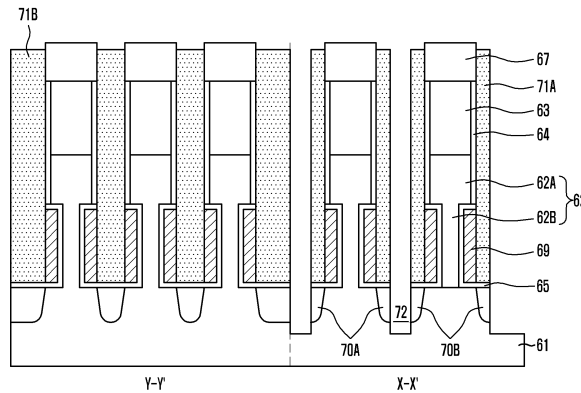
전체 청구항 수 : 총 18 항

(54) 수직게이트를 구비한 반도체장치 제조 방법

(57) 요약

본 발명은 매립형비트라인의 분리를 위한 식각 공정의 복잡함을 단순화시키고, BBL 마스크 공정시의 오정렬로 인한 문제를 원천적으로 방지할 수 있는 수직게이트를 구비한 반도체장치 제조 방법을 제공하기 위한 것으로, 기판 상에 리세스된 측벽을 갖는 복수의 활성필라를 형성하는 단계; 상기 활성필라를 포함한 전면에 도전막을 형성하는 단계; 탄소성분이 함유된 보호막을 식각장벽으로 상기 도전막을 식각하여 상기 활성필라의 리세스된 측벽에 위싸는 수직게이트를 형성하는 단계; 상기 기판에 이온주입을 통해 매립형비트라인을 형성하는 단계; 상기 활성필라, 보호막 및 수직게이트의 측벽을 덮는 희생막패턴을 형성하는 단계; 및 상기 활성필라 측벽의 희생막패턴에 자기정렬되도록 상기 기판을 식각하여 상기 매립형비트라인을 분리시키는 트렌치를 형성하는 단계를 포함하고, 상술한 본 발명은 매립형비트라인의 분리를 위한 트렌치 공정이 블랭킷 식각이면서 자기정렬식각방식을 적용함에 따라 별도의 마스크를 사용하지 않아도 되므로 공정이 단순해지며 오정렬을 고려하지 않아도 된다.

대표도 - 도5g



특허청구의 범위

청구항 1

기판 상에 리세스된 측벽을 갖는 복수의 활성필라를 형성하는 단계;

상기 활성필라를 포함한 전면에 도전막을 형성하는 단계;

탄소성분이 함유된 보호막을 식각장벽으로 상기 도전막을 식각하여 상기 활성필라의 리세스된 측벽을 에워싸는 수직게이트를 형성하는 단계;

상기 기판에 이온주입을 통해 매립형비트라인을 형성하는 단계;

상기 활성필라, 보호막 및 수직게이트의 측벽을 덮는 희생막패턴을 형성하는 단계; 및

상기 활성필라 측벽의 희생막패턴에 자기정렬되도록 상기 기판을 식각하여 상기 매립형비트라인을 분리시키는 트렌치를 형성하는 단계

를 포함하는 반도체장치 제조 방법.

청구항 2

제1항에 있어서,

상기 트렌치 형성을 위한 기판의 식각은, 블랭킷 식각(Blanket etch)으로 진행되는 반도체장치 제조 방법.

청구항 3

제1항에 있어서,

상기 보호막은, 실리콘(Si)과 탄소(Carbon)가 함유된 물질을 포함하는 반도체장치 제조 방법.

청구항 4

제1항에 있어서,

상기 보호막은, SiC, SiCN 또는 SiCO 중에서 선택된 어느 하나를 포함하는 반도체장치 제조 방법.

청구항 5

제1항에 있어서,

상기 보호막은 탄화물, 탄화질화물 또는 탄화산화물 중에서 선택된 어느 하나를 포함하는 반도체장치 제조 방법.

청구항 6

제1에 있어서,

상기 희생막패턴은 질화막을 포함하는 반도체장치 제조 방법.

청구항 7

제6항에 있어서,

상기 희생막패턴은, 150~300Å 두께로 형성하는 반도체장치 제조 방법.

청구항 8

제1에 있어서,

상기 복수의 활성필라를 형성하는 단계는,

적어도 질화막을 식각장벽으로 상기 기판을 식각하여 형성하는 반도체장치 제조 방법.

청구항 9

제1항에 있어서,

상기 복수의 활성필라는 제1방향에서는 이웃한 활성필라간 간격이 좁고, 상기 제1방향과 교차하는 제2방향에서는 이웃한 활성필라간 간격이 넓은 반도체장치제조 방법.

청구항 10

적어도 탄소성분이 함유된 보호막을 식각장벽으로 기관을 식각하여 리세스된 측벽을 갖는 복수의 활성필라를 형성하는 단계;

상기 활성필라의 리세스된 측벽을 에워싸는 수직게이트를 형성하는 단계;

상기 기관에 매립형비트라인을 형성하는 단계;

상기 활성필라, 보호막 및 수직게이트의 측벽을 덮는 희생막패턴을 형성하는 단계; 및

상기 활성필라 측벽의 희생막패턴에 자기정렬되도록 상기 기관을 식각하여 상기 매립형비트라인을 분리시키는 트렌치를 형성하는 단계

를 포함하는 반도체장치 제조 방법.

청구항 11

제10항에 있어서,

상기 트렌치 형성을 위한 기관의 식각은, 블랭킷 식각(Blanket etch)으로 진행되는 반도체장치 제조 방법.

청구항 12

제10항에 있어서,

상기 보호막은 질화막과 탄소함유막의 적층구조로 형성하는 반도체장치 제조 방법.

청구항 13

제12항에 있어서,

상기 탄소함유막은 실리콘(Si)과 탄소(Carbon)가 함유된 물질을 포함하는 반도체장치 제조 방법.

청구항 14

제12항에 있어서,

상기 탄소함유막은, SiC, SiCN 또는 SiCO 중에서 선택된 어느 하나를 포함하는 반도체장치 제조 방법.

청구항 15

제12항에 있어서,

상기 탄소함유막은 탄화물, 탄화질화물 또는 탄화산화물 중에서 선택된 어느 하나를 포함하는 반도체장치 제조 방법.

청구항 16

제10항에 있어서,

상기 희생막패턴은 질화막을 포함하는 반도체장치 제조 방법.

청구항 17

제16항에 있어서,

상기 희생막패턴은, 150~300Å 두께로 형성하는 반도체장치 제조 방법.

청구항 18

제10항에 있어서,

상기 복수의 활성필라는 제1방향에서는 이웃한 활성필라간 간격이 좁고, 상기 제1방향과 교차하는 제2방향에서는 이웃한 활성필라간 간격이 넓은 반도체장치제조 방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 반도체장치의 제조 방법에 관한 것으로서, 보다 상세하게는 수직게이트(Vertical gate; VG)를 구비한 반도체장치 제조 방법에 관한 것이다.

배경 기술

<2> 최근에 집적도 향상을 위해 서브 50nm 이하급 반도체 장치가 요구되고 있는데, 플라나채널(Planar channel) 또는 리세스채널(Recess channel)을 갖는 반도체장치의 경우에는 40nm 이하로 스케일링(scaling) 하기가 매우 어려운 문제가 있다. 따라서 동일 스케일링에서 집적도를 1.5~2 배 향상시킬 수 있는 반도체장치가 요구되고 있으며, 그에 따라 수직게이트(Vertical gate)를 구비한 반도체장치가 제안되었다.

<3> 수직 게이트는 기판 상에서 수직으로 연장된 활성필라(Active pillar)의 주위를 감싸는 환형(Surround type)의 게이트로서, 수직게이트에 의해 채널(Channel)이 수직방향으로 형성된다.

<4> 이와 같은 수직게이트를 구비한 메모리소자는 이온주입을 통해 매립형비트라인(Buried BitLine; BBL)을 형성하며, 이웃한 매립형비트라인을 분리시키기 위해 트렌치(Trench) 공정을 진행하고 있다.

<5> 도 1a는 종래기술에 따른 수직게이트를 구비한 반도체장치의 사시도이고, 도 1b는 도 1a의 X-X' 방향에 따른 단면도이다.

<6> 도 1a 및 도 1b를 참조하면, 기판(11) 상에 리세스된 측벽을 갖는 활성필라(12)가 구축되고, 활성필라(12)의 리세스된 측벽을 에워싸는 수직게이트(14)가 형성된다. 기판(11) 내에는 이온주입에 의한 매립형비트라인(15A, 15B)이 형성된다. 매립형비트라인(15A, 15B)은 트렌치(16)에 의해 서로 분리되어 있다. 수직게이트(14)와 활성필라(12)의 리세스된 측벽 사이에는 게이트절연막(17)이 구비되고, 활성필라(12) 상부에는 트렌치 형성시 활성필라를 보호하기 위해 보호막(13)이 구비된다. 보호막(13)은 질화막을 포함한다.

<7> 상술한 종래기술에서 매립형비트라인(15A, 15B)은 이온주입을 통해 형성하며, 트렌치(16)를 통해 이웃한 매립형비트라인(15A, 15B)을 분리시킨다. 트렌치(16) 형성을 위해 마스크(PR)를 사용하고 있다. 이 마스크는 'BBL 마스크'라고도 한다.

<8> 도 1c는 종래기술에 따른 BBL 마스크의 평면도로서, 트렌치(16)를 형성하기 위한 BBL 마스크는 비트라인방향의 라인패턴(Line pattern)이다.

<9> 그러나, 종래기술은 이웃하는 매립형비트라인(15A, 15B)을 분리시키기 위해 BBL 마스크를 이용하는 등 복잡한 스텝이 요구될뿐만 아니라 BBL 마스크 공정시 불가피하게 수반되는 오정렬(Misalign)로 인해 매립형비트라인의 분리가 용이하지 않는 문제가 대두되고 있다.

<10> 또한, 종래기술은 보호막(13)이 질화막이므로, 트렌치 형성을 위한 식각공정시 선택성이 높지 않아 활성필라(12)가 손상(Attack)되는 문제가 있다.

발명의 내용

해결 하고자하는 과제

<11> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 안출한 것으로서, 매립형비트라인의 분리를 위한 식각 공정의 복잡함을 단순화시키고, BBL 마스크 공정시의 오정렬로 인한 문제를 원천적으로 방지할 수 있는 수직게이트를 구비한 반도체장치 제조 방법을 제공하는데 그 목적이 있다.

<12> 또한, 본 발명의 다른 목적은 매립형비트라인의 분리를 위한 트렌치 공정시 활성필라가 손상받는 것을 방지할 수 있는 수직게이트를 구비한 반도체장치 제조 방법을 제공하는데 있다.

과제 해결수단

<13> 상기 목적을 달성하기 위한 본 발명의 반도체장치 제조방법은 기판 상에 리세스된 측벽을 갖는 복수의 활성필라를 형성하는 단계; 상기 활성필라를 포함한 전면에 도전막을 형성하는 단계; 탄소성분이 함유된 보호막을 식각장벽으로 상기 도전막을 식각하여 상기 활성필라의 리세스된 측벽을 에워싸는 수직게이트를 형성하는 단계; 상기 기판에 이온주입을 통해 매립형비트라인을 형성하는 단계; 상기 활성필라, 보호막 및 수직게이트의 측벽을 덮는 희생막패턴을 형성하는 단계; 및 상기 활성필라 측벽의 희생막패턴에 자기정렬되도록 상기 기판을 식각하여 상기 매립형비트라인을 분리시키는 트렌치를 형성하는 단계를 포함하는 것을 특징으로 한다. 바람직하게, 상기 트렌치 형성을 위한 기판의 식각은, 블랭킷 식각(Blanket etch)으로 진행하는 것을 특징으로 한다. 바람직하게, 상기 보호막은, 실리콘(Si)과 탄소(Carbon)가 함유된 물질을 포함하는 것을 특징으로 하고, 상기 보호막은 SiC, SiCN 또는 SiCO 중에서 선택된 어느 하나를 포함하는 것을 특징으로 하며, 상기 보호막은 탄화물, 탄화질화물 또는 탄화산화물 중에서 선택된 어느 하나를 포함하는 것을 특징으로 한다.

<14> 또한, 본 발명의 반도체장치 제조 방법은 적어도 탄소성분이 함유된 보호막을 식각장벽으로 기판을 식각하여 리세스된 측벽을 갖는 복수의 활성필라를 형성하는 단계; 상기 활성필라의 리세스된 측벽을 에워싸는 수직게이트를 형성하는 단계; 상기 기판에 매립형비트라인을 형성하는 단계; 상기 활성필라, 보호막 및 수직게이트의 측벽을 덮는 희생막패턴을 형성하는 단계; 및 상기 활성필라 측벽의 희생막패턴에 자기정렬되도록 상기 기판을 식각하여 상기 매립형비트라인을 분리시키는 트렌치를 형성하는 단계를 포함하는 것을 특징으로 한다. 바람직하게, 상기 트렌치 형성을 위한 기판의 식각은, 블랭킷 식각(Blanket etch)으로 진행하는 것을 특징으로 한다. 바람직하게, 상기 보호막은 질화막과 탄소함유막의 적층구조로 형성하며, 상기 탄소함유막은 실리콘(Si)과 탄소(Carbon)가 함유된 물질을 포함하며, 상기 탄소함유막은 SiC, SiCN 또는 SiCO 중에서 선택된 어느 하나를 포함하는 것을 특징으로 한다. 상기 희생막패턴은 질화막을 포함하는 것을 특징으로 한다.

효과

<15> 상술한 본 발명은, 매립형비트라인의 분리를 위한 트렌치 공정이 블랭킷 식각이면서 자기정렬식각방식을 적용함에 따라 별도의 마스크를 사용하지 않아도 되므로 공정이 단순해지며 오정렬을 고려하지 않아도 된다. 아울러, 보호막이 높은 선택성을 갖는 물질이므로 활성필라가 손상받지도 않는다.

발명의 실시를 위한 구체적인 내용

<16> 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<17> 도 2a는 본 발명의 실시예에 따른 수직게이트를 구비한 반도체장치의 사시도이고, 도 2b는 도 2a의 X-X' 방향 및 Y-Y' 방향에 따른 단면도이다.

<18> 도 2a 및 도 2b를 참조하면, 기판(21) 상에 리세스된 측벽(Recessed sidewall)을 갖는 활성필라(22)가 복수개 형성된다. 활성필라(22)는 넥필라(22B)와 헤드필라(22A)로 이루어지며, 넥필라(22B)에 의해 리세스된 측벽이 제공된다. 활성필라(22)의 헤드필라(22A) 측벽에는 필라스페이서(24)가 구비될 수 있다. 활성필라(22)의 리세스된 측벽, 즉 넥필라(22B)의 표면과 기판(21) 상에 게이트절연막(25)이 형성된다. 활성필라(22)의 리세스된 측벽을 에워싸는 수직게이트(27)가 형성된다. 기판(21) 내에 매립형비트라인(28A, 28B)이 형성되어 있고, 매립형 비트라인(28A, 28B)은 트렌치(30)에 의해 분리되어 있다.

<19> 위와 같은 반도체장치는 다음의 세가지 방법에 의해 구현될 수 있다.

<20> 도 3a 내지 도 3g는 본 발명의 제1실시예에 따른 수직게이트를 구비한 반도체장치 제조 방법을 도시한 공정 단면도이다. Y-Y' 방향은 이웃하는 활성필라 사이의 간격이 좁고, X-X' 방향에서는 이웃하는 활성필라 사이의 간격이 넓다.

<21> 도 3a에 도시된 바와 같이, 기판(21) 상에 리세스된 측벽(Recessed sidewall)을 갖는 활성필라(22)를 복수개 형성한다.

- <22> 활성필라(22)는 매트릭스 형태로 배열된 원기동형 필라 구조이다. 활성필라(22)는 넥필라(22B)와 헤드필라(22A)로 이루어지고, 리세스된 측벽은 넥필라(22B)에 의해 제공된다. 넥필라(22B)는 등방성식각 공정에 의해 형성되는데, 등방성식각은 필라트리밍(Pillar Trimming) 공정이라고도 한다. 등방성식각에 의해 150Å 정도로 측벽이 리세스되어 넥필라(22B)가 형성된다. 활성필라(22)는 채널영역으로 기능하기 위해 불순물이 도핑될 수 있다.
- <23> 활성필라(22) 상부에는 보호막(23)이 형성되어 있다. 보호막(23)은 활성필라(22)를 형성하기 위한 식각공정은 물론 후속 트렌치 공정시에도 높은 선택성을 갖는 물질로 형성하는 것이 바람직하다.
- <24> 보호막(23)은 탄소함유막을 포함하며, 탄소함유막은 실리콘(Si)과 탄소(Carbon)가 함유된 물질을 포함한다. 바람직하게, 보호막(23)은 탄화물, 탄화질화물 또는 탄화산화물을 포함한다. 더욱 바람직하게, 보호막(23)은 SiC, SiCN 또는 SiCO 중 어느 하나를 포함한다. 탄소함유막은 실리콘기판 식각시 질화막보다 높은 선택성을 갖는다.
- <25> 기관(21)은 실리콘기관을 포함한다. 또한, 기관(21)은 실리콘저마늄기관을 포함할 수도 있다.
- <26> 헤드필라(22A)의 측벽이 손상되지 않도록 하기 위해 헤드필라(22A)의 측벽에 필라스페이서(24)를 형성한 후에 넥필라(22B) 형성을 위한 식각공정을 진행할 수 있다. 필라스페이서(24)는 보호막(23)의 측벽에도 형성된다. 필라스페이서(24)는 실리콘질화막을 증착한 후 에치백하여 형성한다.
- <27> 도 3b에 도시된 바와 같이, 넥필라(22B)와 기관(21)의 노출된 표면 상에 게이트절연막(25)을 형성한다. 게이트절연막(25)은 실리콘산화막을 포함할 수 있으며, 게이트절연막(25)은 증착공정 또는 산화공정에 의해 50Å 두께로 형성될 수 있다. 바람직하게, 산화공정에 의해 형성하는데, 헤드필라(22A)의 측벽은 필라스페이서(24)에 의해 커버링되어 있으므로 게이트절연막이 형성되지 않는다.
- <28> 게이트절연막(25)이 형성된 구조의 전면에 도전막(26)을 형성한다. 이때, 도전막(27)은 얇은 두께(150~300Å)로 형성하는데, 적어도 넥필라(22B)의 리세스된 측벽을 채우는 두께를 만족하면 된다. 즉, 활성필라의 리세스량이 150Å이므로, 도전막(27)은 150Å보다 두꺼우면 된다. 따라서, 필요 이상으로 매우 두껍게 증착할 필요는 없으므로, 300Å 이하의 두께를 만족하면 된다.
- <29> 도전막(26)은 화학기상증착법(CVD)을 이용하여 증착한 폴리실리콘막을 포함한다. 폴리실리콘막은 인(Ph), 비소(As)와 같은 N형 불순물 또는 붕소(Boron)와 같은 P형 불순물을 포함할 수 있다.
- <30> 도 3c에 도시된 바와 같이, 도전막(26)을 에치백하여 활성필라(22)의 리세스된 측벽을 에워싸는 수직게이트(27)를 형성한다. 수직게이트(27) 형성을 위한 에치백 공정시 보호막(23)은 높은 선택성을 갖기 때문에 여전히 일정 두께를 갖고 잔류한다.
- <31> 도 3d에 도시된 바와 같이, 기관(21)에 이온주입을 진행하여 매립형비트라인으로 사용될 불순물영역(28)을 형성한다. 불순물영역(28)은 트랜지스터의 소스(드레인) 영역으로도 작용한다. 따라서, 불순물영역(28)은 N형 불순물 또는 P형 불순물이 이온주입될 수 있다. N형 불순물은 인(P) 또는 비소(As)를 포함하고, P형 불순물은 붕소(Boron)를 포함한다.
- <32> 도 3e에 도시된 바와 같이, 전면에 희생막(29)을 형성한다. 희생막(29)은 질화막을 포함하며, 150~300Å 두께로 증착한다. 희생막(29)은 Y-Y' 방향에서는 활성필라(22) 사이를 채우면서 보호막(23) 상부를 덮는 형태가 된다. X-X' 방향에서는 활성필라(22) 사이의 간격이 넓기 때문에 활성필라 사이를 채우지 않는다. Y-Y' 방향에서 활성필라 사이의 간격이 좁아 희생막(29)이 활성필라 사이를 채우는 형태가 된다.
- <33> 도 3f에 도시된 바와 같이, 매립형 비트라인(28A, 28B)을 형성하기 위한 트렌치(30) 공정을 진행한다.
- <34> 제1실시예는 트렌치 공정을 위한 마스크(종래 BBL 마스크) 공정을 생략하고, 블랭킷식각(Blanket etch) 방법으로 트렌치(30)를 형성한다. 이때, 보호막(23)이 식각장벽 역할을 한다. 바람직하게는, 보호막(23)과 기관(21)의 높은 선택비를 이용하여 식각한다. 즉, 보호막(23)으로 사용된 탄소함유막은 실리콘기관인 기관(21)을 식각할 때 높은 선택성을 갖는다. 따라서, 기관(21)을 식각하여 트렌치(30)를 형성할 때 식각장벽 역할을 한다.
- <35> 구체적으로 살펴보면, 블랭킷식각에 의해 기관(21) 표면의 희생막(29)이 식각되고, 이후 노출되는 기관(21)을 일정 깊이로 식각하여 트렌치(30)를 형성한다. 블랭킷식각은 직진성의 식각이므로 X-X' 방향에서는 보호막(23) 상부면과 기관(21) 표면의 희생막이 모두 식각되고 활성필라 및 제2보호막의 측벽에만 희생막패턴(29A)이 잔류한다. 반면에, Y-Y' 방향에서는 희생막패턴(29B)이 활성필라 사이를 갭필하는 형태로 잔류한다. 이는 Y-Y' 방향에서는 활성필라 사이에 희생막이 두껍게 매립되어 있기 때문에 희생막의 식각량이 적기 때문이다. 따라서 Y-Y' 방향에서는 트렌치(30)가 형성되지 않는다. 희생막패턴(29A, 29B)은 활성필라들의 측벽을 모두 에워싸는 부분

메시(Mesh) 구조가 된다.

- <36> X-X' 방향에서는 희생막패턴(29A)에 의해 기관(21)이 자기정렬식각(Self Aligned Etch)이 진행되어 트렌치(30)가 되고, Y-Y' 방향에서는 희생막패턴(29B)에 의해 식각이 방지된다. 희생막패턴(29A, 29B)은 활성필라, 보호막 및 수직게이트의 측벽을 덮는 형태이다.
- <37> 상술한 바에 따르면, 트렌치(30)를 형성하기 위한 식각공정은 별도의 마스크를 사용하지 않는 블랭킷식각이면서 보호막(23)과 희생막패턴(29A, 29B)에 자기정렬되어 기관(21)이 식각되는 자기정렬식각 방식이다.
- <38> 트렌치(30)에 의해 불순물영역(28)은 매립형비트라인(28A, 28B)이 되고, 이웃하는 매립형비트라인(28A, 28B)은 트렌치(30)에 의해 서로 분리된다. 트렌치(30)는 매립형비트라인(28A, 28B)보다 더 깊게 형성하여 이웃하는 매립형비트라인 사이를 분리시킨다.
- <39> 도 3g에 도시된 바와 같이, 남아있는 희생막(29A, 29B)을 제거한다. 희생막(29A, 29B)은 플라즈마 스트립(Plasma strip)을 통해 제거한다. 희생막(29A, 29B)은 질화막이므로, CF₄ 플라즈마를 이용한 스트립을 통해 제거한다. 희생막(29A, 29B) 제거시에 필라스페이스(24)도 일부 제거될 수 있다.
- <40> 보호막(23)도 제거할 수 있다. 보호막(23)은 플라즈마 스트립(Plasma strip)을 통해 제거한다. 보호막(23)이 탄소성분을 함유하고 있으므로, 산소플라즈마를 이용한 스트립을 통해 제거한다.
- <41> 상술한 제1실시예에 따르면, 매립형비트라인(28A, 28B)의 분리를 위한 트렌치(30) 공정이 블랭킷 식각이면서 자기정렬식각방식을 적용함에 따라 별도의 마스크를 사용하지 않아도 되므로 공정이 단순해지며 오정렬을 고려하지 않아도 된다. 아울러, 보호막이 높은 선택성을 갖는 물질이므로 활성필라가 손상받지도 않는다.
- <42> 도 4a 내지 도 4g는 본 발명의 제2실시예에 따른 수직게이트를 구비한 반도체장치 제조 방법을 도시한 공정 단면도이다. Y-Y' 방향은 이웃하는 활성필라 사이의 간격이 좁고, X-X' 방향에서는 이웃하는 활성필라 사이의 간격이 넓다.
- <43> 도 4a에 도시된 바와 같이, 기관(41) 상에 리세스된 측벽(Recessed sidewall)을 갖는 활성필라(42)를 복수개 형성한다.
- <44> 활성필라(42)는 매트릭스 형태로 배열된 원기둥형 필라 구조이다. 활성필라(42)는 넥필라(42B)와 헤드필라(42A)로 이루어지고, 리세스된 측벽은 넥필라(42B)에 의해 제공된다.
- <45> 활성필라(42)는 제1 및 제2보호막(43, 44)을 이용한 여러번의 식각공정을 통해 형성한다. 먼저, 제1 및 제2보호막(43, 44)을 식각장벽으로 하여 기관(41)을 이방성식각하여 헤드필라(42A)를 형성하고, 추가로 이방성식각 및 등방성식각을 순차적으로 진행하여 넥필라(42B)를 형성한다. 등방성식각에 의해 넥필라(42B)는 헤드필라(42A) 아래에서 측벽이 리세스된 형태를 갖고 형성된다.
- <46> 기관(41)은 실리콘기관을 포함한다. 기관(41)이 실리콘기관이므로, 이방성식각은 Cl₂ 또는 HBr 가스를 단독으로 사용하거나, Cl₂와 HBr 가스의 혼합가스를 이용하여 진행한다. 등방성식각은 습식식각(Wet etch) 또는 화학적건식식각(Chemical Dry Etch; CDE) 방식을 이용한다. 습식식각은 수산화칼륨(KOH) 용액 또는 염산(HCl) 용액을 이용할 수 있다. 화학적건식식각은 Cl₂, HBr 및 SF₆의 혼합가스를 이용하여 진행할 수 있다. SF₆ 가스는 실리콘기관을 등방성식각하는 것으로 알려져 있다. 등방성식각 공정을 필라 트리밍(Phillar Trimming) 공정이라고 하며, 등방성식각에 의해 150Å 정도로 측벽이 리세스되어 넥필라(42B)가 형성된다.
- <47> 한편, 헤드필라(42A)의 측벽이 손상되지 않도록 하기 위해 헤드필라(42A)의 측벽에 필라스페이스(45)를 형성한 후에 넥필라(42B) 형성을 위한 식각공정을 진행할 수 있다. 필라스페이스(45)는 제1 및 제1보호막(43, 44)의 측벽에도 형성된다. 필라스페이스(45)는 실리콘질화막을 증착한 후 에치백하여 형성한다.
- <48> 제1보호막(43)과 제2보호막(44)은 후속 식각공정에서 활성필라(42)를 보호하는 보호막 역할외에 식각장벽 역할을 한다. 따라서, 제1보호막(43)과 제2보호막(44)은 활성필라(42)를 형성하기 위한 식각공정은 물론 후속 트렌치 공정시에도 높은 선택성을 갖는 물질로 형성하는 것이 바람직하다. 제1보호막(43)은 실리콘질화막(Si₃N₄)으로 형성할 수 있으며, 그 두께는 2000Å으로 할 수 있다.
- <49> 제2보호막(44)은 후속 트렌치 식각시 높은 선택성을 갖는 물질로 형성하는 것이 바람직하다. 또한, 제2보호막(44)은 후속 트렌치 식각시 제1보호막(43)보다 더 높은 선택성을 갖는 것이 바람직하다. 질화막 물질인 제1보호

막(43)만으로는 후속 트렌치 공정시 높은 선택성을 얻기 어려워 활성필라가 어택받기 쉽다.

- <50> 제2보호막(44)은 탄소함유막을 포함하며, 또한 실리콘(Si)과 탄소(Carbon)가 함유된 물질을 포함한다. 바람직하게, 제2보호막(44)은 탄화물, 탄화질화물 또는 탄화산화물을 포함한다. 더욱 바람직하게, 제2보호막(44)은 SiC, SiCN 또는 SiCO 중 어느 하나를 포함한다.
- <51> 한편, 도시하지 않았지만, 제1보호막(43)과 헤드필라(42A) 사이에는 제1보호막(43)에 의해 초래되는 응력을 완화시키기 위해 버퍼막(Buffer layer)이 더 구비될 수 있다. 버퍼막은 실리콘산화막을 포함한다.
- <52> 도 4b에 도시된 바와 같이, 넥필라(42B)와 기판(41)의 노출된 표면 상에 게이트절연막(46)을 형성한다. 게이트절연막(46)은 실리콘산화막을 포함할 수 있으며, 게이트절연막(46)은 증착공정 또는 산화공정에 의해 50Å 두께로 형성될 수 있다. 바람직하게, 산화공정에 의해 형성하는데, 헤드필라(42A)의 측벽은 필라스페이서(45)에 의해 커버링되어 있으므로 게이트절연막이 형성되지 않는다.
- <53> 게이트절연막(46)이 형성된 구조의 전면에 도전막(47)을 형성한다. 이때, 도전막(47)은 얇은 두께(150~300Å)로 형성하는데, 적어도 넥필라(42B)의 리세스된 측벽을 채우는 두께를 만족하면 된다. 즉, 활성필라의 리세스량이 150Å이므로, 도전막(47)은 150Å보다 두꺼우면 된다. 따라서, 필요 이상으로 매우 두껍게 증착할 필요는 없으므로, 300Å 이하의 두께를 만족하면 된다.
- <54> 도전막(47)은 화학기상증착법(CVD)을 이용하여 증착한 폴리실리콘막을 포함한다. 폴리실리콘막은 인(Ph), 비소(As)와 같은 N형 불순물 또는 붕소(Boron)와 같은 P형 불순물을 포함할 수 있다.
- <55> 도 4c에 도시된 바와 같이, 도전막(47)을 에치백하여 활성필라(42)의 리세스된 측벽을 에워싸는 수직게이트(48)를 형성한다. 수직게이트(48) 형성을 위한 에치백 공정시 제2보호막(44)은 높은 선택성을 갖기 때문에 여전히 일정 두께를 갖고 잔류한다.
- <56> 도 4d에 도시된 바와 같이, 기판(41)에 이온주입을 진행하여 매립형비트라인으로 사용될 불순물영역(49)을 형성한다. 불순물영역(49)은 트랜지스터의 소스(드레인) 영역으로도 작용한다. 따라서, 불순물영역(49)은 N형 불순물 또는 P형 불순물이 이온주입될 수 있다. N형 불순물은 인(P) 또는 비소(As)를 포함하고, P형 불순물은 보론(Boron)을 포함한다.
- <57> 도 4e에 도시된 바와 같이, 전면에 희생막(50)을 형성한다. 희생막(50)은 질화막을 포함하며, 150~300Å 두께로 증착한다. 희생막(31)은 Y-Y' 방향에서는 활성필라(42) 사이를 채우면서 제2보호막(44) 상부를 덮는 형태가 된다. X-X' 방향에서는 활성필라(42) 사이의 간격이 넓기 때문에 활성필라 사이를 채우지 않는다. Y-Y' 방향에서 활성필라 사이의 간격이 좁기 때문에 희생막(31)이 활성필라 사이를 채우는 형태가 된다.
- <58> 도 4f에 도시된 바와 같이, 매립형 비트라인(49A, 49B)을 형성하기 위한 트렌치(51) 공정을 진행한다.
- <59> 제2실시예는 트렌치 공정을 위한 마스크(중래 BBL 마스크) 공정을 생략하고, 블랭킷식각(Blanket etch) 방법으로 트렌치(51)를 형성한다. 이때, 제2보호막(44)이 식각장벽 역할을 한다. 바람직하게는, 제2보호막(44)과 기판(41)의 높은 선택비를 이용하여 식각한다. 즉, 제2보호막(44)으로 사용된 탄소함유막은 실리콘기판인 기판(41)을 식각할때 높은 선택성을 갖는다. 따라서, 기판(41)을 식각하여 트렌치(42)를 형성할 때 식각장벽 역할을 한다.
- <60> 구체적으로 살펴보면, 블랭킷식각에 의해 기판(41) 표면의 희생막(50)이 식각되고, 이후 노출되는 기판(41)을 일정 깊이로 식각하여 트렌치(51)를 형성한다. 블랭킷식각은 직진성의 식각이므로 X-X' 방향에서는 제2보호막(44) 상부면과 기판(41) 표면의 희생막이 모두 식각되고 활성필라 및 제2보호막의 측벽에만 희생막(50A)이 잔류한다. 반면에, Y-Y' 방향에서는 희생막(50B)이 활성필라 사이를 갭필하는 형태로 잔류한다. 이는 Y-Y' 방향에서는 활성필라 사이에 희생막이 두껍게 매립되어 있기 때문에 희생막의 식각량이 적기 때문이다.
- <61> 따라서 Y-Y' 방향에서는 트렌치(51)가 형성되지 않는다. 희생막패턴(50A, 50B)은 활성필라들의 측벽을 모두 에워싸는 부분 메시(Mesh) 구조가 된다.
- <62> X-X' 방향에서는 희생막패턴(50A)에 의해 기판(41)이 자기정렬식각(Self Aligned Etch)이 진행되어 트렌치(51)가 되고, Y-Y' 방향에서는 희생막패턴(50B)에 의해 식각이 방지된다. 희생막패턴(50A, 50B)은 활성필라, 보호막 및 수직게이트의 측벽을 덮는 형태이다.
- <63> 상술한 바에 따르면, 트렌치(51)를 형성하기 위한 식각공정은 별도의 마스크를 사용하지 않는 블랭킷식각이면서 제2보호막(44)과 희생막패턴(50A, 50B)에 자기정렬되어 기판(41)이 식각되는 자기정렬식각 방식이다.

- <64> 트렌치(51)에 의해 불순물영역(49)은 매립형비트라인(49A, 49B)이 되고, 이웃하는 매립형비트라인(49A, 49B)은 트렌치(51)에 의해 서로 분리된다. 트렌치(51)는 매립형비트라인(49A, 49B)보다 더 깊게 형성하여 이웃하는 매립형비트라인 사이를 분리시킨다.
- <65> 도 4g에 도시된 바와 같이, 남아있는 희생막(50A, 50B)을 제거한 후, 제2보호막(44)을 제거한다. 제2보호막(44)과 희생막(50A, 50B)은 플라즈마 스트립(Plasma strip)을 통해 제거한다.
- <66> 제2보호막(44)이 탄소성분을 함유하고 있으므로, 산소플라즈마를 이용한 스트립을 통해 제거한다. 희생막(50A, 50B)은 질화막이므로, CF₄ 플라즈마를 이용한 스트립을 통해 제거한다. 희생막(50A, 50B) 제거시에 필라스페이서(45)도 일부 제거될 수 있다. 제1보호막(43)은 후속 공정으로부터 활성필라를 보호하는 역할 및 절연시키는 역할을 한다.
- <67> 상술한 제2실시예에 따르면, 매립형비트라인의 분리를 위한 트렌치 공정이 블랭킷 식각이면서 자기정렬식각방식을 적용함에 따라 별도의 마스크를 사용하지 않아도 되므로 공정이 단순해지며 오정렬을 고려하지 않아도 된다. 아울러, 제2보호막이 높은 선택성을 갖는 물질이므로 활성필라가 손상받지도 않는다.
- <68> 도 5a 내지 도 5h는 본 발명의 제3실시예에 따른 수직게이트를 구비한 반도체장치 제조 방법을 도시한 공정 단면도이다.
- <69> 도 5a에 도시된 바와 같이, 기판(61) 상에 리세스된 측벽(Recessed sidewall)을 갖는 활성필라(62)를 복수개 형성한다. Y-Y' 방향은 이웃하는 활성필라 사이의 간격이 좁고, X-X' 방향에서는 이웃하는 활성필라 사이의 간격이 넓다.
- <70> 활성필라(62)는 매트릭스 형태로 배열된 원기둥형 필라 구조이다. 활성필라(62)는 넥필라(62B)와 헤드필라(62A)로 이루어지고, 리세스된 측벽은 넥필라(62B)에 의해 제공된다.
- <71> 활성필라(62)는 제1보호막(63)을 이용한 여러번의 식각공정을 통해 형성한다. 먼저, 제1보호막(63)을 식각장벽으로 하여 기판(61)을 이방성식각하여 헤드필라(62A)를 형성하고, 추가로 이방성식각 및 등방성식각을 순차적으로 진행하여 넥필라(62B)를 형성한다. 등방성식각에 의해 넥필라(62B)는 헤드필라(62A) 아래에서 측벽이 리세스된 형태를 갖고 형성된다.
- <72> 기판(61)은 실리콘기판을 포함한다. 기판(61)이 실리콘기판이므로, 이방성식각은 Cl₂ 또는 HBr 가스를 단독으로 사용하거나, Cl₂와 HBr 가스의 혼합가스를 이용하여 진행한다. 등방성식각은 습식식각(Wet etch) 또는 화학적건식식각(Chemical Dry Etch; CDE) 방식을 이용한다. 습식식각은 수산화칼륨(KOH) 용액 또는 염산(HCl) 용액을 이용할 수 있다. 화학적건식식각은 Cl₂, HBr 및 SF₆의 혼합가스를 이용하여 진행할 수 있다. SF₆ 가스는 실리콘기판을 등방성식각하는 것으로 알려져 있다. 등방성식각 공정을 필라 트리밍(Pillar Trimming) 공정이라고 하며, 등방성식각에 의해 150Å 정도로 측벽이 리세스되어 넥필라(62B)가 형성된다.
- <73> 한편, 헤드필라(62A)의 측벽이 손상되지 않도록 하기 위해 헤드필라(62A)의 측벽에 필라스페이서(64)를 형성한 후에 넥필라(62B) 형성을 위한 식각공정을 진행할 수 있다. 필라스페이서(64)는 제1보호막(63)의 측벽에도 형성된다. 필라스페이서(64)는 질화막을 증착한 후 에치백하여 형성한다. 필라스페이서(64)는 실리콘질화막을 포함한다.
- <74> 제1보호막(63)은 실리콘질화막(Si₃N₄)으로 형성할 수 있으며, 그 두께는 2000Å으로 할 수 있다. 한편, 도시하지 않았지만, 제1보호막(63)과 헤드필라(62A) 사이에는 제1보호막(63)에 의해 초래되는 응력(Stress)을 완화시키기 위해 버퍼막(Buffer layer)이 더 구비될 수 있다. 버퍼막은 실리콘산화막(SiO₂)을 포함한다.
- <75> 도 5b에 도시된 바와 같이, 넥필라(62B)와 기판(61)의 노출된 표면 상에 게이트절연막(65)을 형성한다. 게이트절연막(65)은 실리콘산화막(SiO₂)을 포함할 수 있으며, 증착(Deposition) 공정 또는 산화(Oxidation) 공정에 의해 50Å 두께로 형성될 수 있다. 바람직하게, 산화 공정에 의해 형성하는데, 헤드필라(62A)의 측벽은 필라스페이서(64)에 의해 커버링되어 있으므로 게이트절연막(65)이 형성되지 않는다.
- <76> 게이트절연막(65)이 형성된 구조의 전면에 도전막(66)을 형성한다. 이때, 도전막(66)은 활성필라(62) 사이를 갭필하도록 전면에 형성한다. 도전막(66)은 화학기상증착법(Chemical Vapor Deposition; CVD)을 이용하여 증착한 폴리실리콘막을 포함한다. 폴리실리콘막은 인(Ph), 비소(As)와 같은 N형 불순물 또는 붕소(Boron)와 같은 P형 불순물을 포함할 수 있다. 도전막(66)이 추후 수직게이트가 되므로, 트랜지스터의 특성에 따라 불순물을 조절될

수 있다.

- <77> 도전막(66)을 부분 에치백(Partial etchback)하여 제1보호막(63)의 표면을 노출시킨다. 부분 에치백에 의해 활성필라(62)의 높이만큼만 도전막(66)을 잔류시킬 수도 있다.
- <78> 도 5c에 도시된 바와 같이, 수직게이트마스크(VG Mask, 68) 공정을 진행한다. 본 발명은 수직게이트마스크(68) 공정을 진행하기에 앞서 제2보호막(67)을 추가로 형성한다.
- <79> 제2보호막(67)은 후속 트렌치 식각시 높은 선택성을 갖는 물질이다. 제2보호막(67)은 탄소함유막을 포함한다. 제2보호막(67)은 실리콘(Si)과 탄소(Carbon)가 함유된 물질을 포함한다. 바람직하게, 제2보호막(67)은 탄화물, 탄화질화물 또는 탄화산화물을 포함한다. 더욱 바람직하게, 제2보호막(67)은 SiC, SiCN 또는 SiCO 중 어느 하나를 포함한다. 제2보호막(67)은 100~500 Å 두께로 형성하는데, 이 두께는 제1보호막(63)보다 상대적으로 얇지만 후속 트렌치 식각시 높은 선택성을 갖는 두께이다.
- <80> 이와 같이 형성된 제2보호막(67) 상에 감광막을 이용하여 수직게이트마스크(68)를 형성한 후에는, 수직게이트마스크(68)를 식각장벽으로 하여 제2보호막(67)을 식각한다. 수직게이트마스크(68)는 평면상으로 볼 때, 원형의 패턴이다. 이는 수직게이트가 넥필라의 측벽을 에워싸는 환형(Surround) 구조이기 때문이다. 수직게이트마스크(68)는 적어도 활성필라(62) 및 필라스페이서(64)를 합한 두께의 직경을 갖는 원형의 패턴일 수 있다. 즉, 수직게이트마스크(68)는 활성필라(62)는 물론 필라스페이서(64)까지 모두 덮는 원형의 패턴이다.
- <81> 도 5d에 도시된 바와 같이, 수직게이트마스크(68)를 식각장벽으로 하여 도전막(66)을 식각하여 활성필라(62)의 리세스된 측벽을 에워싸는 수직게이트(69)를 형성한다.
- <82> 수직게이트(69) 형성 도중에 수직게이트마스크(68)로 사용된 감광막은 잔류하지 않을 수도 있다. 그렇다 하더라도 제2보호막(67)은 높은 선택성을 가져 일정 두께를 갖고 잔류한다.
- <83> 도 5e에 도시된 바와 같이, 기판(61)에 이온주입을 진행하여 매립형비트라인으로 사용될 불순물영역(70)을 형성한다. 불순물영역(70)은 트랜지스터의 소스(또는 드레인) 영역으로도 작용한다. 따라서, 불순물영역(70)은 N형 불순물 또는 P형 불순물이 이온주입될 수 있다. N형 불순물은 인(P) 또는 비소(As)를 포함하고, P형 불순물은 보론(Boron)을 포함한다.
- <84> 도 5f에 도시된 바와 같이, 전면에 희생막(71)을 형성한다. 희생막(71)은 질화막을 포함하며, 150~700 Å 두께로 증착한다. 희생막(71)은 Y-Y' 방향에서는 활성필라(62) 사이를 채우면서 제1보호막(63) 상부를 덮는 형태가 된다. X-X' 방향에서는 활성필라(62) 사이의 간격이 넓기 때문에 활성필라 사이를 채우지 않는다. Y-Y' 방향에서 활성필라 사이의 간격이 좁기 때문에 희생막(71)이 활성필라 사이를 채우는 형태가 된다.
- <85> 도 5g에 도시된 바와 같이, 매립형 비트라인(70A, 70B)을 형성하기 위한 트렌치(72) 공정을 진행한다.
- <86> 제3실시예는 트렌치 공정을 위한 마스크(중래 BBL 마스크) 공정을 생략하고, 블랭킷식각(Blanket etch) 방법으로 트렌치(72)를 형성한다. 이때, 제2보호막(67)이 식각장벽 역할을 한다. 바람직하게는, 제2보호막(67)과 기판(61)의 높은 선택비를 이용하여 식각한다. 즉, 제2보호막(67)으로 사용된 탄소함유막은 실리콘기판인 기판(61)을 식각할때 높은 선택성을 갖는다. 따라서, 기판(61)을 식각하여 트렌치(72)를 형성할 때 식각장벽 역할을 한다.
- <87> 구체적으로 살펴보면, 블랭킷식각에 의해 기판(61) 표면의 희생막(71)이 식각되고, 이후 노출되는 기판(61)을 일정 깊이로 식각하여 트렌치(72)를 형성한다. 블랭킷식각은 직진성의 식각이므로 X-X' 방향에서는 제1보호막 상부면과 기판(61) 표면의 희생막이 모두 식각되고 활성필라 및 제1보호막의 측벽에만 희생막(71A)이 잔류한다. 반면에, Y-Y' 방향에서는 희생막(71B)이 활성필라 사이를 깎아내는 형태로 잔류한다. 이는 Y-Y' 방향에서는 활성필라 사이에 희생막이 두껍게 매립되어 있기 때문에 희생막의 식각량이 적기 때문이다. 따라서 Y-Y' 방향에서는 트렌치(72)가 형성되지 않는다.
- <88> 따라서 Y-Y' 방향에서는 트렌치(72)가 형성되지 않는다. 희생막패턴(71A, 71B)은 활성필라들의 측벽을 모두 에워싸는 부분 메시(Mesh) 구조가 된다.
- <89> X-X' 방향에서는 희생막패턴(71A)에 의해 기판(61)이 자기정렬식각(Self Aligned Etch)이 진행되어 트렌치(72)가 되고, Y-Y' 방향에서는 희생막패턴(71B)에 의해 식각이 방지된다. 희생막패턴(71A, 71B)은 활성필라, 보호막 및 수직게이트의 측벽을 덮는 형태이다.
- <90> 상술한 바에 따르면, 트렌치(72)를 형성하기 위한 식각공정은 별도의 마스크를 사용하지 않는 블랭킷식각이면서

제2보호막(67)과 희생막패턴(71A, 71B)에 자기정렬되어 기판(61)이 식각되는 자기정렬식각 방식이다.

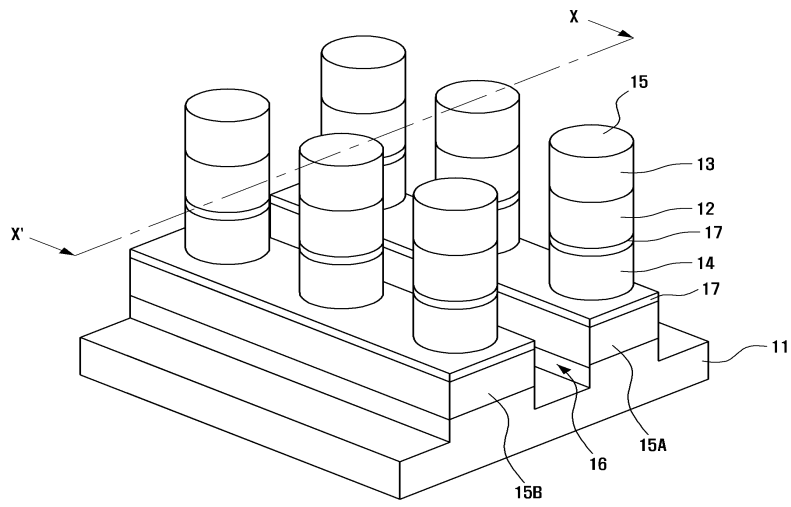
- <91> 트렌치(72)에 의해 불순물영역(70)은 매립형비트라인(70A, 70B)이 되고, 이웃하는 매립형비트라인(70A, 70B)은 트렌치(72)에 의해 서로 분리된다. 트렌치(72)는 매립형비트라인(70A, 70B)보다 더 깊게 형성하여 이웃하는 매립형비트라인 사이를 분리시킨다.
- <92> 도 5h에 도시된 바와 같이, 남아있는 희생막(71A, 71B)을 제거한 후, 제2보호막(67)을 제거한다. 제2보호막(67)과 희생막(71A, 71B)은 플라즈마 스트립(Plasma strip)을 통해 제거한다.
- <93> 제2보호막(67)이 탄소성분을 함유하고 있으므로, 산소플라즈마를 이용한 스트립을 통해 제거한다. 희생막(71A, 71B)은 질화막이므로, CF₄ 플라즈마를 이용한 스트립을 통해 제거한다. 희생막(71A, 71B) 제거시에 필라스페이서(64)도 일부 제거될 수 있다.
- <94> 도 6은 본 발명의 제1 내지 제3실시예에 따른 트렌치 공정후의 결과를 도시한 평면도이다.
- <95> 도 6을 참조하면, 트렌치(29, 51, 72) 형성시에 활성필라(22, 42, 62)의 측벽에 부분 메시 구조의 희생막패턴은 활성필라의 측벽을 에워싸는 부분(29A, 50A, 71A)과 활성필라 사이에 매립된 부분(29B, 50B, 71B)을 포함한다. 이와 같은 희생막패턴에 의해 자기정렬방식으로 식각이 진행된다.
- <96> 상술한 제1실시예 내지 제3실시예에 도시된 반도체장치는 4.8F²(F:minimum feature size)의 셀아키텍처(cell architecture))를 갖는다. 따라서, 단위셀이 4.8F²의 면적을 갖고 형성되며, 이 면적 내에 단위셀을 구성하는 트랜지스터, 비트라인 및 워드라인이 위치한다. 4.8F²의 셀아키텍처는 8F² 또는 6F² 셀아키텍처보다 동일 스케일링에서 집적도를 1.5~2 배 향상시킬 수 있다.
- <97> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

도면의 간단한 설명

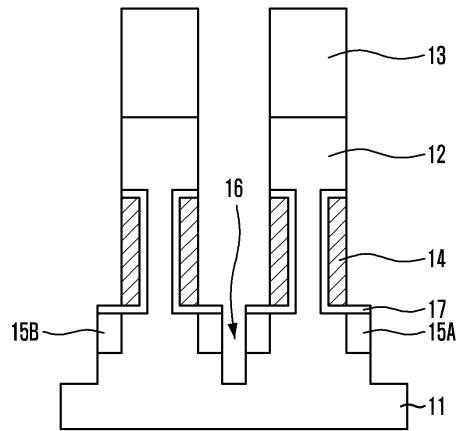
- <98> 도 1a는 종래기술에 따른 수직게이트를 구비한 반도체 장치의 사시도.
- <99> 도 1b는 도 1a의 X-X' 방향에 따른 단면도.
- <100> 도 1c는 종래기술에 따른 BBL 마스크의 평면도.
- <101> 도 2a는 본 발명의 제1실시예에 따른 수직게이트를 구비한 반도체장치의 사시도.
- <102> 도 2b는 도 2a의 X-X' 방향 및 Y-Y' 방향에 따른 단면도.
- <103> 도 3a 내지 도 3g는 본 발명의 제1실시예에 따른 수직게이트를 구비한 반도체장치의 제조 방법을 도시한 공정 단면도.
- <104> 도 4a 내지 도 4g는 본 발명의 제2실시예에 따른 수직게이트를 구비한 반도체장치의 제조 방법을 도시한 공정 단면도.
- <105> 도 5a 내지 도 5h는 본 발명의 제3실시예에 따른 수직게이트를 구비한 반도체장치의 제조 방법을 도시한 공정 단면도.
- <106> 도 6은 본 발명의 제1 내지 제3실시예에 따른 트렌치 공정후의 결과를 도시한 평면도.
- <107> * 도면의 주요 부분에 대한 부호의 설명
- <108> 41 : 기판 42 : 활성필라
- <109> 43 : 제1보호막 44 : 제2보호막
- <110> 45 : 필라스페이서 46 : 게이트절연막
- <111> 48 : 수직게이트 49A, 49B : 매립형비트라인
- <112> 51 : 트렌치

도면

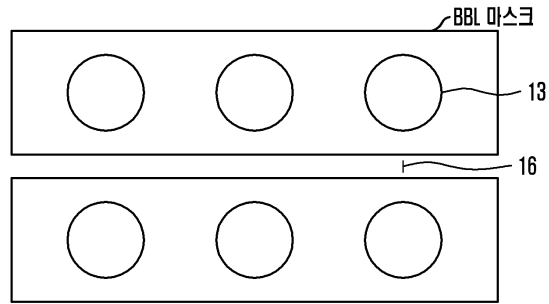
도면1a



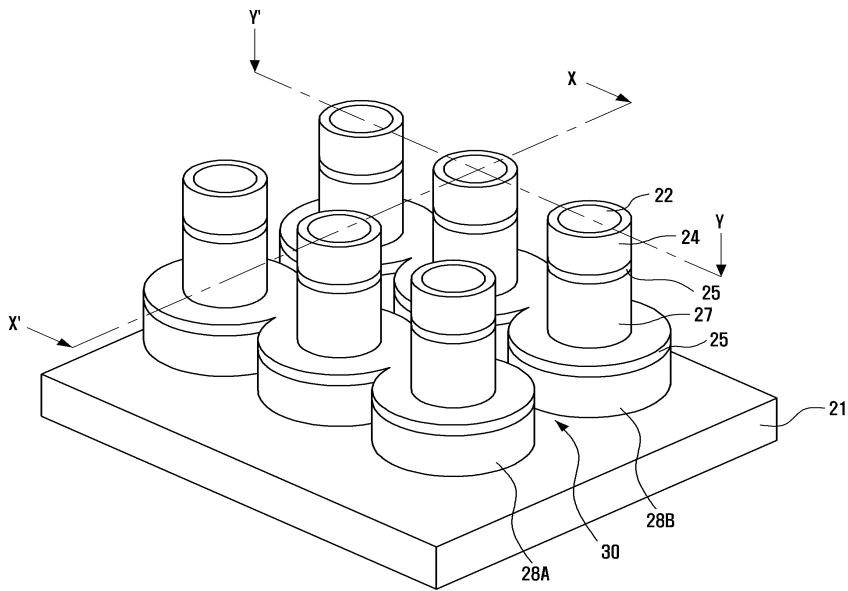
도면1b



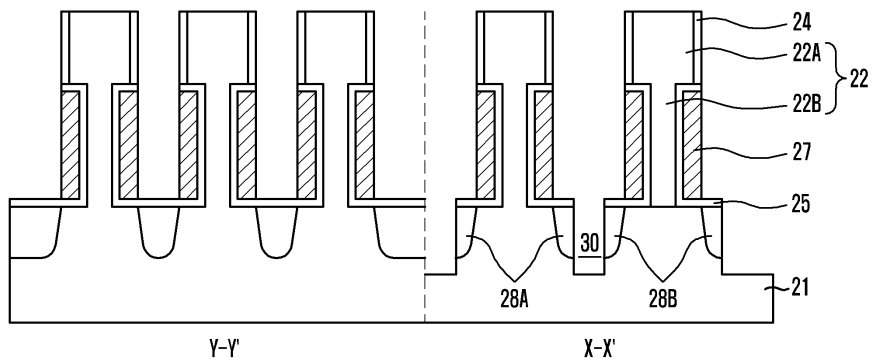
도면1c



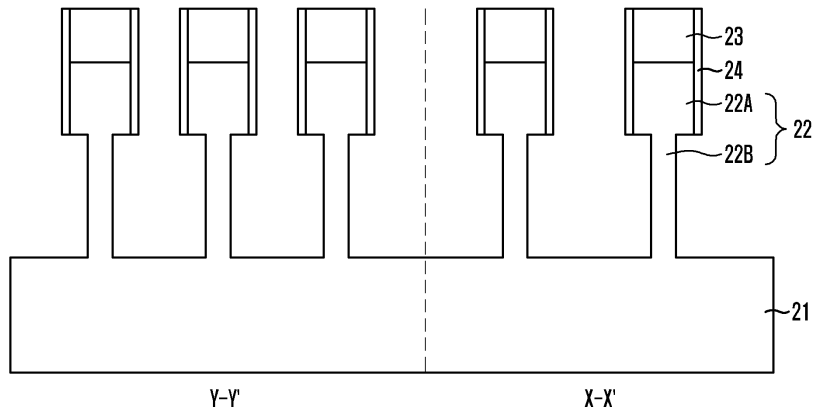
도면2a



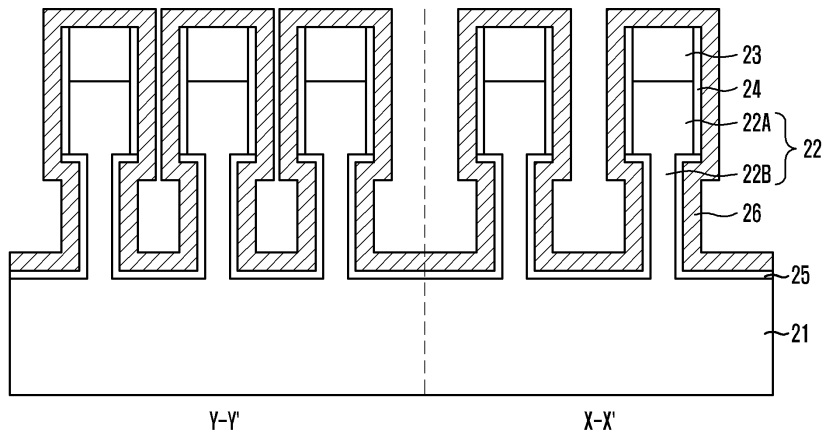
도면2b



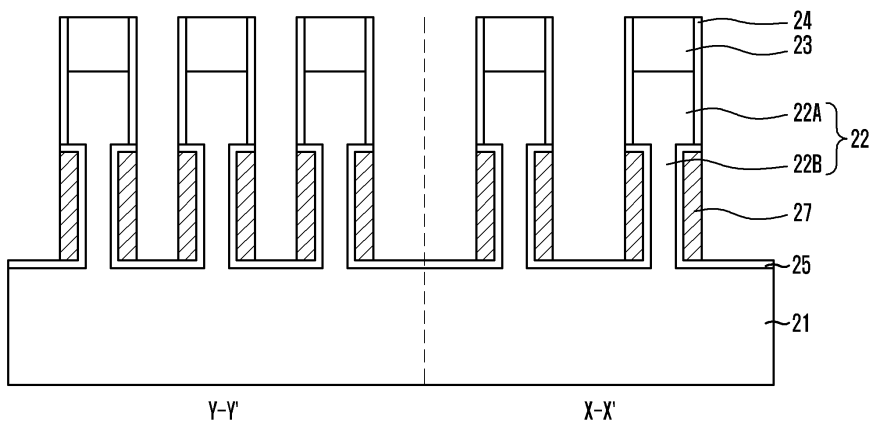
도면3a



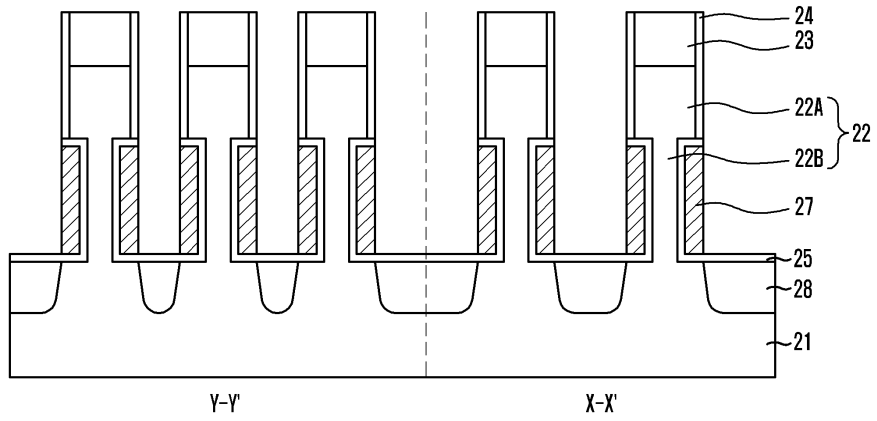
도면3b



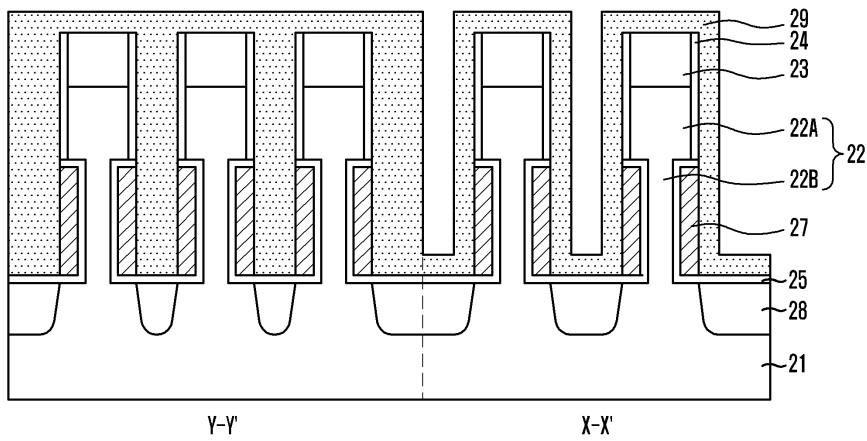
도면3c



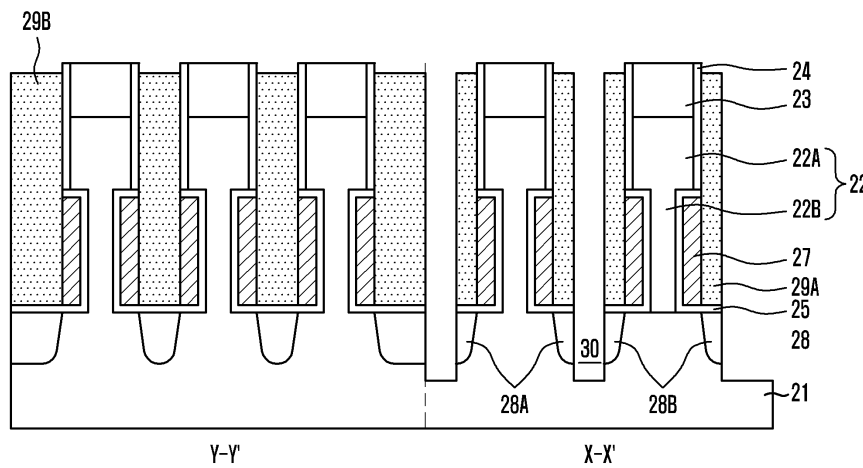
도면3d



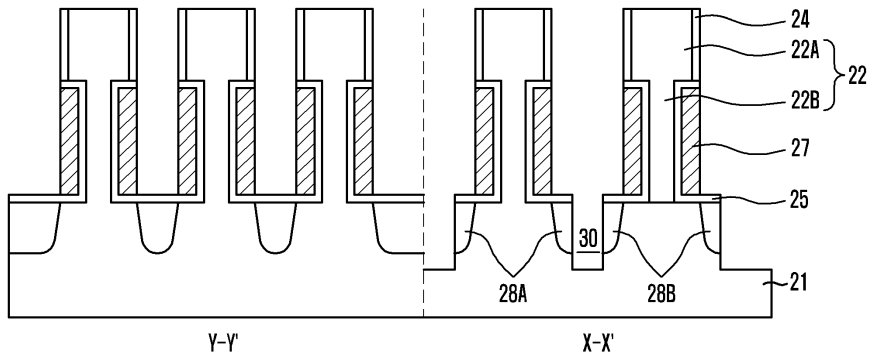
도면3e



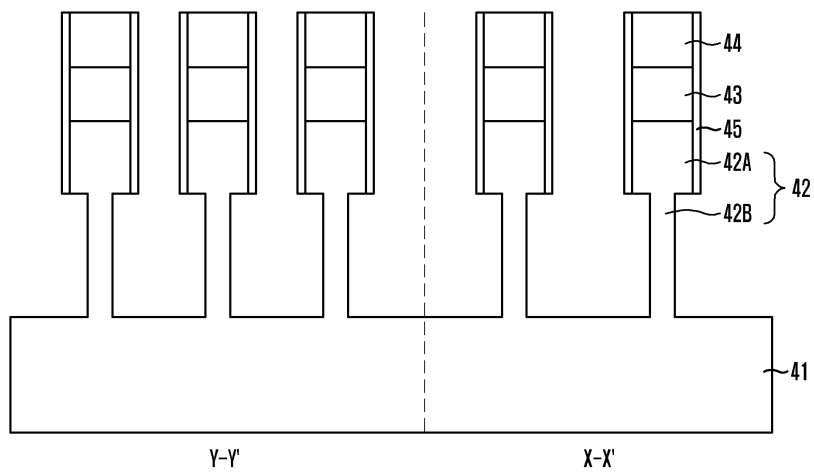
도면3f



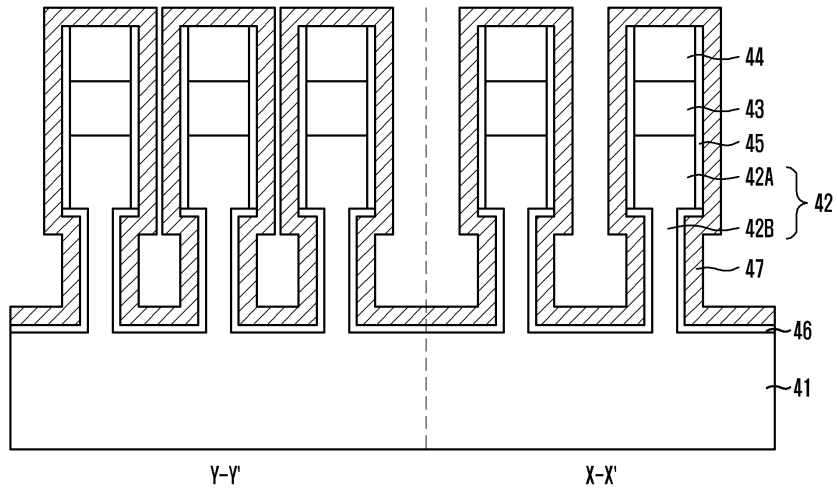
도면3g



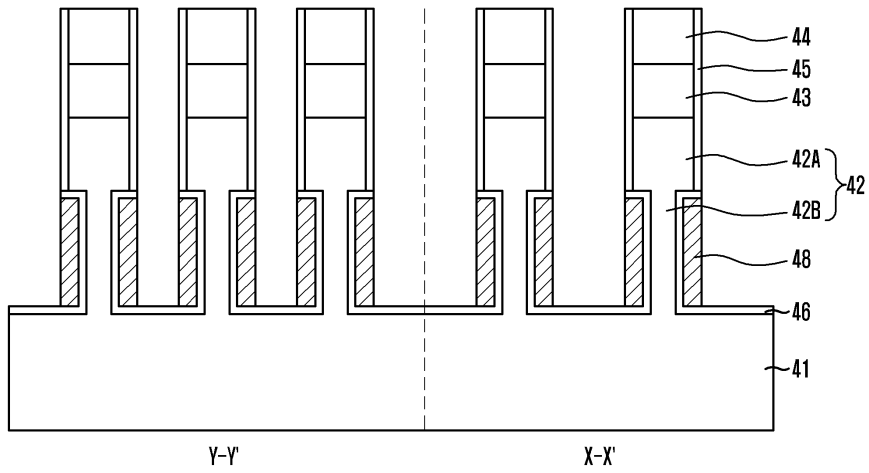
도면4a



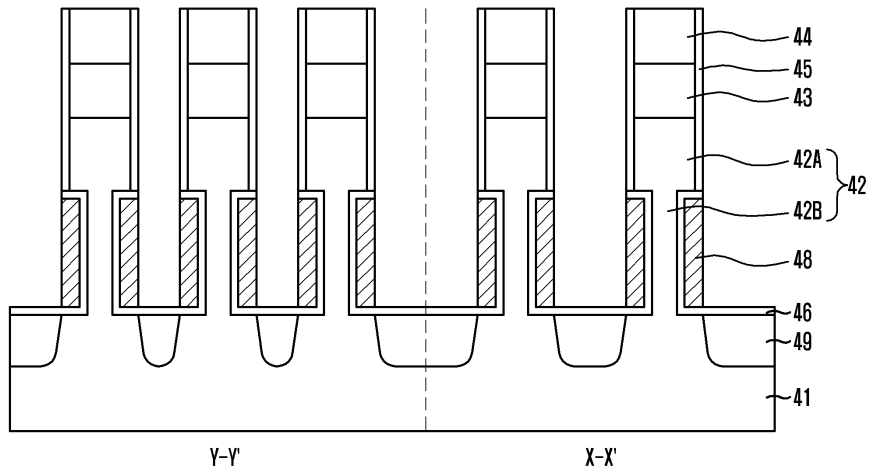
도면4b



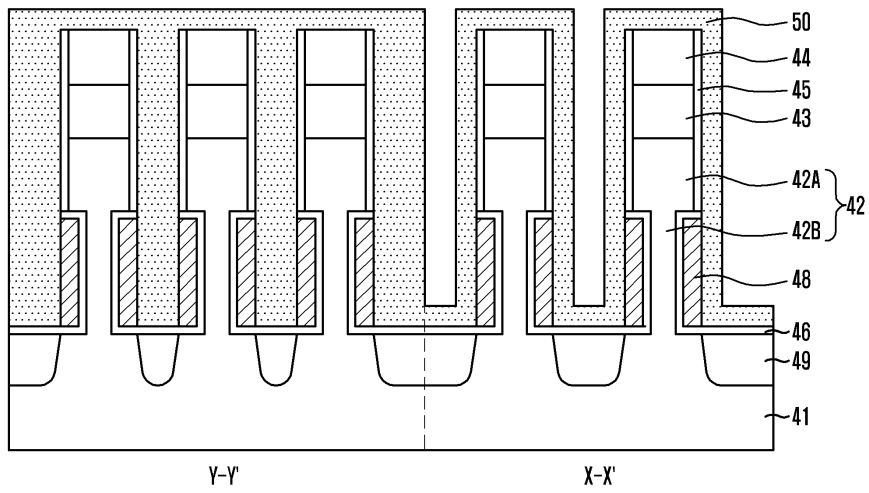
도면4c



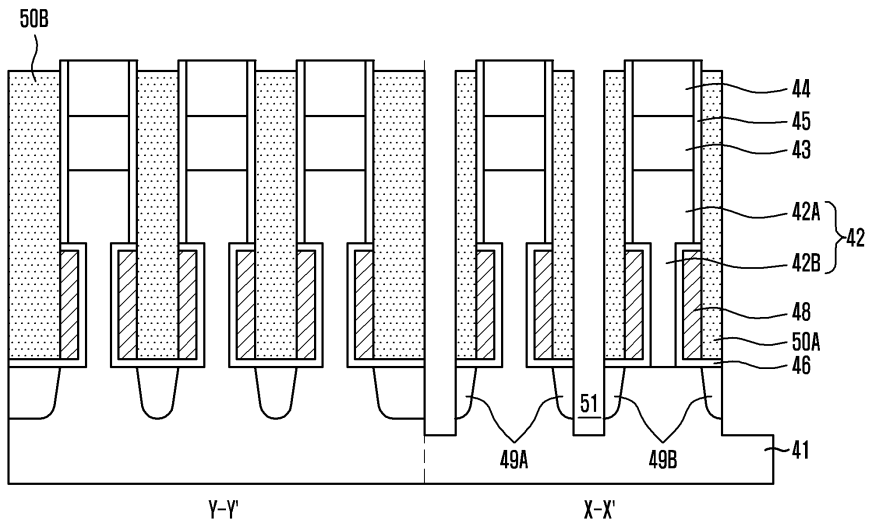
도면4d



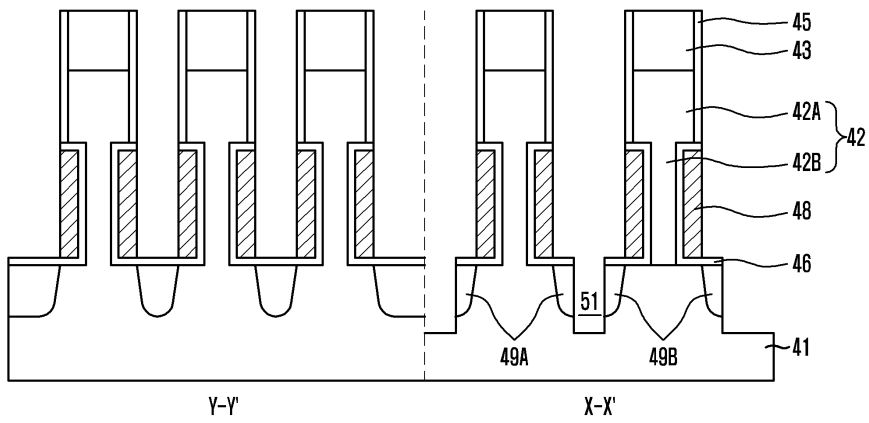
도면4e



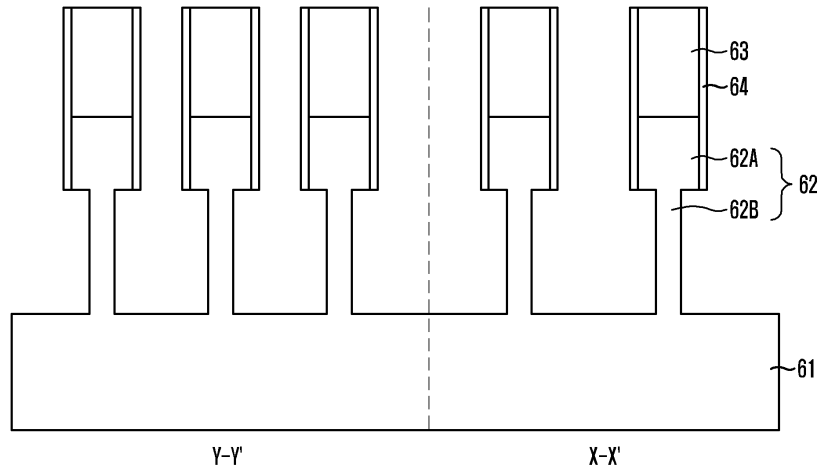
도면4f



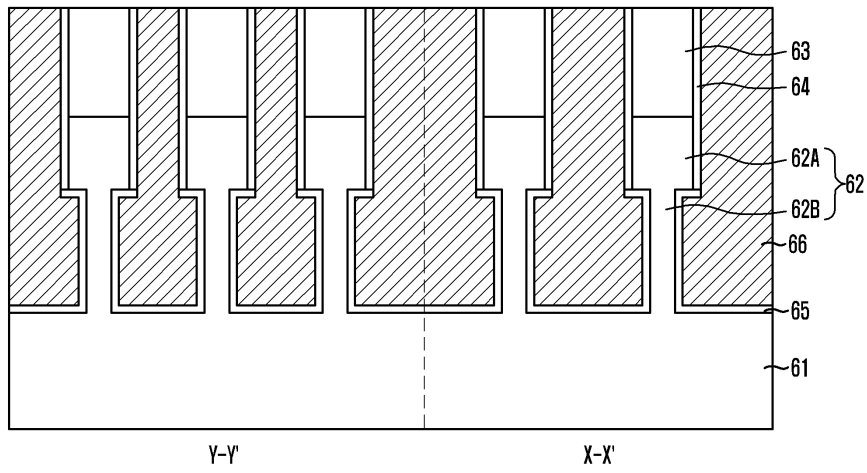
도면4g



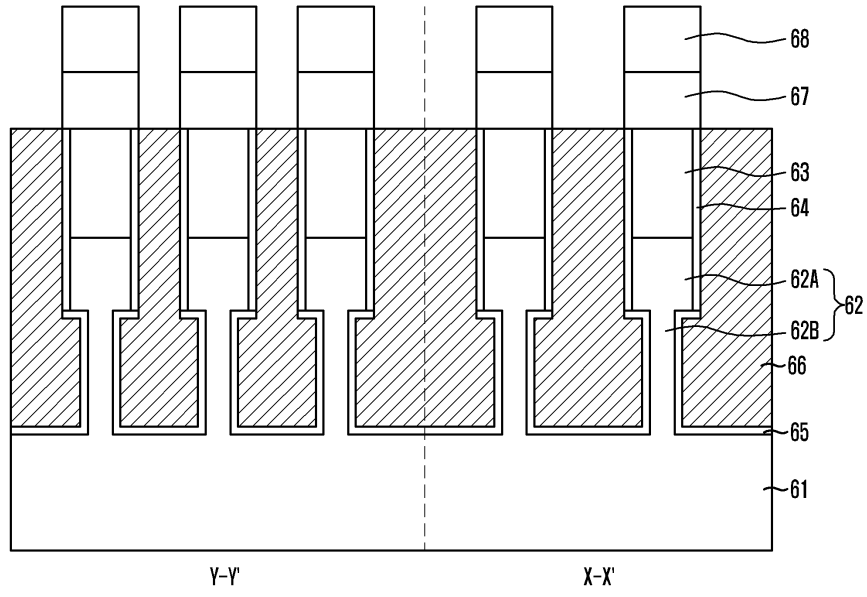
도면5a



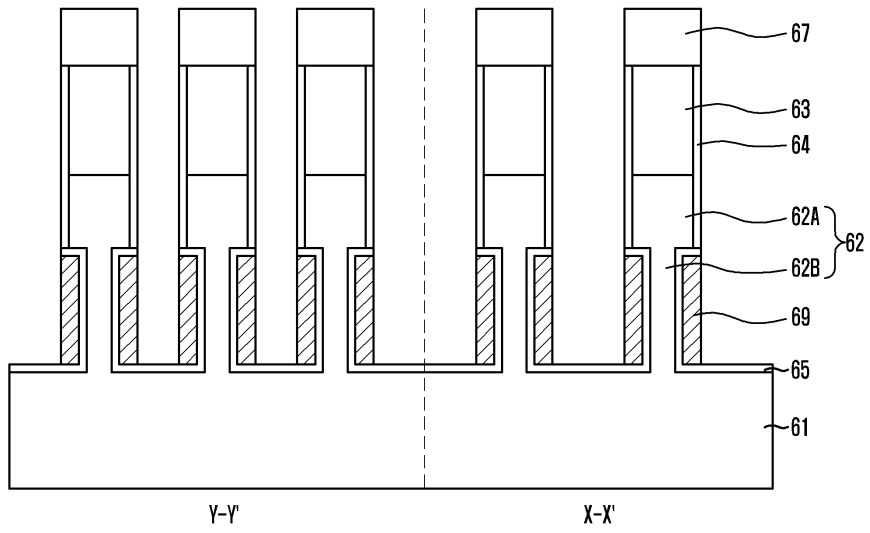
도면5b



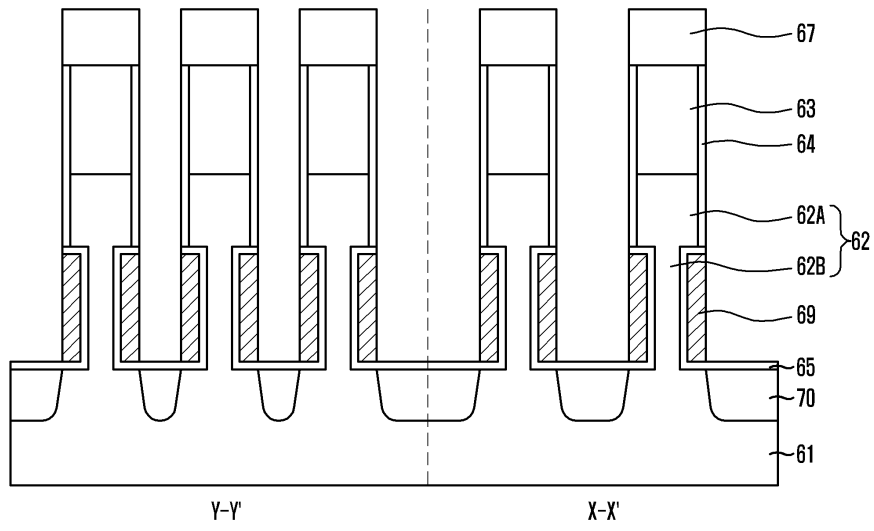
도면5c



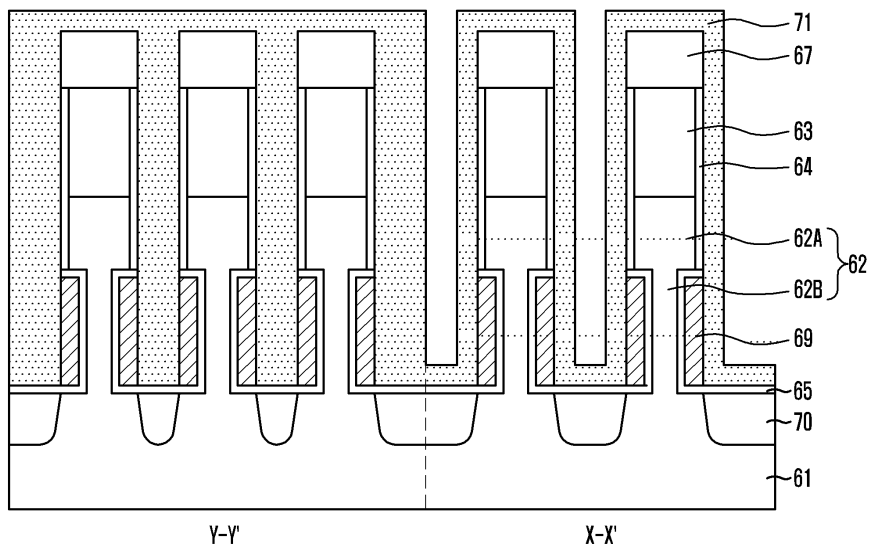
도면5d



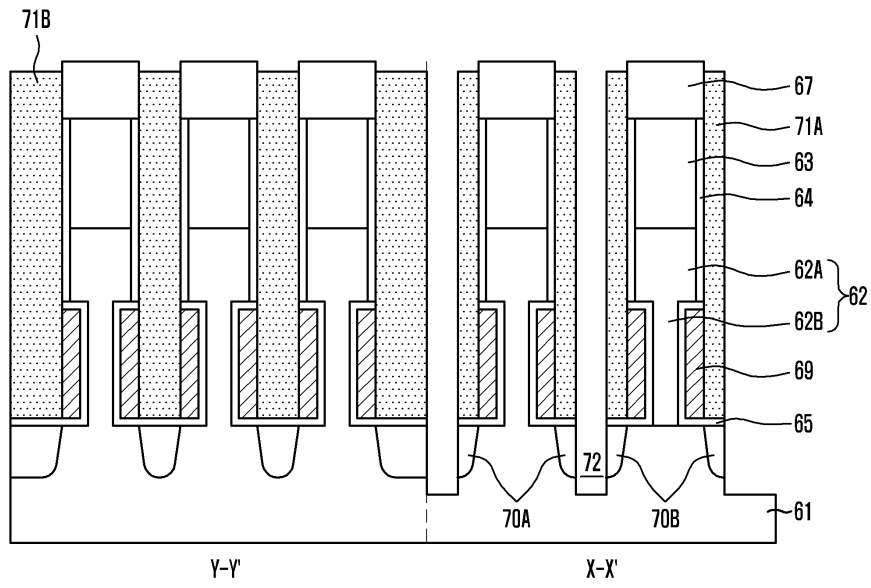
도면5e



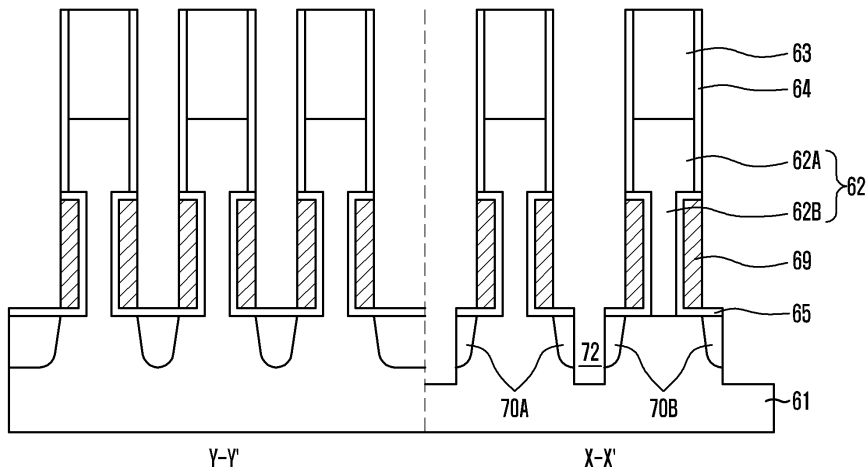
도면5f



도면5g



도면5h



도면6

