



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년05월02일
 (11) 등록번호 10-0827056
 (24) 등록일자 2008년04월25일

(51) Int. Cl.
H01L 27/02 (2006.01)
 (21) 출원번호 10-2006-7000054
 (22) 출원일자 2006년01월02일
 심사청구일자 2006년07월10일
 번역문제출일자 2006년01월02일
 (65) 공개번호 10-2006-0034270
 (43) 공개일자 2006년04월21일
 (86) 국제출원번호 PCT/US2004/021943
 국제출원일자 2004년07월08일
 (87) 국제공개번호 WO 2005/008725
 국제공개일자 2005년01월27일
 (30) 우선권주장
 10/604,277 2003년07월08일 미국(US)
 (56) 선행기술조사문헌
 US 6584596 B2
 전체 청구항 수 : 총 10 항

(73) 특허권자
 인터내셔널 비지네스 머신즈 코퍼레이션
 미국 10504 뉴욕주 아몬크 뉴오차드 로드
 (72) 발명자
 베드나, 토마스, 알.
 미국 05452 버몬트주 에섹스 정크션 벨리뷰 드라이브 44
 골드, 스코트, 더블유.
 미국 05403 버몬트주 사우스 버링톤 밀 폰드 레인 15
 (뒷면에 계속)
 (74) 대리인
 장수길, 주성민

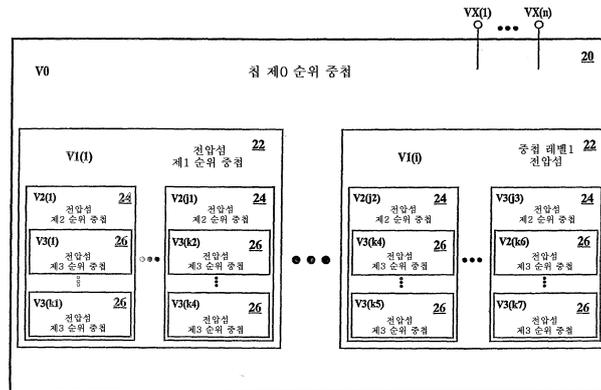
심사관 : 안철홍

(54) 중첩된 전압점 구조

(57) 요약

부모 지형(20) 및 상기 부모 지형 속에 있는 계층적 순위의 중첩되는 전압점들(22)을 갖는 집적 회로가 개시된다. 높은 순위의 전압점(예컨대, 24) 각각은 낮은 순위의 전압점(예컨대, 22) 속에 중첩되고, 동일한 계층적 구조를 갖는다.

대표도 - 도2



(72) 발명자

라키, 데이비드, 이.

미국 05465 버몬트주 제리코 매도우 드라이브 38

스타우트, 더글라스, 더블유.

미국 05468 버몬트주 밀튼 셸던 로드 39

주코우스키, 폴, 에스.

미국 05465 버몬트주 제리코 마리온 웨이 10

특허청구의 범위

청구항 1

V_0 로 표시되는 부모 지형(parent terrain);

V_1 및 V_2 로 표시되는 전압섬들 - 상기 전압섬 V_1 은 상기 부모 지형 V_0 내에 중첩되고, 상기 전압섬 V_2 는 상기 전압섬 V_1 내에 중첩됨 - ; 및

논리 회로에 연결된 논리 회로 전압 전원, 및 논리 상태 저장 회로에 연결된 외부 공급(externally supplied) 상태 저장 전원

을 포함하고,

상기 논리 회로 및 상기 상태 저장 회로는 상기 전압섬 V_1 또는 상기 전압섬 V_2 중 하나의 내부에 존재하고,

N 개의 전압섬들 중 전압섬 각각은, 외부 공급 VDDN 전원 및 전압 시프팅 수단(voltage shifting means)을 포함하거나, 상기 외부 공급 VDDN 전원 및 분리 수단(fencing means)을 포함하거나, 상기 외부 공급 VDDN 전원, 상기 전압 시프팅 수단 및 상기 분리 수단을 포함하고,

상기 N 개의 전압섬들 중 전압섬 각각은, 내부 전압섬 VDDI 전력 분배 네트워크, 상태 저장 수단, 상기 외부 공급 VDDN 전원 및 상기 내부 전압섬 VDDI 전력 분배 네트워크 사이에 연결된 하나 이상의 스위칭 소자, 및 하나 이상의 전압 버퍼링 회로로 이루어지는 그룹으로부터 선택되는 하나 이상의 서브구조를 더 포함하는 전기 구조.

청구항 2

제1항에 있어서,

V_3, V_4, \dots, V_N 로 표시되는 추가 전압섬들을 더 포함하고, 전압섬 V_Z ($Z=3, 4, \dots, N$ 이고, N 은 적어도 3인 정수)는 전압섬 V_{Z-1} 내에 중첩되는 전기 구조.

청구항 3

제2항에 있어서,

상기 N 개의 전압섬들 중 전압섬 각각은 내부 전압섬 VDDI 전원, 외부 공급 상태 저장 VDDSS 전원, 외부 공급 VDDN 전원 및 이들의 조합들로 구성되는 그룹으로부터 선택되는 하나 이상의 전압 전원을 포함하는 전기 구조.

청구항 4

제3항에 있어서,

전압섬 V_X ($X=1, 2, \dots, N$)의 상기 하나 이상의 전원은 (a)전압섬 V_Y ($Y=1, 2, \dots, N$ 이고, X 와 Y 는 상이함)의 하나 이상의 전원, (b)상기 부모 지형의 VDDO 전원 또는 (c)상기 부모 지형 외부의 하나 이상의 전원 중 하나에 각각 독립적으로 연결되는 전기 구조.

청구항 5

제1항에 있어서,

상기 분리 수단은 논리 래치들을 포함하는 전기 구조.

청구항 6

제1항에 있어서,

상기 하나 이상의 스위칭 소자는 하드 접속(hard connections), 전압 조정기(voltage regulators), 헤더(headers) 및 기반(footers)으로 이루어지는 그룹으로부터 선택되는 전기 구조.

청구항 7

제2항에 있어서,

상기 N개의 전압섬들 중 하나 이상의 전압섬은, 내부 전압섬 VDDI 전원 분배 네트워크에 연결된 전력 관리 상태 장치(power management state machine)를 더 포함하고, 전압섬 $V_X(X=1, 2, \dots, N)$ 의 상기 전력 관리 상태 장치는, (a)전압섬 $V_Y(Y=1, 2, \dots, N)$ 이고, Y는 X보다 작음) 또는 (b)상기 부모 지형에 위치하는 전기 구조.

청구항 8

제1항에 있어서,

상기 논리 회로의 입력에 연결되는 입력 분리(fence-in) 회로 - 상기 논리 회로의 출력은 상기 상태 저장 회로의 입력에 연결됨 - ; 및

상기 상태 저장 수단의 출력에 연결되는 출력 분리(fence-out) 회로

를 더 포함하는 전기 구조.

청구항 9

제8항에 있어서,

상기 상태 저장 수단 및 상기 입력 분리 회로 사이에 연결된 추가 논리 회로를 더 포함하는 전기 구조.

청구항 10

V_0 로 표시되는 부모 지형을 제공하는 단계;

전압섬 V_1 을 상기 부모 지형 V_0 내에 중첩하고, 전압섬 V_2 를 상기 전압섬 V_1 내에 중첩하는 단계; 및

논리 회로들에 논리 회로 전압 전원을 제공하고, 논리 상태 저장 회로들에 외부 공급 상태 저장 전원을 제공하는 단계

를 포함하고,

상기 논리 회로 및 상기 상태 저장 회로는 상기 전압섬 V_1 또는 상기 전압섬 V_2 중 하나의 내부에 존재하고,

N 개의 전압섬들 중 전압섬 각각은, 외부 공급 VDDN 전원 및 전압 시프팅 수단(voltage shifting means)을 포함하거나, 상기 외부 공급 VDDN 전원 및 분리 수단(fencing means)을 포함하거나, 상기 외부 공급 VDDN 전원, 상기 전압 시프팅 수단 및 상기 분리 수단을 포함하고,

상기 N개의 전압섬들 중 전압섬 각각은, 내부 전압섬 VDDI 전력 분배 네트워크, 상태 저장 수단, 상기 외부 공급 VDDN 전원 및 상기 내부 전압섬 VDDI 전력 분배 네트워크 사이에 연결된 하나 이상의 스위칭 소자, 및 하나 이상의 전압 버퍼링 회로로 이루어지는 그룹으로부터 선택되는 하나 이상의 서브구조를 더 포함하는 방법.

명세서

기술분야

<1> 본 발명은 집적 회로 분야에 관한 것이며, 좀 더 구체적으로는 전압섬(voltage island)을 포함하는 집적 회로의 구조에 관련되어 있다.

배경기술

<2> ASIC(application specific integrated circuit) 및 SOC(system-on-chip) 설계에는 설계 라이브러리로부터 선택되는 상이한 다수의 설계들을 선택하는 단계와 선택된 설계들을 입력, 출력 및 전원의 기본 프레임워크 내에 삽입하는 단계를 수반하게 된다. 집적 회로 제조 기술은 상당히 진척되어, ASIC 및 SOC 집적의 복잡도로 인해 ASIC 또는 SOC 장치 코어로의 전력 분배와 관련하여 심각한 문제를 발생시킬 정도에 이르렀다.

<3> 일부 코어들은 선택적으로, 다른 코어 전압과는 상이한 전압으로 전력 상승, 강하되거나 동일한 전력을 공급받을 수 있다. 예를 들면, 아날로그 코어, 내장형 FPGA(field programmable gate arrays) 및 내장형 DRAM(dynamic random access memory) 코어는 예컨대, 디지털 CMOS(complementary metal-oxide-silicon) 로직

코어보다 활동을 위해 필요로 하는 최소 전압이 더 높다. 소정의 경우, 성능 증진을 위해 더 높은 전압으로 코어를 실행시키는 것이 유리할 수 있다. 또한, 일부 애플리케이션(예컨대, 배터리 전원)은 코어 속의 비-스위칭 회로의 누설 전류에서 소모되는 전력에 민감하다.

<4> 그러나, ASIC 및 SOC 장치가 점점 더 복잡해져감에 따라 코어 자체의 내부 전력 소모 및 전력 분배 문제를 갖게 되었으며 이것은 아직 해결되지 못하였다. 따라서, 내부-코어 전력 소모 및 전력 분배 문제를 해결하기 위한 기술을 필요로 하게 되었다.

발명의 상세한 설명

<5> 본 발명의 제1 태양은, 계층적 구조(hierarchical structure)를 갖는 제1 전압섬(voltage island); 및 제1 전압섬 속에 중첩되는 제2 전압섬을 포함하는 집적 회로이며, 이 때, 제2 전압섬은 제1 전압섬과 동일한 계층적 구조를 갖는다.

<6> 본 발명의 제2 태양은, 부모 지형(parent terrain); 및 부모 지형 속에 계층적 순위로 중첩되는 전압섬들을 포함하는 집적 회로이며, 이 때 높은 순위의 전압섬은 각각 낮은 순위의 전압섬 속에 중첩되고, 중첩되는 전압섬 각각은 동일한 계층적 구조를 갖는다.

<7> 본 발명의 제3 태양은, 집적 회로 속에 부모 지형을 제공하는 단계; 부모 지형 속에 계층적 구조를 갖는 제1 전압섬을 배치하는 단계; 및 제1 전압섬 속에 중첩되는 제2 전압섬을 배치하는 단계를 포함하는 집적 회로 설계 방법이며, 이 때 제2 전압섬은 제1 전압섬과 동일한 계층적 구조를 갖는다.

실시예

<15> 본 발명의 목적에서, VDDN은 전압섬으로 제공되는 일반적인 전원으로 정의되고, VDDI는 전압섬 속에 있는 전원으로 정의되어 네트워크를 통해 전압섬 속의 장치들로 분배되고, VDDO는 전압섬 부모 지형의 전원으로 정의되고, VDDSS는 전압섬 속에서 상태-저장(state-saving) 기능들을 지원하기 위한 선택적인 전원으로 정의된다. 부모 지형은 그 속에 전압섬이 배치되어 있는 직접적인 물리적 영역으로 정의된다. 부모 지형은 집적 회로 칩이거나, 집적 회로 칩 속의 소정의 전압섬 계층 순위를 갖는 다른 전압섬이 될 수 있다. VDDG는 전원으로 정의되며, 낮은 계층 지형의 VDDN, VDDI, VDDO 또는 VDDSS 중 임의의 것이 전력 상승될 때마다 항상 전력이 상승된다. 분리 액션(fence action; 이하에서 기술) 제어를 위해 사용되는 전체 제어 신호를 제외하면, 전압섬들을 물리적으로 횡단하는 신호들은 섬과 논리적으로 상호작용하지 않으며, 전압섬으로 들어오거나 전압섬에서 나가는 모든 신호들은 분리되거나, 레벨 시프트되거나(level-shifted) 또는 양자 모두가 이루어진다. 분리 회로는 섬의 전원이 파워 오프될 수 있을 때, 섬 경계에서 사용된다. 분리 회로의 목표는 섬 전압(VDDI)이 떨어질 때, 섬 출력 상에서 유효한 논리 신호를 유지시키는 것이다. 분리 회로는 VDDO 및 VDDI 양자 모두로부터 전력을 공급받는다. 분리 회로는 섬 전압이 전력 강하되는 동안 논리 0, 논리 1 또는 섬 출력 상의 최종 유효 출력 상태를 유지하도록 형성될 수 있다. 분리 회로는 섬 입력 상에서는 필요하지 않지만, 섬으로 들어가는 신호가 부유하는(floating) p+ 확산을 구동시키지 않도록 주의를 기울여야 한다. 섬 입력 상에 적절히 설계된 분리 회로를 배치함으로써 이 작업을 달성할 수 있다.

<16> 레벨-시프터 회로는 VDDI 전압이 VDDO 전압과 상이한 경우(두 전압은 모두 스위칭 오프되지 않았다고 가정), 섬 경계에서 사용된다. 레벨 시프터 회로의 목표는 저전압 신호를 가지고 고전압을 사용하는 회로의 입력 구동을 방지하는 것이다. 이것은 심각한 누설 내지 기능 문제를 일으킬 수 있다. 레벨 시프터 회로는 VDDO 및 VDDI 양자 모두로부터 전력을 공급받는다. 본 발명에서, 섬 입력 신호들(GND와 VDDO 사이에서 스위칭됨)은 GND와 VDDI 사이에서 스위칭되도록 변형된다(translated). 섬 출력 상에서, 정상적으로 GND와 VDDI 사이에서 스위칭되는 신호는 GND와 VDDO 사이에서 스위칭되도록 변형된다.

<17> VDDI가 스위칭 오프될 수 있고, VDDO와 상이할 수 있는 경우, 레벨 시프팅 및 분리 양자 모두를 요하게 된다.

<18> 도 1은 본 발명에 따른, 하나의 전압섬에 대한 복수의 전압 공급기를 도시하는 개략도이다. 도 1에서, 전압섬(10)은 부모 지형(12) 속에 포함되어 있다. 부모 지형(12)은 집적 회로 칩이거나 다른 전압섬이 될 수 있다. 전압섬(10)은 선택적으로 스위치 소자(14) 및 VDDI 전력을 전압섬 속에 포함된 논리 게이트와 같은 다양한 장치들에 공급하기 위한 전력 분배 네트워크(power distribution network; 16)를 포함한다. 스위치 소자(14)의 입력은 VDDN이며, 스위치 소자(14)의 출력은 VDDI이다.

<19> 스위치 소자(14)는 헤더 장치, 기반(header) 장치, 전압 조정기(voltage regulator), 또는 하드 접속(hard

connection)이 될 수 있다. 가장 단순한 형태의 기반 및 헤더는 본질적으로 스위치로 사용되는 N-채널 FET(field effect transistor)(NFET)나 P-채널 FET(PFET)이다. PFET/NFET의 소스/드레인은 VDDN에 연결되고, PFET/NFET의 드레인/소스는 전력 분배 네트워크(16)에 연결된다. NFET/PFET의 게이트는 VDDN으로부터 전력 분배 네트워크(16)를 차단하기 위하여 전력 온/오프된다. 헤더는 VDDN의 VDD 측에 접속되고, 기반은 VDDN의 GND 측에 접속된다. 전압 조정기는 VDDN의 값을 증가시켜 VDDI보다 높이거나, VDDN의 값을 감소시켜, VDDN보다 낮춘다. 스위치 소자(14)가 하드 접속된 경우, VDDI는 전력 분배 네트워크(16)와 VDDN 사이에 하드 접속이 이루어진 위치로부터 설계된다.

<20> VDDI가 전압섬(10) 속의 전압이라는 개념을 의미하는 것과 똑같이, VDDO는 전압섬(10) 밖의 전압, 즉, 부모 지형의 일반적인 전압이라는 개념을 의미한다.

<21> 전압섬(10)은 또한, VDDSS를 공급받는다. 전압섬 경계를 횡단하는 통신은, VDDI와 VDDO가 다른 시간에 전력을 공급받을 수 있는 가능성과 같은, VDDI와 VDDO의 차이를 고려해야 한다. 전압섬(10) 속의 논리 래치(latches) 상태는 VDDI가 전력 강하되는 경우 손실될 것이므로, 그 논리 래치의 상태를 저장하기 위한 회로가 VDDSS에 의해 공급받는다.

<22> VDDN, VDDI, VDDO 및 VDDSS는 모두, 전압섬 속의 다양한 기능에 전력을 공급하기 위해 필요한 상이한 전압 소스를 정의한다. 그러므로 VDDN, VDDI, VDDO 및 VDDSS는 기능 전압이다. 그러나, VDDN, VDDI, VDDO 및 VDDSS의 전압 값이 서로 상이할 필요는 없으며, VDDN, VDDI, VDDO 및 VDDSS 중 하나 이상의 전압값이 같을 수 있다. 비록, 도 1은 VDDSS와 VDDN이 VDDO로부터 공급받는 것으로 도시하고 있지만, 이것이 일반적인 경우는 아니며, VDDSS 및 VDDN이 소정의 더 높은 계층의 전압 공급기로부터 시작될 수 있다는 것을 나타내기 위해 그렇게 도시되었다. 본 발명의 계층적인 전압 공급기에 대한 완전한 논의는 도 3 및 도 4의 도시와 관련 설명을 참조한다. 본 발명에 따른 각 전압섬의 최소 계층 구조는 적어도 하나의 VDDN 전원과 전압 시프팅 수단이나 분리 수단 또는 전압 시프팅 수단 및 분리 수단 양자를 포함한다. 또한, 본 발명에 따른 각 전압섬은 상태 저장 수단, 하나 이상의 스위치 소자, VDDI 전원과 관련된 전력 분배 네트워크, VDDSS 전원 및 하나 이상의 전압 버퍼링 회로를 더 포함할 수 있다. 전압섬이 다른 중첩된 전압섬의 부모 지형이 되는 경우, 부모 전압섬의 VDDI는 중첩된 전압섬의 VDDO가 될 것이다. 이들 소자들은 도 5에 도시되어 있으며, 그와 관련하여 논의된다. 마지막으로, 전체 VDD, VDDG의 개념을 연구하는 것이 유용할 것이다. VDDG는 VDDN, VDDI, VDDO 또는 VDDSS가 온 될 때마다 항상 전력 온되는 전원으로서 정의된다. 중첩된 전압섬의 개념은 도 2에 도시되어 있으며, 관련하여 설명된다. 다수의 경우, 계층의 최하 순위는 집적 회로 칩이며, 집적 칩의 VDDO는 VDDG이다. 그러나 특정 전압섬 VDDI가 VDDG로서 설계되어 그 부모 지형의 전력 공급을 제어하는 것도 가능하다. 도 2는 본 발명에 따른, 중첩되는 전압섬들의 물리적 및 전압 계층을 도시하는 개략도이다. 도 2에서, 집적 회로 칩(20)은 복수의 전압섬(22)을 포함한다. 집적 회로 칩(20)은 전압섬(22)에 대한 부모 지형이다. 전압섬(22)은 제1 순위로 중첩된다. 각 전압섬(22)은 복수의 전압섬(24)을 포함한다. 각 전압섬(22)은 전압섬(24)의 부모 지형이다. 전압섬(22)은 제1 순위로 중첩된다. 각 전압섬(22)은 복수의 전압섬(24)을 포함한다. 각 전압섬(22)은 전압섬(24)의 부모 지형이다. 전압섬(24)은 제2 순위로 중첩된다. 각 전압섬(24)은 복수의 전압섬(26)을 포함한다. 각 전압섬(24)은 전압섬(26)의 부모 지형이다. 전압섬(26)은 제3 순위로 중첩된다. 칩(20)은 최하 순위, 제0 중첩 순위이다. 도 2에 4개의 순위(0, 1, 2 및 3)가 도시되어 있지만, 임의의 개수의 중첩 순위가 가능하다. 중첩되는 전압섬의 순위가 높아질 수록, 중첩되는 전압섬의 위치가 깊어지며, 그 높은 순위의 중첩된 전압섬과 부모 지형 사이에 개재된 낮은 순위의 전압섬들이 더 많음을 유의한다. 낮은 순위의 중첩된 전압섬이 모두 높은 순위의 중첩된 전압섬을 가질 필요는 없으며, 또한 중첩된 전압섬의 소정의 계층에서, 높은 순위의 전압섬을 동일한 개수로 가질 필요도 없다. 중첩된 전압섬의 정확한 구성은 단지 집적 회로 설계의 문제일 뿐이다.

<23> 집적 회로 칩(20)의 VDDI는 전압 순위 0(V0)으로 표시된다. 집적 회로 칩(20)은 또한, 복수의 외부 전압 공급기 VX(1) 내지 VX(n)으로부터 공급받을 수도 있다. 전압섬(22)의 VDDI는 전압 순위 1(V1)로 표시되고, 전압섬(24)의 VDDI는 전압 순위(V2)로 표시되고, 전압섬(26)의 VDDI는 제3 전압 순위(V3)로 표시된다. 각 전압섬(22)상의 VDDI(즉, V1)는 전압값 및/또는 전압이 온인 시간 및/또는 VDDI가 파생되는 전원 면에서, 도 3 및 도 4의 도시 및 관련 설명과 같이 서로 같거나 다를 수 있다. 이것은 각 전압섬(24)상의 VDDI(즉, V2) 및 각 전압섬(26)상의 VDDI(즉, V3)에 대해서도 동일하다.

<24> 도 3은 본 발명에 따른, 중첩되는 전압섬 계층에서 가능한 다양한 전압 관계를 도시하는 도면이다. 0 내지 Z의 중첩 순위가 도 3에 도시되어 있다. 임의의 전압 순위의 전원은 임의의 낮은-순위의 전압 순위의 전원 또는 VX로부터 파생될 수 있음이 자명할 것이다. 임의의 주어진 전압 순위에서 전원은 사이에 개재되어 있는 모든 순위의 전원을 거칠 필요는 없다. 몇 가지 예를 들자면, V3는 V2 또는 V0로부터 파생되거나, V0에서 V2를 거쳐

(V1을 건너뛰고) 파생될 수 있다.

- <25> 도 4는 도 2 및 3의 전압 구조를 도 1에 도시된 전압 소스에 관련짓는 테이블이다. 관련하여 논의된 바와 같이, 주어진 순위의 전압섬에서 VDDI는 전압 순위와 직접 관련되어 있는데, 비록 VDDI와 전압 순위의 관계만큼 직접적이지는 않지만 VDDO, VDDSS 및 VDDN 사이에서도 유사한 관계가 있다. 도 4는 중첩 순위 W의 주어진 전압 섬에 대해, VDDO, VDDI, VDDSS 및 VDDN이 파생될 수 있는 가장 인접한 중첩 순위 및 그 순위와의 관계를 도시한다. frac 함수는 그 전압이 공급기 전압의 일부임을 나타내고, step 함수는 0 또는 완전한 공급기 전압을 나타낸다.
- <26> 도 5는 본 발명에 따른 전압섬의 다양한 컴포넌트들 간의 관계를 도시하는 개략도이다. 집적 회로 칩(30)은 전압섬(32)을 포함한다. 전압섬(32)은 스위치 소자(34), 입력-분리(fence-in) 회로(36), 제1 논리 회로(38), 상태 저장 회로(40), 제2 논리 회로(42) 및 출력-분리(fence-out) 회로(44)를 포함한다. 본 예시에서, 스위치 소자(34)는 칩의 VDDO(이 예시에서는 VDDG임)로부터 공급받는다. 스위치 소자(34)는 VDDI를 입력-분리 회로(36), 제1 논리 회로(38), 상태 저장 회로(40), 제2 논리 회로(42) 및 출력-분리 회로(44)로 분배한다. VDDO는 또한, 입력-분리 회로(36) 및 출력-분리 회로(44)로 공급된다. 상태-저장 래치(40)는 또한 VDDSS(이 예시에서는 VDDO 임)를 공급받는다. 집적 회로 칩(30)은 또한, 전력 관리 상태 장치(power management state machine; 46)를 포함한다. 전력 관리 상태 장치(46)는 VDDO에 의해 전력을 공급받는다. 전력 관리 상태 장치(46)는 스위치 소자(34)에 연결된 DISABLE 제어 신호와 상태-저장 래치(40) 및 출력-분리 회로(44)에 연결된 FENCEN 제어 신호를 발생시킨다. 제1 및 제2 논리 회로(38, 40)는 일반적으로 전압섬(32) 속의 논리나 다른 회로(도시 생략)에 연결된다.
- <27> FENCEN은 인에이블되면, 전압섬 경계를 횡단하는 통신을 디스에이블시키고, 상태-저장 래치(40)로 하여금, VDDI의 전력 강하 이전에 상태-저장 래치(40)의 현재 내용을 저장(래치)시켜서 VDDI가 전력 상승될 때, 상태-저장 래치(40)가 그 상태를 복구할 수 있게 해 준다. DISABLE은 스위치 소자(34)를 턴오프하는데 사용되어 VDDI의 전력을 차단(de-powering)시킨다(스위치 소자가 전압 조정기나 헤더 또는 기반인 경우).
- <28> 전압섬(30)의 전력을 오프하려면, (1) 전압섬으로 들어가는 모든 클럭 신호를 턴오프, (2) FENCEN 온에 대한 응답으로 입력-분리 회로(36) 및 출력-분리 회로(44)가 전압섬 및 집적 회로 칩(30) 사이의 입출력 데이터 통신을 디스에이블시키고, 상태 저장 래치(40)의 상태를 저장하기 위하여 (3) DISABLE 온에 대한 응답으로 스위치 소자(34)는 VDDO로부터 VDDI의 연결을 끊음으로써 VDDSS에 의해 전력을 공급받는 상태 저장 래치(40)를 제외하고 전압섬의 전력을 차단한다.
- <29> 전압섬(30)의 전력을 온하려면, (1) DISABLE 오프에 대한 응답으로, 스위치 소자(34)는 VDDI를 VDDO에 연결시킴으로써 전압섬에 전력을 공급하고, (2) VDDI가 안정화될 때까지 대기한다. (3) FENCEN 오프에 대한 응답으로 입력-분리 회로(36) 및 출력-분리 회로(44)는 전압섬과 집적 회로 칩(30) 사이의 입출력 데이터 통신을 재확립시키고, 상태-저장 래치(40)를 복구하기 위해 (4) 제1 및 제2 논리 래치(38, 42)에 대해 임의의 필요한 전력-온리셋을 수행하고, (5) 전압섬으로 들어오는 모든 클럭 신호들을 턴온한다. 전력 관리 상태 장치(46)가 전력 상승된 지형 내에 상주하는 것이 중요하다.
- <30> 집적 회로 칩(30)은 제1 논리 회로(48), 제2 논리 회로(50) 및 전압 버퍼(52)를 더 포함한다. 전압 버퍼(52)는 전압 VDDO(VDDG)에 의해 공급받는다. 전압 버퍼는, 전압 버퍼를 통과하는 신호 라인 상의 신호 레벨을 상승시킨다. 제1 및 제2 논리 회로(48, 50)는 전압섬(32) 내부에 있지 않지만, 신호 라인(54)은 전압섬을 통과한다. 이 상황은 전압섬이 너무 크고, 제1 및 제2 논리 회로(48, 50) 사이의 통신은 전압 강하나 잡음에 민감하여 신호 라인(54)이 가능한 한 짧게 되어야 하는 경우에 발생한다. 전압 버퍼(52)는 VDDO에 의해 전력을 공급받기 때문에, 전압섬(32)의 전력이 오프되는 경우에도 온이 되어 라인(54) 상의 신호를 계속 상승시킬 수 있다.
- <31> 도 6은 본 발명에 따라 설계된 장치의 일 예시이다. 도 6에서, 집적 회로(60)는 제1 전압섬(62A)과 제2 전압섬(62B)을 포함한다. 제1 전압섬(62A)은 헤더(64A), VDDI 전력 분배 네트워크(66A) 및 제3 전압섬(68A)을 포함한다. 제3 전압섬(68A)은 전압 조정기(70A) 및 VDDI 전력 분배 네트워크(72A)를 포함한다. 제2 전압섬(62B)은 헤더(64B), VDDI 전력 분배 네트워크(66B) 및 제4 전압섬(68B)을 포함한다. 제4 전압섬(68B)은 전압 조정기(70B) 및 VDDI 전력 분배 네트워크(72B)를 포함한다.
- <32> 집적 칩(60)의 VDDO는 헤더(64A, 64B) 및 전압 조정기(70A, 70B)와 함께 오프-칩 VDDN(VDDG) 전원으로부터 전력을 공급받는다. 제1 전압섬(62A)의 VDDSS와 제2 전압섬(62B)의 VDDSS는 VDDO로부터 전력을 공급받는다. 제3 전압섬(68A)의 VDDSS는 VDDN으로부터 전력을 공급받는다. 제4 전압섬(68B)의 VDDSS는 제2 전압섬(62B)의 VDDI

로부터 전력을 공급받는다.

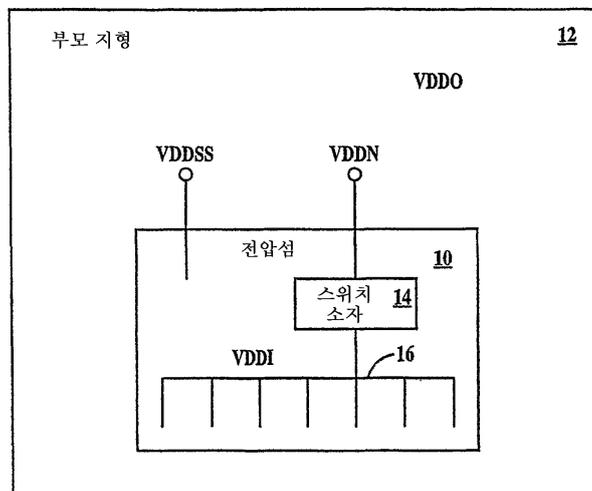
- <33> 제1 및 제2 전압섬(62A, 62B)은 제1 순위의 중첩된 전압섬으로, 즉 이들은 집적 칩(60) 내에 중첩된다. 제3 및 제4 전압섬(68A, 68B)은 제2 순위의 중첩된 전압섬으로, 즉 이들은 제1 순위의 중첩된 전압섬 내에 중첩된다.
- <34> 제4 전압섬(68B)은 제2 전압섬(62B)이 전력 상승된 후에 전력이 상승되어야 하고, 전압섬(68B)은 전압섬(62B)의 전력이 상승 상태로 유지되는 경우에만 전력이 강해지고 62B의 상태를 보존할 수 있는데, 왜냐하면 제4 전압섬(68B)의 VDDSS가 제2 전압섬(62B)의 VDDI로부터 공급받기 때문이다. 제3 전압섬(68A)은 제1 전압섬(62A)이 전력 상승된 이후, 전력 강해로 유지될 수 있는데, 왜냐하면 제3 전압섬(68A)의 VDDSS가 VDDN으로부터 공급받기 때문이다. 그러나 제3 전압섬(68A)은 전력 차단된 제2 전압섬(62B)과 통신할 수 없다.
- <35> 제4 전압섬(68B)은 제4 전압섬(68B)의 상태를 보존하려면, 제2 전압섬(62B)이 전력 상승된 후에 전력이 강해져야 하고, 제2 전압섬(62B)이 전력 강해진 후에 전력이 강해져야 하는데, 왜냐하면 제4 전압섬(68B)의 VDDSS가 제2 전압섬(62B)의 VDDI로부터 공급받기 때문이다. 제3 전압섬(68A)은 제1 전압섬(62A)이 전력 상승된 이후, 전력 상승으로 유지될 수 있는데, 왜냐하면, 제3 전압섬(68A)의 VDDSS가 VDDN으로부터 공급받기 때문이다. 그러나 제3 전압섬(68A)은 전력 차단된 제2 전압섬(62B)과 통신할 수 없다.
- <36> 본 발명의 실시예들에 대한 설명이 본 발명에 대한 이해를 돕기 위해 상술되었다. 당업자에게 있어서 본 발명은 본 명세서에서 설명된 특정 실시예들에 제한되지 않으며, 본 발명의 범위를 벗어나지 않고, 다양한 변형, 재구성 및 대체가 가능함이 명백할 것이다. 따라서, 첨부된 청구범위는 본 발명의 참된 사상 및 범위에 속하는 그러한 모든 변형 및 변경을 포함하는 것으로 의도된다.

도면의 간단한 설명

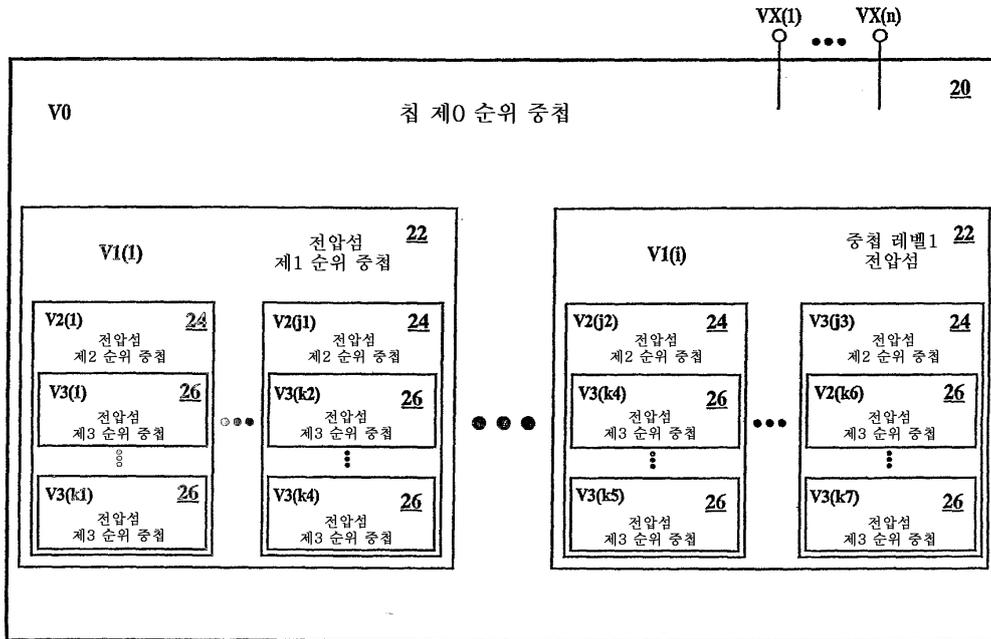
- <8> 본 발명의 특징들은 첨부된 청구항들에서 개시된다. 그러나, 본 발명 그 자체는 이하의 예시된 실시예에 대한 상세한 설명을 참조하여 첨부된 도면과 함께 읽을 때 가장 잘 이해될 수 있을 것이다.
- <9> 도 1은 본 발명에 따른, 하나의 전압섬에 대한 복수의 전압 공급기를 도시하는 개략도.
- <10> 도 2는 본 발명에 따른, 중첩되는 전압섬들의 물리적 및 전압 계층을 도시하는 개략도.
- <11> 도 3은 본 발명에 따른, 중첩되는 전압섬 계층에서 가능한 다양한 전압 관계를 도시하는 도면.
- <12> 도 4는 도 2 및 3의 전압 구조를 도 1에 도시된 전압 소스에 관련짓는 테이블도.
- <13> 도 5는 본 발명에 따른 전압섬의 다양한 컴포넌트들 간의 관계를 도시하는 개략도.
- <14> 도 6은 본 발명에 따라 설계된 장치의 일 예시도.

도면

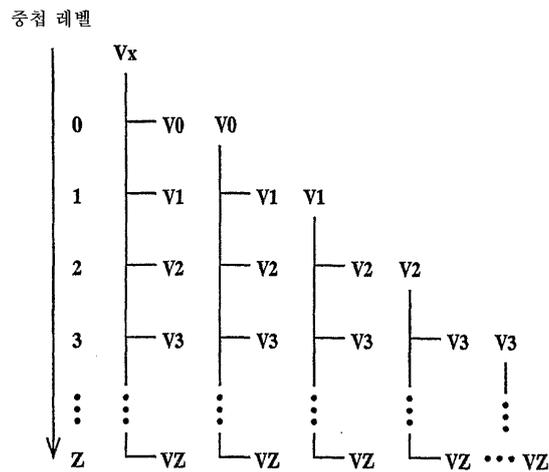
도면1



도면2



도면3

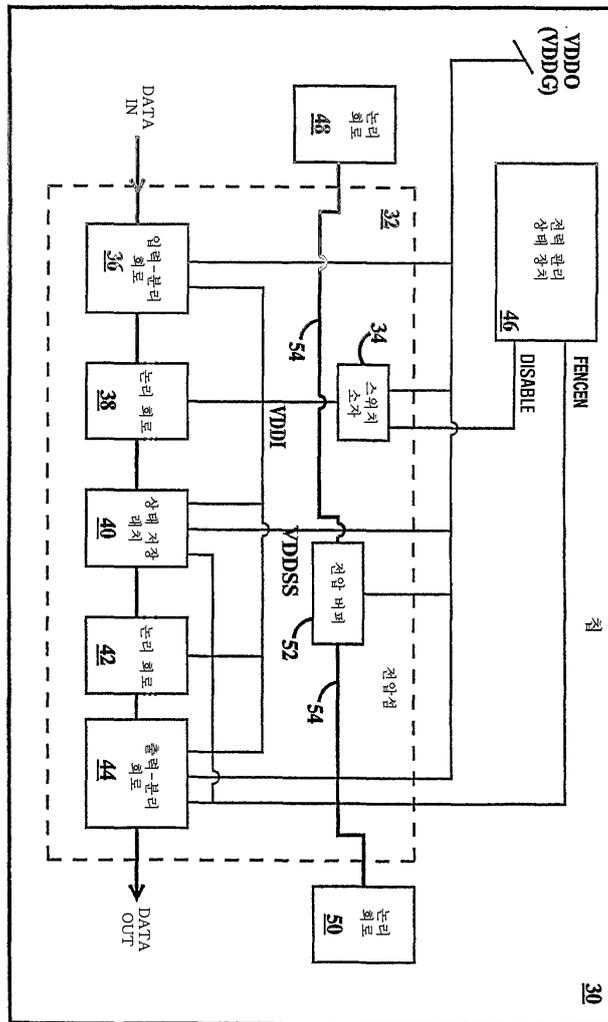


도면4

전압섬 중첩 레벨 W에 대해서

	스위치 없음	전압 조정기를 갖춘 경우	헤더를 갖춘 경우
VDDO	V_{w-1}	V_{w-1}	V_{w-1}
VDDI	V_w	$\text{frac}(V_w)$	$\text{step}(V_w)$
VDDSS	V_{w-1}	V_{w-1}	V_{w-1}
VDDN	V_{w-1}	V_{w-1}	V_{w-1}

도면5



도면6

