

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-503200  
(P2010-503200A)

(43) 公表日 平成22年1月28日(2010.1.28)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/12 (2006.01)	HO 1 L 27/12 L	5 F 0 3 2
HO 1 L 21/76 (2006.01)	HO 1 L 27/12 F	5 F 1 1 0
HO 1 L 21/762 (2006.01)	HO 1 L 21/76 L	
HO 1 L 29/786 (2006.01)	HO 1 L 21/76 D	
	HO 1 L 29/78 6 1 3 B	

審査請求 有 予備審査請求 未請求 (全 29 頁) 最終頁に続く

(21) 出願番号 特願2009-526600 (P2009-526600)  
 (86) (22) 出願日 平成19年7月27日 (2007. 7. 27)  
 (85) 翻訳文提出日 平成21年4月22日 (2009. 4. 22)  
 (86) 国際出願番号 PCT/US2007/016947  
 (87) 国際公開番号 W02008/027143  
 (87) 国際公開日 平成20年3月6日 (2008. 3. 6)  
 (31) 優先権主張番号 11/511, 596  
 (32) 優先日 平成18年8月28日 (2006. 8. 28)  
 (33) 優先権主張国 米国 (US)

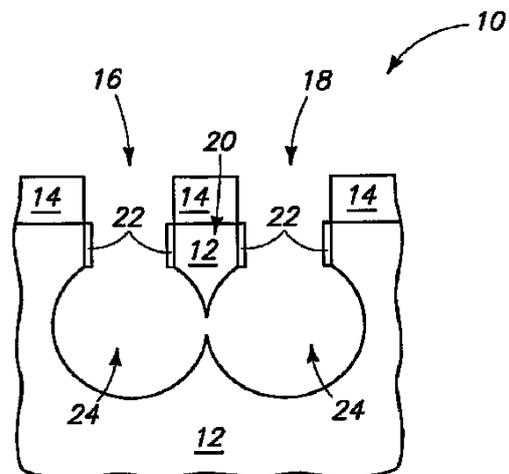
(71) 出願人 595168543  
 マイクロン テクノロジー, インク.  
 アメリカ合衆国, アイダホ州 83716  
 -9632, ボイズ, サウス フェデ  
 ラル ウェイ 8000  
 (74) 代理人 100106851  
 弁理士 野村 泰久  
 (74) 代理人 100074099  
 弁理士 大菅 義之  
 (72) 発明者 テイラー, テッド  
 アメリカ合衆国, アイダホ州 83709  
 , ボイズ, ウェスト ホランダール ドラ  
 イブ 9894

最終頁に続く

(54) 【発明の名称】 半導体装置、半導体部品および半導体構造、ならびに半導体装置、半導体部品および半導体構造を形成する方法

(57) 【要約】

本明細書に開示される実施形態は、開口部が半導体材料の仕切り部によって互いに離された状態で、一对の開口部が半導体材料内に形成される方法を含む。ライナーが開口部の側壁に沿って形成され、その後半導体材料が開口部の底から等方性エッチングされて開口部同士が合流し、それによって半導体材料の下が完全に切断される。本明細書に開示される実施形態は、SOI構造の形成、および、チャネル領域を全体的に囲うトランジスタゲートを有する電界効果トランジスタの形成に利用されうる。本明細書に開示される実施形態は、絶縁性材料が半導体材料の上部を半導体材料の下部から完全に分離している構造はもちろん、チャネル領域を囲むトランジスタゲートを有する半導体構造も含む。



**【特許請求の範囲】****【請求項 1】**

半導体材料内に、前記半導体材料の仕切部によって互いに離されている一対の開口部を形成するステップと、

前記開口部の側壁に沿ってライナーを形成するステップと、

前記開口部が合流するように、前記ライナーを内張りした開口部の底から半導体材料を等方性エッチングし、それによって前記仕切部の下を完全に切断するステップと、を含む、半導体装置を形成するための方法。

**【請求項 2】**

前記開口部の形成と前記仕切部の前記下を切断することにより、前記仕切部の横および下に広がる空洞が形成され、かつ、前記空洞を電氣的に絶縁性の材料で充填するステップをさらに含む、請求項1の方法。

10

**【請求項 3】**

前記空洞を電氣的に絶縁性の材料で充填する前記ステップは、前記空洞を、二酸化シリコンを含む電氣的に絶縁性の材料で充填するステップを含む、請求項2の方法。

**【請求項 4】**

前記空洞を電氣的に絶縁性の材料で充填する前記ステップは、前記空洞を、二酸化シリコンからなる電氣的に絶縁性の材料で充填するステップを含む、請求項2の方法。

20

**【請求項 5】**

前記開口部の形成と前記仕切部の前記下を切断することにより、前記仕切部の横および下に広がる空洞が形成され、かつ、ワード線材料を前記空洞内および前記仕切部の周囲に形成するステップをさらに含む、請求項1の方法。

**【請求項 6】**

前記ワード線材料は、金属、金属含有化合物、および導電的にドーピングされた半導体材料からなるグループから選択された組成物のうち一種以上を含むように形成されることを特徴とする、請求項5の方法。

30

**【請求項 7】**

前記ワード線材料は、導電的にドーピングされたシリコンを含むように形成され、前記導電的にドーピングされたシリコンは、

最初に前記空洞内にシリコンを堆積するステップと、

前記シリコンを堆積するステップの後、導電性を増強するドーパントを前記シリコン内に注入するステップと、によって形成されることを特徴とする、請求項5の方法。

**【請求項 8】**

前記ワード線材料は、導電的にドーピングされたシリコンを含むように形成され、前記導電的にドーピングされたシリコンは、シリコンが前記空洞内に堆積されるときにその場で前記シリコンをドーピングすることによって形成されることを特徴とする、請求項5の方法。

40

**【請求項 9】**

隣接するアクティブ領域位置が半導体材料の領域によって互いに離されるように、複数のアクティブ領域位置を前記半導体材料内に画定するステップと、

前記半導体材料の前記領域内に、前記アクティブ領域位置のちょうど下に広がる空洞を形成するようにエッチングするステップと、

前記空洞を誘電性材料で充填するステップと、を含む、半導体装置を形成する方法。

50

**【請求項 10】**

前記半導体材料は単結晶シリコンを含む、請求項9の方法。

**【請求項 11】**

前記空洞を誘電性材料で充填する前記ステップは、前記空洞を、二酸化シリコンを含む誘電性材料で充填することを含む、請求項9の方法。

**【請求項 12】**

前記空洞を誘電性材料で充填する前記ステップは、前記空洞を、二酸化シリコンからなる誘電性材料で充填することを含む、請求項9の方法。

10

**【請求項 13】**

前記空洞を形成する前記ステップは、

前記領域の半導体材料を除去して、前記隣接するアクティブ領域位置の間の開口部を形成するステップと、

保護材料を前記開口部の側壁に沿って形成し、前記開口部を狭めるステップと、

前記半導体材料を、前記開口部を通して等方性エッチングし、前記開口部を前記アクティブ領域位置のちょうど下に拡張するステップと、

を含む、請求項9の方法。

**【請求項 14】**

前記保護材料を形成する前記ステップは、二酸化シリコンを含むように前記保護材料を形成するステップを含む、請求項13の方法。

20

**【請求項 15】**

前記開口部が前記誘電性材料で充填された後に、前記開口部内に前記保護材料を残しておくステップをさらに含む、請求項14の方法。

**【請求項 16】**

前記誘電性材料は二酸化シリコンを含む、請求項15の方法。

**【請求項 17】**

半導体材料を設けるステップと、

30

列と行からなるアクティブ領域位置のアレイを、前記半導体材料内に画定するステップと、

前記アクティブ領域位置の列の間に、前記アクティブ領域位置の端部に延びるトレンチを形成するステップと、

前記トレンチを第一の誘電性材料で充填して、前記アクティブ領域位置の前記行とともに格子を画定するように前記第一の誘電性材料のラインを形成するステップであって、前記アレイの前記列に沿ってアクティブ領域位置と交互になっている前記半導体材料の区画が、前記格子の行とラインの間の位置に存在する、ステップと、

前記半導体材料の前記区画内にエッチングして、前記アレイの前記列に沿って前記アクティブ領域位置と交互である開口部を形成するステップと、

40

前記開口部の側壁に沿って保護材料を形成し、前記開口部を狭めるステップと、

前記半導体材料を前記狭くなった開口部を通して等方性エッチングして、前記アクティブ領域位置のちょうど下に前記開口部を拡張するステップと、

前記開口部を第二の誘電性材料で充填するステップと、

を含む、半導体装置を形成する方法。

**【請求項 18】**

前記半導体材料は単結晶シリコンを含み、

前記拡張した開口部を充填するステップは、前記単結晶シリコンアクティブ領域位置のシリコン・オン・インシュレータ構造を、前記拡張した開口部内の前記誘電性材料上に形成し、

50

前記アクティブ領域位置上にゲートを有し、前記アクティブ領域位置の単結晶シリコン内にソース/ドレイン領域を有するトランジスタを形成するステップをさらに含む、請求項17の方法。

【請求項19】

前記空洞を前記第二の誘電性材料で充填する前記ステップは、前記空洞を二酸化シリコンを含む誘電性材料で充填するステップを含む、請求項17の方法。

【請求項20】

前記空洞を前記第二の誘電性材料で充填する前記ステップは、前記空洞を二酸化シリコンからなる誘電性材料で充填するステップを含む、請求項17の方法。

10

【請求項21】

前記第一と第二の誘電性材料は互いに同じ組成物である、請求項17の方法。

【請求項22】

前記第一と第二の誘電性材料は二酸化シリコンを含む、請求項17の方法。

【請求項23】

前記第一と第二の誘電性材料は二酸化シリコンからなる、請求項17の方法。

【請求項24】

ライン位置を有する半導体材料を設けて、前記ライン位置が、相対する一对の側を有して前記半導体材料に結合するようにさせるステップと、

20

一对のトレンチを、前記ライン位置の相対する側上の前記半導体材料内に異方性エッチングするステップと、

前記半導体材料を、前記トレンチを通して等方性エッチングし、前記ライン位置の少なくとも一部の下にある前記トレンチ同士を合流させるステップと、

導電性のゲート材料を、前記トレンチ内、および前記ライン位置の少なくとも一部の下に形成するステップと、を含む、半導体装置を形成する方法。

【請求項25】

前記半導体材料は単結晶シリコンであり、前記ライン位置は前記単結晶シリコンの仕切部である、請求項24の方法。

30

【請求項26】

誘電性材料を、前記ゲート材料を形成する前に、前記仕切部の少なくとも一部の周囲に形成するステップをさらに含む、請求項25の方法。

【請求項27】

前記単結晶シリコンの前記仕切部の部分は、前記異方性エッチングの前に、導電的にドーパされることを特徴とする、請求項25の方法。

【請求項28】

前記等方性エッチングの後に、前記単結晶シリコンの前記仕切部の部分を、導電的にドーパするステップをさらに含む、請求項25の方法。

40

【請求項29】

前記仕切部は一对の広い領域の間に狭い領域を有し、前記等方性エッチングは、前記狭い領域の下で前記トレンチ同士を合流させるが、前記広い領域の下では合流させないことを特徴とする、請求項25の方法。

【請求項30】

半導体材料を提供するステップと、

前記半導体材料を横切っており、広い領域の間に狭い領域を有し、かつ、相対する一对

50

の側を有するラインを画定するステップと、  
 前記ラインの相対する側に沿って、一対のトレンチを形成するステップと、  
 前記トレンチの側壁に沿って保護材料を形成し、前記トレンチを狭めるステップと、  
 前記半導体材料を、前記トレンチを通して等方性エッチングし、前記広い領域の下の前記トレンチ同士を合流させること無く、前記狭い領域の下の前記トレンチ同士を合流させるステップと、  
 前記ラインの前記狭い領域に沿ってゲート誘電体を形成するステップと、  
 前記トレンチ内および前記狭い領域の下に、導電性のゲート材料を形成するステップと、  
 を含む、トランジスタを形成する方法。

10

## 【請求項 3 1】

前記保護材料は前記ゲート誘電体を形成するステップの前に除去され、前記ゲート誘電体は前記ラインの前記狭い領域を全体的に囲むように形成されることを特徴とする、請求項30の方法。

## 【請求項 3 2】

前記半導体材料は単結晶シリコンであり、前記ゲート材料は、金属、金属化合物、および導電的にドーパされた半導体材料からなるグループから選択された、少なくとも一種の組成物を含むことを特徴とする、請求項30の方法。

20

## 【請求項 3 3】

前記ゲート材料は、  
 前記合流したトレンチ内に半導体材料を堆積するステップと、  
 前記合流したトレンチ内に前記半導体材料が堆積されているときに、その場で前記半導体材料をドーパするステップと、  
 によって形成される、導電的にドーパされた半導体材料を含むことを特徴とする、請求項30の方法。

## 【請求項 3 4】

前記ゲート材料は、  
 前記合流したトレンチ内に半導体材料を堆積するステップと、  
 導電性を増強するドーパントを、堆積した半導体材料に注入するステップと、  
 によって形成される、導電的にドーパされた半導体材料を含むことを特徴とする、請求項30の方法。

30

## 【請求項 3 5】

前記第一の半導体材料の前記ラインの前記広い領域を導電的にドーパして、前記第一の半導体材料の前記ラインの前記狭い領域で構成されるチャンネル領域によって互いに離されている、一対のソース/ドレイン領域を形成するステップをさらに含み、  
 前記ラインの前記狭い部分は外周を有し、  
 前記ゲート材料は、前記ラインの前記狭い部分の前記外周を全体的に囲むトランジスタゲートであることを特徴とする、請求項30の方法。

40

## 【請求項 3 6】

ベースと、  
 前記ベースによって支持される、列と行を含む半導体材料アクティブ領域のアレイと、  
 前記アクティブ領域の前記列に沿った、前記アクティブ領域の端部に直接接触する、第一の絶縁材料のラインであって、前記第一の絶縁材料の前記ラインと前記アクティブ領域の行は格子を画定している、ラインと、  
 前記格子の前記行とラインの間の位置にあり、前記アレイの前記列に沿ったアクティブ領域と交互になっている、第二の絶縁性材料の区画と、  
 前記アクティブ領域の下の前記第二の絶縁材料の領域であって、個々の領域が個々のアクティブ領域の相対する側の区画から延びて、前記個々のアクティブ領域を前記ベースか

50

ら完全に隔てている、領域と、  
を含む、半導体構造。

【請求項 37】

前記ベースは単結晶シリコンを含み、前記アクティブ領域も単結晶シリコンを含むことを特徴とする、  
請求項36の構造。

【請求項 38】

前記アクティブ領域上のトランジスタゲートと、前記アクティブ領域内の導電的にドーピングされたソース/ドレイン領域とをさらに含み、

前記トランジスタゲートと前記ソース/ドレイン領域は共に、前記アクティブ領域に結合するトランジスタを形成する、  
請求項37の構造。

【請求項 39】

前記第一の絶縁性材料は二酸化シリコンからなる、請求項36の構造。

【請求項 40】

前記第二の絶縁性材料は二酸化シリコンからなる、請求項36の構造。

【請求項 41】

前記第一の絶縁性材料と前記第二の絶縁性材料は、互いに共通の組成物からなる、請求項36の構造。

【請求項 42】

前記第一と第二の絶縁性材料は二酸化シリコンからなる、請求項41の構造。

【請求項 43】

広い領域の間に狭い領域を有する、半導体材料のラインと、

前記狭い領域を全体的に取り囲む誘電性材料と、

前記狭い領域を全体的に取り囲んで拡がる、前記誘電性材料によって前記ラインの前記狭い領域から離されているゲート材料と、

前記ラインの前記狭い領域内のチャンネル領域と、

前記ラインの前記広い領域内にあり、前記チャンネル領域によって互いに離されている一対のソース/ドレイン領域と、  
を含む、半導体装置。

【請求項 44】

前記半導体材料は単結晶シリコンを含み、

前記ゲート材料は、金属、金属化合物、および導電的にドーピングされた半導体材料のうち一種以上を含むことを特徴とする、  
請求項43の装置。

【請求項 45】

単結晶シリコンベース上の絶縁材料によって支持され、前記絶縁材料は前記ベースと前記ゲート材料の間にあることを特徴とする、  
請求項43の装置。

【請求項 46】

広い領域の間に狭い領域を有する半導体材料のラインであって、前記広い領域はトランジスタのソース/ドレイン領域を含み、前記狭い領域は前記ソース/ドレイン領域の間のチャンネルを含む、ラインと、

前記狭い領域を全体的に取り囲む第一の誘電性材料と、

前記狭い領域を全体的に取り囲んで拡がり、前記誘電性材料によって前記ラインの前記狭い領域から離されているトランジスタゲート材料と、

前記ラインの前記広い領域を通して延び、隣接する広い領域同士を互いに隔てている第二の誘電性材料と、  
を含む、半導体部品。

【請求項 47】

10

20

30

40

50

前記ラインの前記広い領域上の第三の誘電性材料をさらに含み、

前記第三の誘電性材料は、前記トランジスタゲート材料と前記第二の誘電性材料の間にあることを特徴とする、

請求項46の部品。

【請求項48】

プロセッサと、

アドレス回路と読み出し回路を介して前記プロセッサと通信するメモリと、を含み、

前記メモリと前記プロセッサのうち少なくとも一つはトランジスタを含み、前記トランジスタは、

10

広い領域の間に狭い領域を有する半導体材料のラインと、

前記狭い領域を全体的に取り囲む誘電性材料と、

前記狭い領域を全体的に取り囲んで拡がり、前記誘電性材料によって前記ラインの前記狭い領域から離されているゲート材料と、

前記ラインの前記狭い領域内のチャンネル領域と、

前記ラインの前記広い領域内にあり、前記チャンネル領域によって互いに離されている一対のソース/ドレイン領域と、

を含むことを特徴とする、

電子システム。

【請求項49】

20

前記半導体材料は単結晶シリコンを含み、

前記ゲート材料は、金属、金属化合物、および導電的にドーブされた半導体材料のうち一種以上を含む、

請求項48の電子システム。

【請求項50】

前記トランジスタは単結晶シリコンベース上の絶縁材料によって支持され、

前記絶縁材料は前記ベースと前記ゲート材料の間にある、

請求項48の電子システム。

【発明の詳細な説明】

【技術分野】

30

【0001】

技術分野は半導体装置、半導体部品、および半導体構造、ならびに、半導体装置、半導体部品、および半導体構造を形成する方法である。

【背景技術】

【0002】

半導体装置製造における永続的な目標は、完全度と所望のパフォーマンスの半導体装置特性とを維持する一方で、半導体ウェハの有効面積を維持すること（言い換えると高集積化を達成すること）である。そのような目標は、例えばシリコン・オン・インシュレータ（SOI）構造、およびフィン型電界効果トランジスタ（fin FET）を含む、さまざまな半導体構造の開発と改良を先導している。

40

【発明の概要】

【0003】

本文中に発明の概要に該当する記載なし。

【図面の簡単な説明】

【0004】

【図1】実施形態の予備加工段階での半導体構造の概略的な部分断面図である。

【図2】図1の段階に続く加工段階での図1の部分の図である。

【図3】図2の段階に続く加工段階での図1の部分の図である。

【図4】図3の段階に続く加工段階での図1の部分の図である。

【図5】図4の段階に続く加工段階での図1の部分の図である。

50

【図6】他の実施形態にしたがった予備加工段階での半導体構造の一部分の上面図である。

【図7】他の実施形態にしたがった予備加工段階での半導体構造の一部分の図6の線7-7に沿った断面図である。

【図8】図6と7の段階に続く加工段階での図6の部分の図である。

【図9】図6と7の段階に続く加工段階での図7の部分の図8の線9-9に沿った断面図である。

【図10】図8と9の段階に続く加工段階での図6の部分の図である。

【図11】図8と9の段階に続く加工段階での図7の部分の、図10の線11-11に沿った断面図である。

【図12】図10と11の段階に続く加工段階での図6と7の半導体構造の図である。図12は図6に対応している。

【図13】図10と11の段階に続く加工段階での図6と7の半導体構造の、図12と14の線13-13に沿った断面図である。図13は図7に対応している。

【図14】図10と11の段階に続く加工段階での図6と7の半導体構造の、図12と13の線14-14に沿った断面図である。図13の図にほぼ直交する図に対応している。

【図15】図12の段階に続く加工段階での図6と7の半導体構造の図である。図15の部分は図12の部分に対応している。

【図16】図13の段階に続く加工段階での図6と7の半導体構造の、図15と17の線16-16に沿った断面図である。図16の部分は図13の部分に対応している。

【図17】図14の段階に続く加工段階での図6と7の半導体構造の、図15と16の線17-17に沿った断面図である。図17の部分は図14の部分に対応している。

【図18】図15の段階に続く加工段階での図6と7の半導体構造の図である。図18の部分は図12の部分に対応している。

【図19】図16の段階に続く加工段階での図6と7の半導体構造の、図18と20の線19-19に沿った断面図である。図19の部分は図13の部分に対応している。

【図20】図17の段階に続く加工段階での図6と7の半導体構造の、図18と19の線20-20に沿った断面図である。図20の部分は図14の部分に対応している。

【図21】図18の段階に続く加工段階での図6と7の半導体構造の図である。図21の部分は図12の部分に対応している。

【図22】図19の段階に続く加工段階での図6と7の半導体構造の、図21と23の線22-22に沿った断面図である。図19の部分は図13の部分に対応している。

【図23】図19の段階に続く加工段階での図6と7の半導体構造の、図21と22の線23-23に沿った断面図である。図20の部分は図14の部分に対応している。

【図24】他の実施形態にしたがった予備加工段階での半導体構造の部分の上面図である。

【図25】他の実施形態にしたがった予備加工段階での半導体構造の部分の、図24と27の線25-25に沿った断面図である。

【図26】他の実施形態にしたがった予備加工段階での半導体構造の部分の、図24と27の線26-26に沿った断面図である。

【図27】他の実施形態にしたがった予備加工段階での半導体構造の部分の、図24から26の線27-27に沿った断面図である。

【図28】図24の段階に続く加工段階での図24の部分の図である。

【図29】図25の段階に続く加工段階での図25の部分の、図28と31の線29-29に沿った図である。

【図30】図26の段階に続く加工段階での図26の部分の、図28と31の線30-30に沿った図である。

【図31】図27の段階に続く加工段階での図27の部分の、図28から30の線31-31に沿った図である。

【図32】図28の段階に続く加工段階での図24の部分の図である。

10

20

30

40

50

【図33】図29の段階に続く加工段階での図25の部分の、図32と35の線33-33に沿った図である。

【図34】図30の段階に続く加工段階での図26の部分の、図32と35の線34-34に沿った図である。

【図35】図31の段階に続く加工段階での図27の部分の、図32から34の線35-35に沿った図である。

【図36】図32の段階に続く加工段階での図24の部分の図である。

【図37】図33の段階に続く加工段階での図25の部分の、図36と39の線37-37に沿った図である。

【図38】図34の段階に続く加工段階での図26の部分の、図36と39の線38-38に沿った図である。

10

【図39】図35の段階に続く加工段階での図27の部分の、図36から38の線39-39に沿った図である。

【図40】他の実施形態を示す半導体ウェハ部分の上面図である。

【図41】コンピュータの実施形態の概略図である。

【図42】図41のコンピュータの実施形態のマザーボードの具体的な特徴を示すブロック図である。

【図43】電子システムの実施形態の抽象度の高いブロック図である。

【図44】メモリデバイスの実施形態の単純化したブロック図である。

【発明を実施するための形態】

20

【0005】

いくつかの実施形態では、開口部が半導体材料の仕切部(segment)によって互いに離された状態で、一对の開口部が半導体材料に形成される。それから開口部の側壁に沿ってライナー(liner)が形成され、半導体材料は、開口部を合流させるために、ライナーを当てた(内張りした)開口部の底から等方性エッチングされ、それによって半導体材料の仕切部の下を完全に切り取る。そのような実施形態は、シリコンに三次元構造を形成するために利用されてもよく、SOI構造および完全に囲まれたトランジスタ構造(言い換えると、チャンネル領域を取り囲むゲートを有するトランジスタ)の製造に利用されてもよい。

【0006】

第一の実施形態は図1から5を参照して説明される。

30

【0007】

始めに図1を参照して、予備加工段階での半導体構造10が説明される。構造10は、半導体材料を含むベース12を含む。いくつかの実施形態では、ベース12はシリコンウェハであってよく、バックグラウンド(background)p型ドーパントで低濃度にドーパされた単結晶シリコンを含んでもよく、実質的にそうした単結晶シリコンからなってもよく、そうした単結晶シリコンのみからなってもよい。ベース12は半導体基板と呼んでもよい。後に続く請求項の解釈を補助するために、「半導性基板」と「半導体基板」という用語は、半導体ウェハ(単独、もしくはその上に他の材料を含む部品)、半導性材料層(単独、もしくはその上に他の材料を含む部品)などのバルク半導性材料を含むがこれらに限定されない、半導性材料を含む任意の構造を意味するものとして定義される。「基板」という用語は、上述の半導性基板を含むがこれらに限定されない、任意の支持構造を言う。

40

【0008】

一对のマスキング材料11と14が基板12を覆い、そこを通過して延びる一对の開口部16と18を有するようにパターン化される。材料11は、例えば、フォトリソグラフィでパターン化されたフォトレジストからなってもよい。材料14は、チッ化シリコンおよび二酸化シリコンのうち一方もしくは両方を含んでもよい。材料14のパターンは、フォトリソグラフィでパターン化されたレジスト11から、下にある材料14の層に一種以上のエッチング剤でパターンを転写することによって形成されうる。

【0009】

図2を参照すると、開口部16と18は適切なエッチングでベース12内に拡張される。その

50

ようなエッチングは異方性エッチング（例えば $\text{Cl}_2$ と $\text{HBr}$ を用いるエッチングなど）として示され、特に、主として下向きにベース12内に向かう。ベース12内の開口部は底15と側壁17からなる周縁部を有する。開口部は、図2の視点で見える図2の平面の後ろに裏面を有することに注意されたい。しかしながら、図面を単純にするために、断面の平面に沿った面のみが本明細書に表される断面図内に示される。

【0010】

ベース12内の開口部16と18は、ベース12の半導体材料の仕切部20によって互いに隔てられた一对の開口部とみなされうる。仕切部20は、開口部16と18の間の幅21からなる。そのような幅は、例えば約10ナノメートルから約350ナノメートルであってよい。

【0011】

図3を参照すると、フォトレジスト11（図2）が除去され、ライナー22が、ベース12内の開口部16と18の露出した側壁17に沿って形成される。フォトレジストは $\text{O}_2$ プラズマを利用するリアクションチャンバ内で除去されうる。ライナーは、フォトレジストの除去と $\text{O}_2$ プラズマの利用のために使われたものと同じチャンバ内で、形成されうる。しかし基板は、フォトレジストの除去と、ライナーの形成とは、異なってバイアスされうる。ベース12が単結晶シリコンウェハである場合には、ライナー22は二酸化シリコンを含んでもよく、実質的に二酸化シリコンからなってもよく、二酸化シリコンのみからなってもよい。そのような二酸化シリコンは、側壁に沿うのと同様に開口部の底を渡って延びるが、続いて、側壁に沿うライナーのみを残すように、適切なエッチングで底から除去されてもよい。ライナーが側壁17を次のエッチングから保護する点から、ライナー22は保護材料と呼ばれてもよい。ライナー22は、開口部の当初の幅と比べ、開口部16と18を狭める。

【0012】

図4を参照すると、開口部16と18をベース材料12内に拡張するように等方性エッチングが行われる。ライナー22は、そのような等方性エッチングの間、開口部の最上部の領域の側壁を保護する。等方性エッチングはボウル（球根状領域）24を開口部の下部分に形成する。任意の適切な等方性エッチングが利用されてもよく、エッチング剤は例えば $\text{NF}_3$ を含んでもよい。

【0013】

図5を参照すると、開口部16と18が仕切部20の下で合流するまで等方性エッチングが続けられる。後に続く加工工程では、マスク材料14が除去され、開口部16と18が、所望の構造を形成するために所望の電気特性を有する材料で充填されてもよい。例えば、開口部16と18は、充填材料の絶縁体の上に仕切部20の半導体を有するSOI構造を形成するために、電氣的絶縁材料（例えば二酸化シリコンなど）で充填されてもよい。他の実施例として、仕切部20の半導体材料は、一对のソース/ドレイン領域の間にチャンネルを形成するためにドーブされてもよく、開口部16と18はトランジスタゲート材料で充填されてもよい。

【0014】

図6と7を参照すると、それらはSOI構造を形成するための実施形態の予備加工段階での半導体構造50を説明する。

【0015】

構造50は半導体基板12を含み、半導体基板12は、例えば、図1から5の実施形態を参照して上述した単結晶シリコンウェハでもよい。構造50はマスク材料14も含む。

【0016】

複数のアクティブ領域の位置52、54、56、58、60、62、64、66、68、70、72、74、76、78、80および82は、ベース12の半導体材料内に画定される。そのような位置は点線で境界がほぼ画定される。アクティブ領域の位置は、示されるアレイに対して実質的に垂直に延びる列（例として、アクティブ領域の位置54、62、70、78に沿って延びる列）と、示されるアレイに対して実質的に水平に延びる行（例として、アクティブ領域の位置60、62、64、66に沿い、それに応じて図9の断面に沿って延びる行）と、を含むアレイを形成する。行と列のアクティブ領域の隣接する位置は、示されるように、基板12の半導体材料の領域によって互いに離される。

10

20

30

40

50

## 【 0 0 1 7 】

図8と9を参照すると、材料14はトレンチ用の位置を画定するようにパターン化される。そのようなパターンは、フォトリソグラフィでパターン化され、続いて除去されてもよいフォトレジストマスク（不図示）を用いて達成されうる。材料14のパターンは、アクティブ領域位置の列の間にトレンチ90、92、94、96および98を形成するために、下にあるベース12に転写される。それらのトレンチはアクティブ領域位置の端部に延びる（言い換えると、アクティブ領域位置の端部に結合する）。

## 【 0 0 1 8 】

図10と11を参照すると、トレンチ90、92、94、96、および98は誘電性材料（言い換えると、電気的に絶縁性の材料）100で充填される。誘電性材料は、任意の適切な組成物もしくは組成物の組み合わせを含んでもよく、いくつかの実施形態では、二酸化シリコンを含んでもよく、実質的に二酸化シリコンからなってもよく、二酸化シリコンのみからなってもよい。誘電性材料100は、以下の方法でトレンチ内に形成されてもよい。：始めに、誘電性材料をトレンチ内に供給し、材料14の上面全体にゆきわたるようにする。；続いて構造50を平坦化工程（例えば、化学機械研磨など）にかけ、誘電性材料をマスクング材料14の最上面上から除去し、一方で、トレンチ内の誘電性材料は残す。

10

## 【 0 0 1 9 】

充填されたトレンチは、基板12を横切って延びる、電気的に絶縁性の材料100のラインに相当するものとみなされうる。そのようなラインとアクティブ領域位置の行との組み合わせは、基板12を横切る格子を画定する。アクティブ領域位置を含まない基板12の区画群は、格子の行とラインの間の位置、例としては図10で参照番号が付けられた区画102、104、106、108、110、112、114、116、118、120、122、124、にあるものとみなされうる。格子の列に沿った区画群は、アクティブ領域位置のレイの列に沿ったアクティブ領域位置と交互になる。たとえば、格子の列に沿った区画104、112、および120は、アクティブ領域レイの列に沿ったアクティブ領域位置54、62、70および78と交互になる。

20

## 【 0 0 2 0 】

図12から14を参照すると、マスクング材料11は、アクティブ領域位置52、54、56、58、60、62、64、66、68、70、72、74、76、78、80、および82（図6の上面図で概略的に説明されるアクティブ領域位置）の行に沿って形成される。マスクング材料11と14は共に、アクティブ領域位置の上に形成される保護材料を含み、次に続くエッチングからそのような位置を保護する。マスクング材料11はトレンチ90、92、94、96、および98内で、誘電性材料上に広がるように示される。

30

## 【 0 0 2 1 】

マスクング材料11は、例えば、フォトリソグラフィでパターン化されたフォトレジスト材料の層でもよい。

## 【 0 0 2 2 】

区画102、104、106、108、110、112、114、116、118、120、122、および124上の材料14は、マスクング材料11の行間で露出されたままである。

## 【 0 0 2 3 】

図15から17を参照すると、開口部132が、材料14内に貫通して、区画102、104、106、108、110、112、114、116、118、120、122、および124内に、異方性エッチングされ、；マスクング材料11が除去され、；保護材料のライナー134が開口部の側壁に沿って形成される。；ベース12内の開口部は、図3を参照して上述した開口部16と18に類似し、ライナーは、図3を参照して上述したライナー22に類似する。開口部132とライナー134は、このように図3を参照して上述した開口部とライナーに類似する加工工程で形成され、そのような加工工程は、図3を参照して上述したように、材料11を除去することも可能である。保護材料ライナー134は、上述した開口部16と18をライナー22によって狭めるのと同様の方法で開口部132を狭める。

40

## 【 0 0 2 4 】

開口部132は、区画102、104、106、108、110、112、114、116、118、120、122、および

50

124がアクティブ領域位置と交互となるのと同様の方法で、アクティブ領域位置アレイの列に沿ったアクティブ領域位置と交互になる。

【0025】

図18から20を参照すると、開口部132が、図4と5を参照して上述したエッチングと同様の等方性エッチングでベース半導体材料12内に広がる。隣接する開口部132がアクティブ領域位置52、54、56、58、60、62、64、66、68、70、72、74、76、78、80、82（図6の上面図で概略的に説明され、かつ図19と20の断面図でも概略的に説明されるアクティブ領域位置）の下で合流し、そのようなアクティブ領域位置の全周を取り巻く拡張した開口部を形成する。図18から20の加工工程段階では、トレンチ90、92、94、96、および98内の誘電性材料100のラインは、アクティブ領域位置の端部をつなぎとめる。

10

【0026】

図21から23を参照すると、開口部132が電氣的に絶縁性の材料140で充填され、材料14が除去される。材料140は、始めに開口部を充填し、材料14を覆って広がるように形成されてもよく、続いて平坦化（例えば、化学機械研磨）が、基板12のいくつかの領域の全体から材料140と14を除去するために使用されてもよい。代替として、材料14上から材料140を除去するために、平坦化が使用されてもよい。その後、材料140に対する材料14の選択的エッチングを用いて材料14が除去されてもよい（「選択的」という語は、材料140を除去するエッチングよりも高速で材料14を除去するエッチングを意味する）。そのような代替加工工程では、アクティブ領域位置に隣接する材料140の突出物（不図示）を取り残してもよい。

20

【0027】

材料140は任意の適切な組成物もしくは組成物の組み合わせを含んでもよいが、開口部内に容易に流れ込みうる物質を含むことが好ましい。材料140は、例えば、スピンオン誘電体（すなわち、特定の温度範囲で流動性のある誘電性材料）を含んでもよく、実質的にスピンオン誘電体からなってもよく、スピンオン誘電体のみからなってもよい。；材料140は、二酸化シリコンを含んでもよく、実質的に二酸化シリコンからなってもよく、二酸化シリコンのみからなってもよい。

【0028】

誘電性材料100と140は、それぞれ第一と第二の誘電性材料として言及される。そのような誘電性材料は、いくつかの実施形態で互いに類似の組成物を含んでもよい。

30

【0029】

示された実施形態では、誘電性材料140は開口部内にあり、アクティブ領域位置52、54、56、58、60、62、64、66、68、70、72、74、76、78、80、および82の上面を横切ることではない。

【0030】

誘電材料140は、図22と23の断面図に示されるように、アクティブ領域位置内で、残っているベースの半導体材料12から半導体材料12を完全に分離する。

【0031】

スペーサ134は、誘電性材料140と組み合わせられ、開口部内に残るように示される。スペーサ134と誘電性材料140が互いに同じ組成物を含む場合、そのスペーサと誘電性材料は開口部内に一つの絶縁材料を形成するように合流する。いくつかの用途（不図示）では、材料140の供給前に適切なエッチングを用いてスペーサ134を除去することが望まれうる。

40

【0032】

図21から23の構造は、52、54、56、58、60、62、64、66、68、70、72、74、76、78、80、および82の位置に複数のアクティブ領域を含む。；そのようなアクティブ領域はSOI構造である。次に続く工程では、半導体装置がアクティブ領域に結合するように形成される。例えば、図21から23は、アクティブ領域を横切って延びる複数のワード線150、152、154、156、158、160、162、および164を示す。図22の断面図は、ゲート誘電体166、導電性ゲート材料168、および電氣的に絶縁性のキャップ170を含むスタックを含むワード線を示す。さらに、側壁スペーサ172はワード線の側壁に沿っている。複数のソース/ドレイ

50

ン領域180が、アクティブ領域位置の半導体材料12内に設けられ、ワード線は、ソースノドレイン領域と共に複数のトランジスタ装置を形成する。

【0033】

図21は、ソースノドレイン領域のいくつかに電氣的に接続されたキャパシタ182、184、186、188、190、192、194、および196を概略的に示し、；ならびに、ソースノドレイン領域の他のいくつかに電氣的に接続されたビット線199も概略的に示す。キャパシタとビット線は、図面を単純にするために、アクティブ領域位置の最上行に沿ってのみ示されるが、キャパシタとビット線は他のアクティブ領域位置に結合するソースノドレイン領域にも接続することを理解されたい。当分野の通常の技術を有する者は、電荷蓄積装置（キャパシタなど）とトランジスタとの組み合わせがダイナミックランダムアクセスメモリ（DRAM）ユニットセルに相当するということ認識するであろう。それに応じて、DRAMアレイは図21から23の構造を横切って形成されうる。

10

【0034】

次に図24から27を参照して、電界効果トランジスタを形成するための実施形態の準備加工段階での半導体構造200を説明する。

【0035】

構造200は、図1に関連して上述した構造と同じであってもよい、基板12を含む。基板12は単結晶シリコンを含んでもよく、実質的に単結晶シリコンからなってもよく、単結晶シリコンのみからなってもよい。

20

【0036】

一对の分離領域202は基板12内に広がる。この分離領域は、任意の適切な電氣的に絶縁性の組成物、もしくは組成物の組み合わせを含んでもよい。いくつかの実施形態では、分離領域は、二酸化シリコンを含んでもよく、実質的に二酸化シリコンからなってもよく、二酸化シリコンのみからなってもよい。

【0037】

パターン化されたマスクング材料203と204はベース12の上面を横切って広がる。そのようなパターン化されたマスクング材料は、任意の適切な組成物、もしくは組成物の組み合わせを含んでもよい。例えば、材料204は二酸化シリコンと窒化シリコンのうち一方、もしくは両方を含んでもよい（たとえば、図1を参照して説明した材料14と類似してもよい）。材料203はパターン化されたフォトレジストを含んでもよい（たとえば、図1を参照して説明した材料11と類似してもよい）。

30

【0038】

パターン化されたマスクング材料は、マスクング材料の下でベース12内に延びるライン位置210を画定する。すなわち、マスクング材料の下のベース12の部分は、そのようなライン位置に一致する。ライン位置は、一对の広い領域の間に狭い領域があるマスクング材料203と204の形状から構成されうる。

【0039】

マスクング材料203、204、およびその下に画定されるラインは、相対する一对の側212と214から構成されるとみなしてもよい。

【0040】

図28から31を参照すると、トレンチ216がベース12の半導体材料内にエッチングされ、側壁ライナー218が形成され、マスクング材料203が除去される。トレンチとライナーの形成、ならびにマスクング材料203の除去は、図2と3を参照して上述した加工工程と同様の加工工程で成されてもよい。

40

【0041】

トレンチ216は、一对のトレンチであるとみなされてもよく、そのような対の一方のトレンチはマスクング材料204の片側212に沿っており、他方のトレンチはマスクング材料の片側214に沿っている。トレンチ216の形成は、パターン化されたマスクング材料204のパターンを、ベース12の半導体材料内に転写する。したがって、ライン位置210にライン211を形成する（図24から27）。そのようなラインは相対する側壁212と214を有する。ライン

50

は、マスクの形状から転写された広い部分と狭い部分を有する。いくつかの実施形態では、狭い部分の幅は、広い部分の幅よりも約25%以上狭くなるようにできる。

【0042】

側壁ライナー218は、電氣的に絶縁性であり、保護材料として言及されてもよい。ライナー218は、二酸化シリコンを含んでもよく、実質的に二酸化シリコンからなってもよく、二酸化シリコンのみからなってもよい。

【0043】

図32から35を参照すると、図4と5を参照して上述したエッチングと類似する等方性エッチングを用いて、開口部216がベース12内に拡張される。ライン211の相対する側212と214からなる開口部は、ラインの狭い部分206の下で合流するが(図34参照)、ラインの広い部分208の下では合流しない(図33参照)。すなわち、ラインの狭い部分206は、ラインの相対する側の上の開口部216が、等方性エッチングの間に合流するのに十分薄く、一方ラインの広い部分208は十分な幅であるので、開口部がそのような部分の下で合流しない。広い部分208は、狭い部分206の下をエッチングした後もベース材料12の本体につながり止められたままであり、したがって、狭い部分206に相当するライン仕切り部は、構造200の残部に保持される。

10

【0044】

図36から39を参照すると、マスク材料204(図32から35)が除去され、誘電性材料220が、露出したベース12の半導体材料の部分に沿って形成される。保護材料218(図32から35)は誘電性材料220の形成前に除去されるべきことが示される。材料220は最終的にゲート誘電体として利用され、材料218はゲート誘電体としては適切でないこともある。代替実施形態では、材料218が、誘電体220が形成される際に残されてもよく、誘電体220は、材料218で覆われていない材料12の部分のみを覆うことになる。

20

【0045】

誘電体220は、任意の適切な組成物、もしくは組成物の組み合わせを含んでもよい。例えば、二酸化シリコンを含んでもよく、実質的に二酸化シリコンからなってもよく、二酸化シリコンのみからなってもよい。誘電体220は半導体材料12の露出した表面の熱酸化によって形成されてもよく、かつ/または堆積によって形成されてもよい。

【0046】

ライン211の広い部分は導電性材料に転化されるべきとして示され(斜線で示される)、トランジスタのソース/ドレイン領域231と233を形成する。そのような転化は、導電性を高めるドーパントを、ラインの材料12内に注入することによって達成される。転化はマスク材料204の除去の後で起こるように示されるが(図32から35)、転化はそのようなマスク材料の除去の前にも起こりうるということが理解されるべきである。代替として、転化は図36から39の段階の後に続く加工工程段階で起こってもよい。

30

【0047】

ライン211の狭い領域はドーパントの閾値電圧で適切にドーブされてもよく、狭い領域は、ソース/ドレイン領域231と233の間のトランジスタチャネル領域235となる。

【0048】

トランジスタゲート材料232が開口部216内に形成され、ライン211の狭い領域206を覆ってもよい。；絶縁性材料234が、ゲート材料の相対する側の上のライン211の広い部分を覆って形成されることが示される。ライン211は図36の上面図に破線で示され、下にある材料232と234を示す。構造200の他の構造物は、図36の上面図に点線で同様に示される。

40

【0049】

ゲート材料232は、任意の適切な組成物、もしくは組成物の組み合わせを含んでもよい。いくつかの実施形態では、金属、金属含有組成物、および導電性にドーブされた半導体材料(導電性にドーブされたシリコンなど)のうち一種以上を含んでもよく、実質的にこれらからなってもよく、これらのみからなってもよい。ゲート材料が半導体材料を含む場合、そのような材料は、ベース12の第一の半導体材料と区別するために、第二の半導体材料として言及されてもよい。ゲート材料は、ライン211にほぼ直交して延びるワード線の

50

部分であってもよい。

【 0 0 5 0 】

絶縁性材料234は、任意の適切な組成物、もしくは組成物の組み合わせを含んでもよい。 ; 例えば、二酸化シリコンと窒化シリコンのうち一方もしくは両方を含んでもよく、実質的にこれらからなってもよく、これらのみからなってもよい。

【 0 0 5 1 】

図38は、ライン211の狭い部分の外周を完全に囲い、チャンネル領域235を取り囲むゲート材料232を示す。ソース/ドレイン領域231、233、チャンネル領域235、およびゲート材料232は全体で電界効果トランジスタを形成する。そのような電界効果トランジスタは、少なくとも一断面図(例えば、図38の視点)では、ゲート材料で完全に取り囲まれたチャンネル領域の外周を有する。

10

【 0 0 5 2 】

図36から39は、ライン211に沿った一つのトランジスタを示す。しかしながら、多数のトランジスタがラインに沿って形成されてもよいことが理解されるべきである。図40はそのような実施形態の実施例を概略的に説明する。特にこの図は、上述したライン211に類似するライン302を含む構造300を示す。この構造はまた、図36から39の分離領域202と類似する分離領域301も含む。

【 0 0 5 3 】

ライン302は、広い部分304と狭い部分306を含む。ソース/ドレイン領域(不図示)は広い部分内に存在することがあり、チャンネル領域(不図示)は狭い部分内に存在することがある。

20

【 0 0 5 4 】

ライン302は、交互になっている材料232と234の下に存在するように示される(ライン232と234は他の材料の下にあることをあらわすために破線で示されている)。材料232と234は、図36から39を参照して上述した、ゲート材料と電気的に絶縁性の材料である。ライン302の狭い部分306は、図38に示される実施形態と類似して、ゲート材料232で囲まれている。

【 0 0 5 5 】

絶縁性材料310は、隣接するトランジスタのソース/ドレイン領域を互いに分離するように、ライン302の広い領域を貫通して切断することが示されている。材料310は任意の適切な組成物、もしくは組成物の組み合わせを含んでもよい。 ; 例えば、二酸化シリコンを含んでもよく、実質的に二酸化シリコンからなってもよく、二酸化シリコンのみからなってもよい。

30

【 0 0 5 6 】

図41はコンピュータシステム400の実施形態を示す。コンピュータシステム400は、モニタ401もしくは他の通信出力装置、キーボード402もしくは他の通信入力装置、およびマザーボード404を含む。マザーボード404は、マイクロプロセッサ406もしくは他のデータ処理ユニット、および少なくとも一つのメモリ装置408を備える。メモリ装置408はメモリセルのレイからなり、そのようなレイは、レイ内の個々のメモリセルにアクセスするためのアドレス回路に接続されうる。さらに、メモリセルレイは、メモリセルからデータを読むための読み出し回路に接続されうる。アドレス回路と読み出し回路は、メモリ装置408とプロセッサ406の間で情報を運搬するために利用されうる。アドレス回路と読み出し回路は、図42に示されるマザーボード404のブロック図内に示されている。そのようなブロック図では、アドレス回路は410として示され、読み出し回路は412として示される。

40

【 0 0 5 7 】

プロセッサ装置406はプロセッサモジュールであってもよく、上述した種々のメモリおよび個別構造を含んでもよい。

【 0 0 5 8 】

メモリ装置408はメモリモジュールであってもよく、上述した種々のメモリおよび個別構造を含んでもよい。

50

## 【 0 0 5 9 】

図43は電子システム700の高抽象度に単純化したブロック図を示す。システム700は、例えば、コンピュータシステム、プロセス制御システム、もしくはプロセッサと関連するメモリを使用する任意の他のシステムに相当してもよい。電子システム700は、プロセッサ702、制御ユニット704、メモリ装置ユニット706、および入/出力(I/O)装置708を含む機能的要素を有する(さまざまな実施形態において、システムは、複数のプロセッサ、複数の制御ユニット、複数のメモリ装置ユニット、および/または複数のI/O装置を持ち得ることが理解されるべきである)。一般的に、電子システム700は、プロセッサ702と、プロセッサ702、メモリ装置ユニット706、およびI/O装置708との間の他の相互作用(interaction)によってデータについて実行されるべき演算を指定するネイティブな一連の命令を有する。制御ユニット704は、メモリ装置から取り出され、実行されるべき命令を生ずる一連の演算を介する連続したサイクルによって、プロセッサ702、メモリ装置706、およびI/O装置708の全ての演算を調整する。システム700のさまざまな構成要素は、上述したメモリと分離構造のうち一つ以上を含みうる。

10

## 【 0 0 6 0 】

図44は電子システム800の単純化したブロック図である。システム800は、メモリセルのアレイ804、アドレスデコーダ806、行アクセス回路808、列アクセス回路810、演算を制御するための読み出し/書き込み制御回路812、および入/出力回路814を有する、メモリ装置802を含む。メモリ装置802は、電力回路816、および、メモリセルが低閾値の導通状態と高閾値の非導通状態のどちらにあるか測定するための電流センサなどのセンサ820をさらに含む。示された電力回路816は電力供給回路880、基準電圧を供給するための回路882、第一のワード線にパルスを供給するための回路884、第二のワード線にパルスを供給するための回路886、およびビット線にパルスを供給するための回路888を含む。システム800はまたプロセッサ822もしくはメモリアクセスのためのメモリ制御器を含む。

20

## 【 0 0 6 1 】

メモリ装置802は、配線もしくは金属線にのせて、制御信号をプロセッサ822から受信する。メモリ装置802はI/O線を介してアクセスされるデータを蓄積するために使用される。プロセッサ822もしくはメモリ装置802のうち少なくとも一つは、上述したさまざまなメモリおよび分離構造を含みうる。

## 【 0 0 6 2 】

さまざまな電子システムが、プロセッサと(複数の)メモリ装置間の通信時間を減少させるために、シングルパッケージ処理ユニット内、もしくは単一の半導体チップ上に製造されうる。

30

## 【 0 0 6 3 】

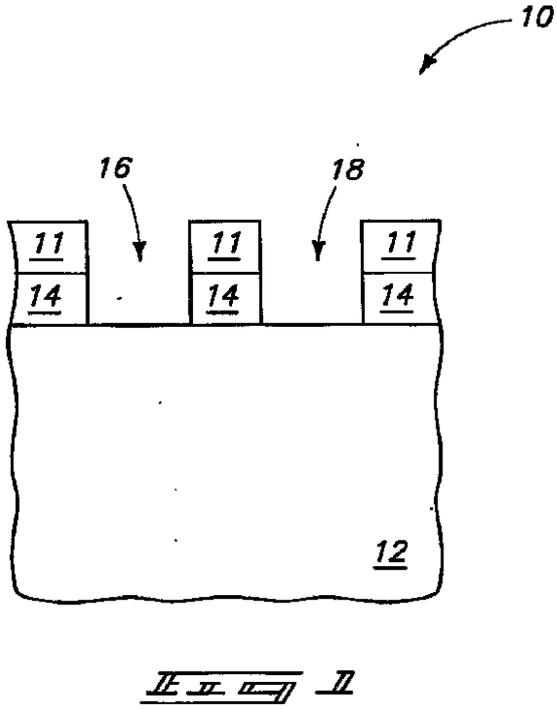
電子システムは、メモリモジュール、装置ドライバ、電力モジュール、通信モデム、プロセッサモジュール、およびアプリケーション特有モジュール内で使用されることが可能であり、ならびに、多重層、多重チップモジュールを含んでもよい。

## 【 0 0 6 4 】

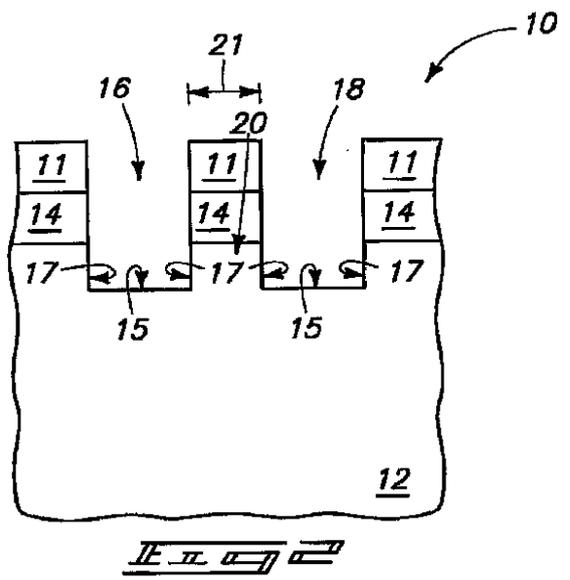
電子システムは、例えば、時計、テレビ、携帯電話、パーソナルコンピュータ、自動車、産業制御システム、航空機などの、任意の広範囲に亘るシステムであってよい。

40

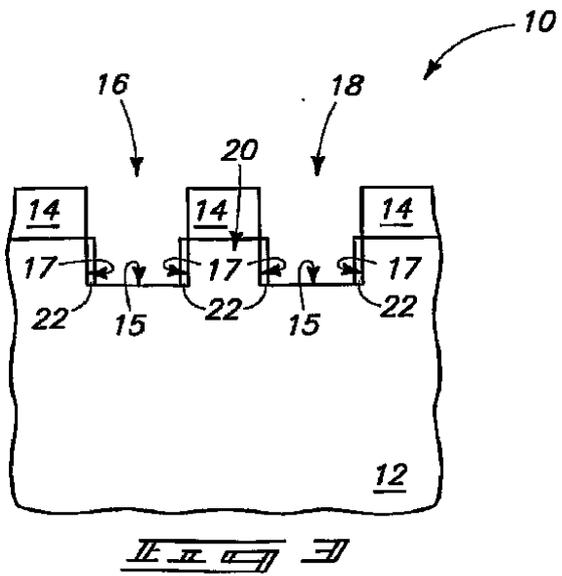
【図 1】



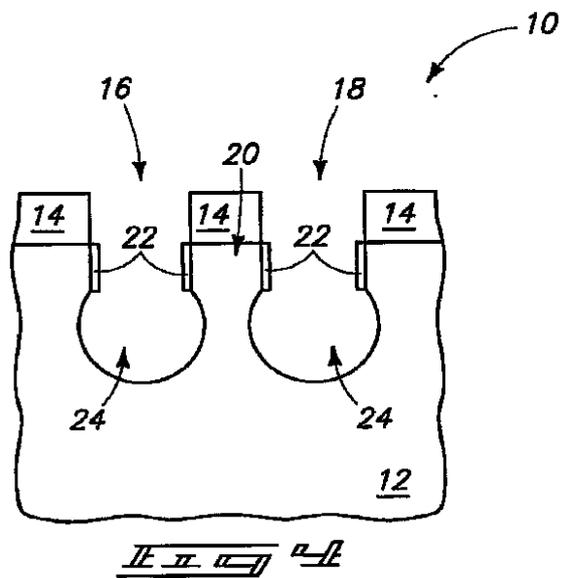
【図 2】



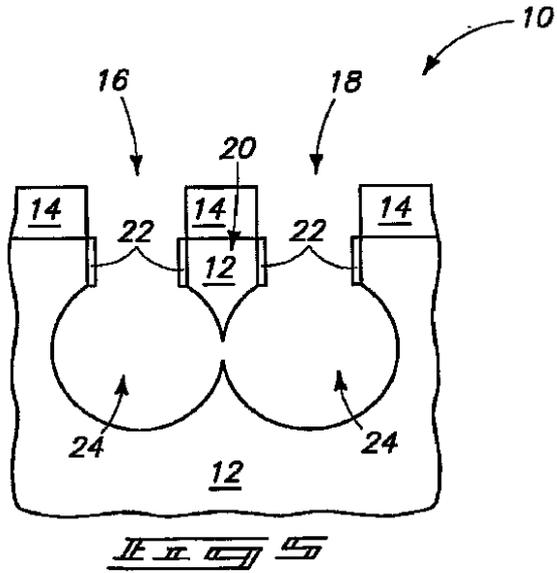
【図 3】



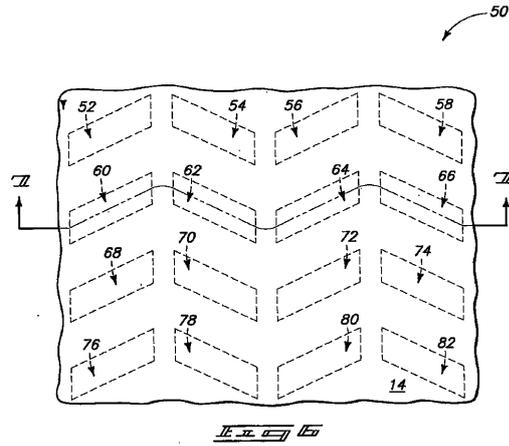
【図 4】



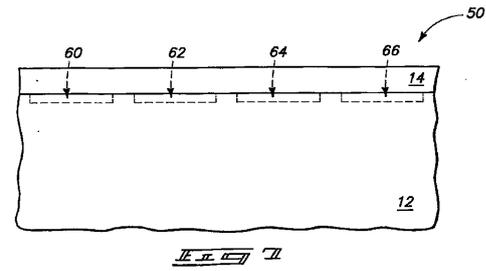
【 図 5 】



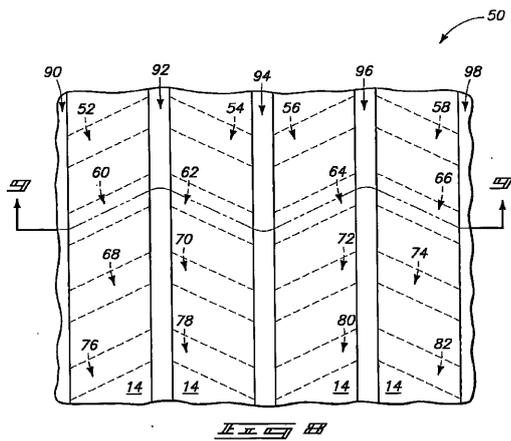
【 図 6 】



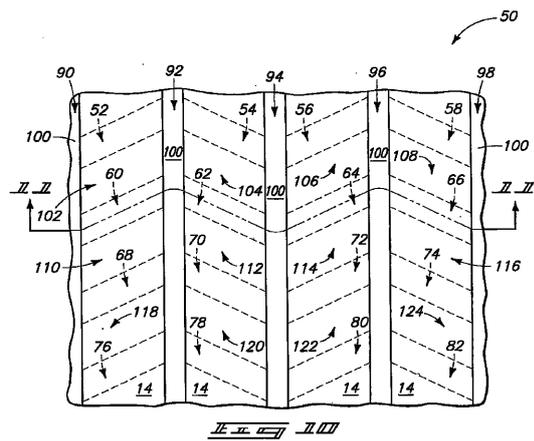
【 図 7 】



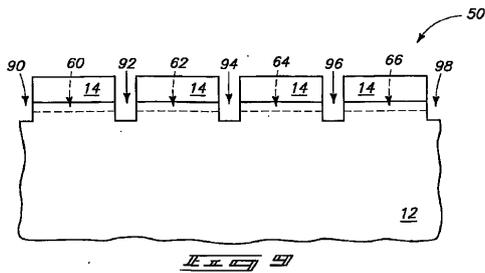
【 図 8 】



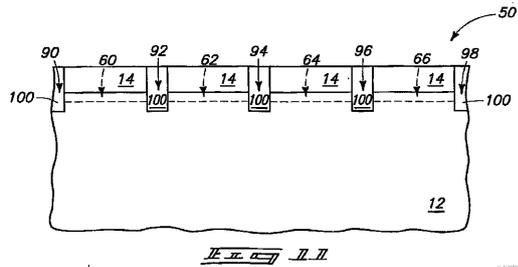
【 図 10 】



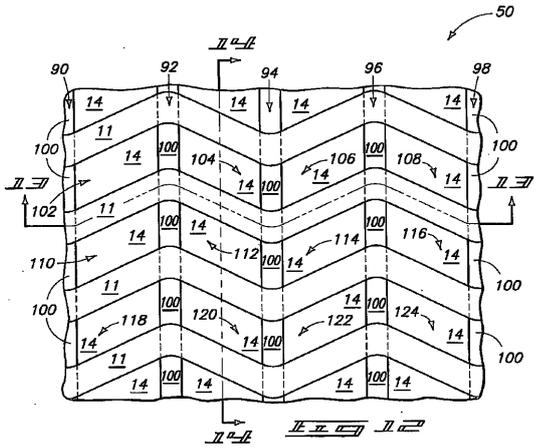
【 図 9 】



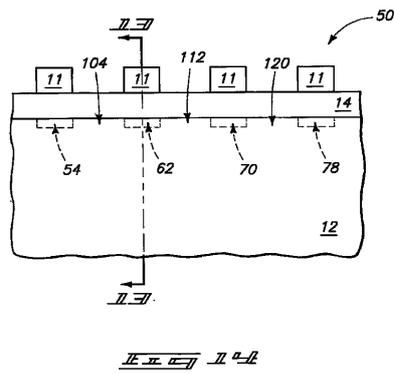
【 図 11 】



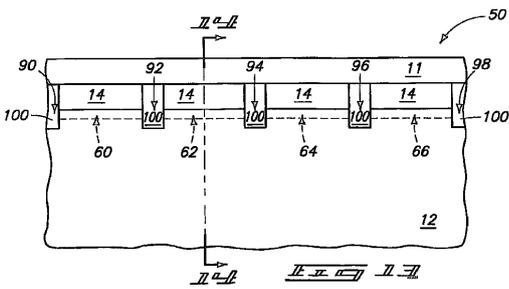
【図 1 2】



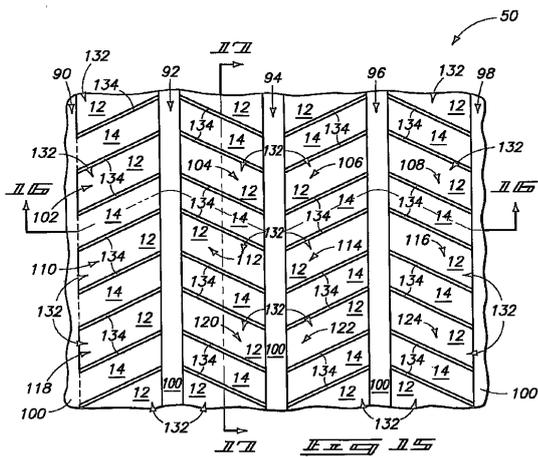
【図 1 4】



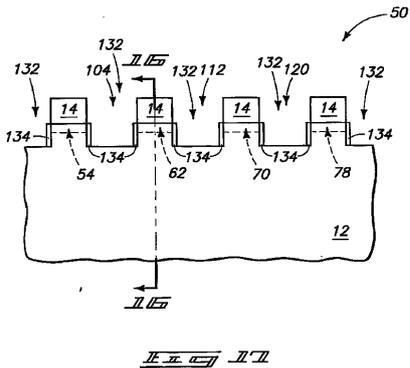
【図 1 3】



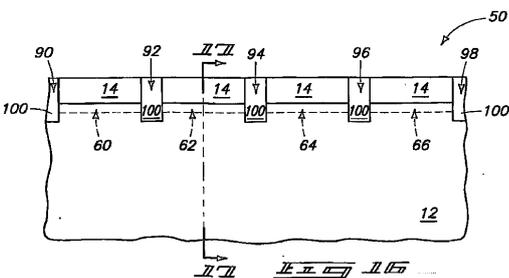
【図 1 5】



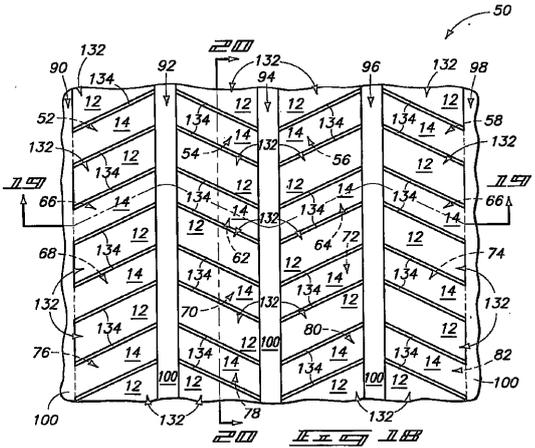
【図 1 7】



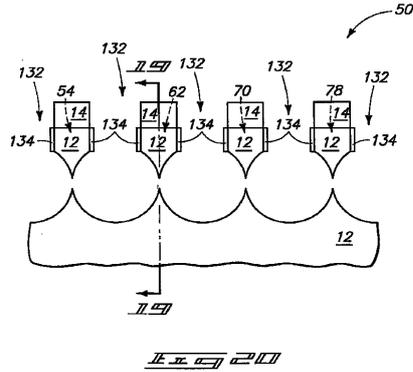
【図 1 6】



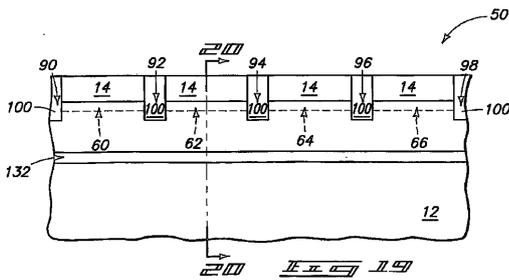
【 図 1 8 】



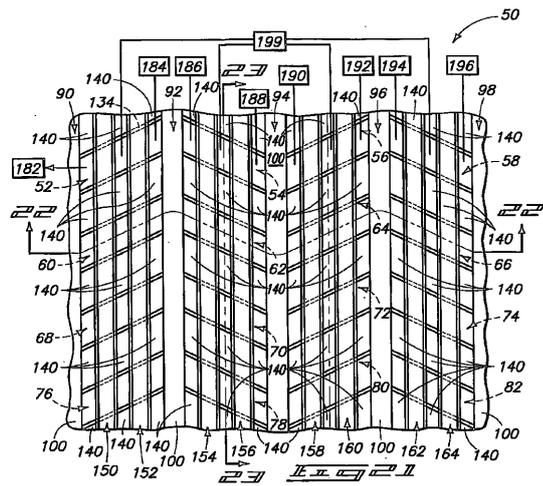
【 図 2 0 】



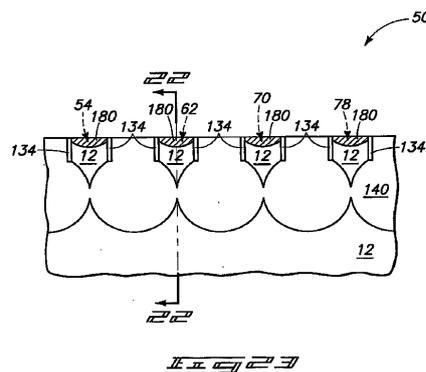
【 図 1 9 】



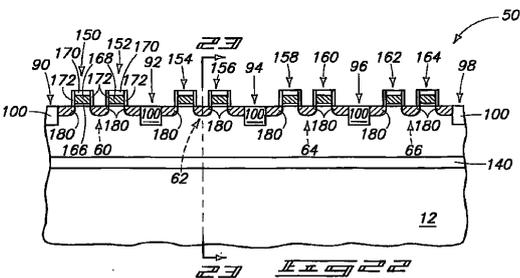
【 図 2 1 】



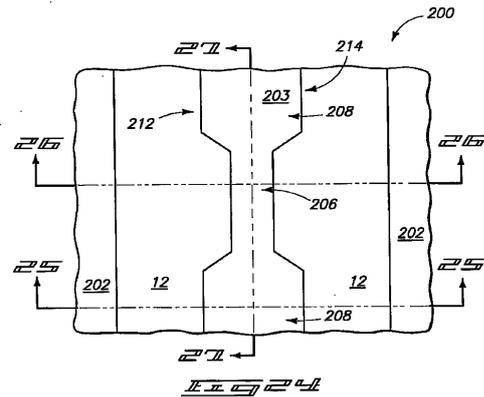
【 図 2 3 】



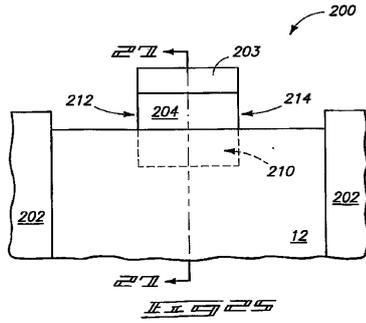
【 図 2 2 】



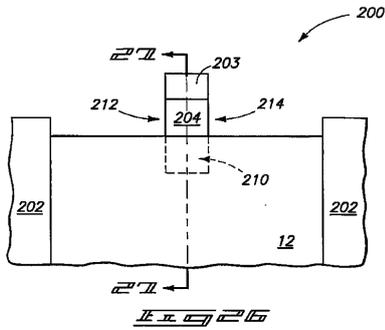
【 図 2 4 】



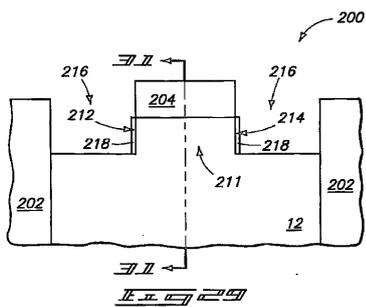
【図 25】



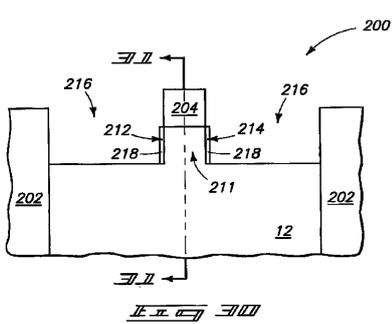
【図 26】



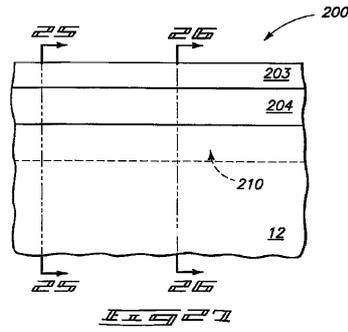
【図 29】



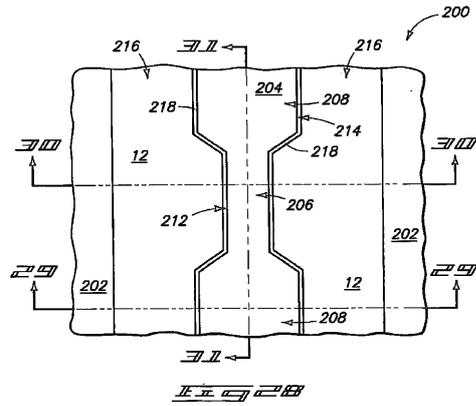
【図 30】



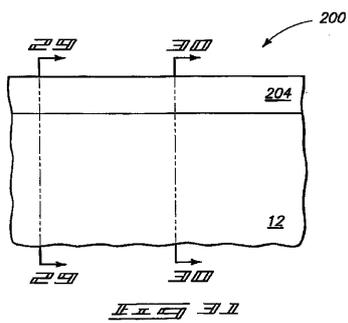
【図 27】



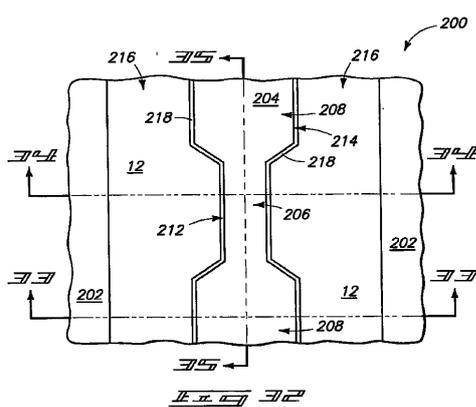
【図 28】



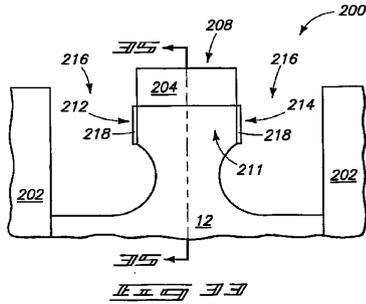
【図 31】



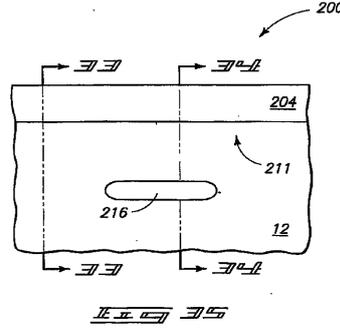
【図 32】



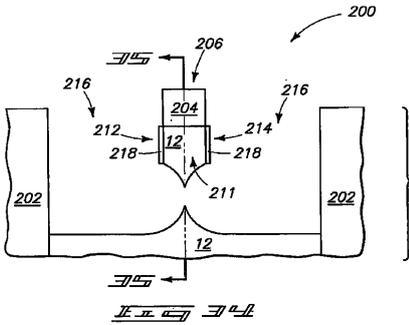
【 図 3 3 】



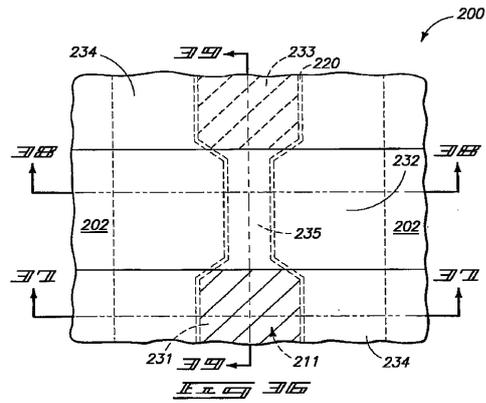
【 図 3 5 】



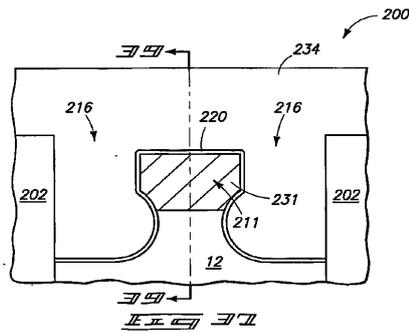
【 図 3 4 】



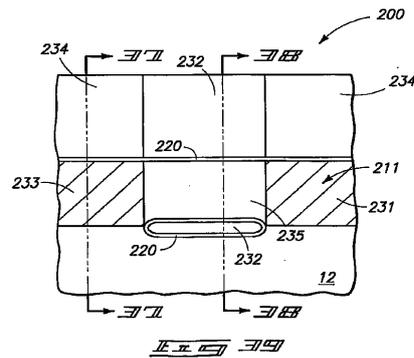
【 図 3 6 】



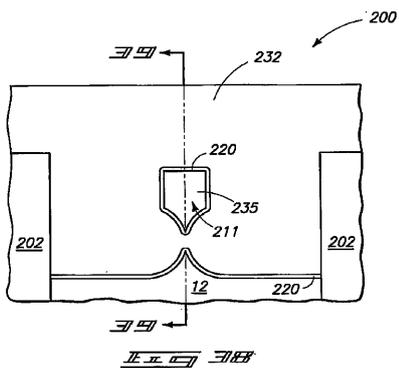
【 図 3 7 】



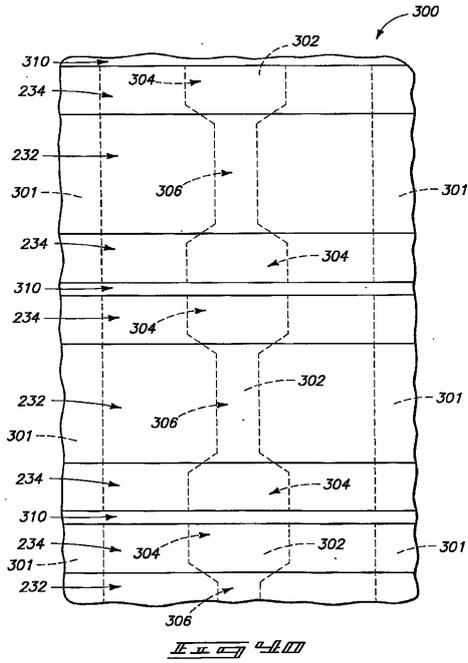
【 図 3 9 】



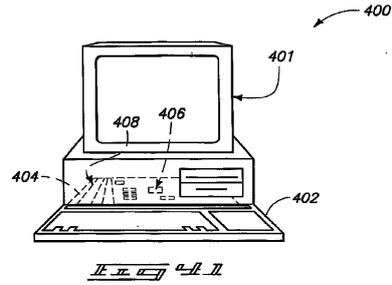
【 図 3 8 】



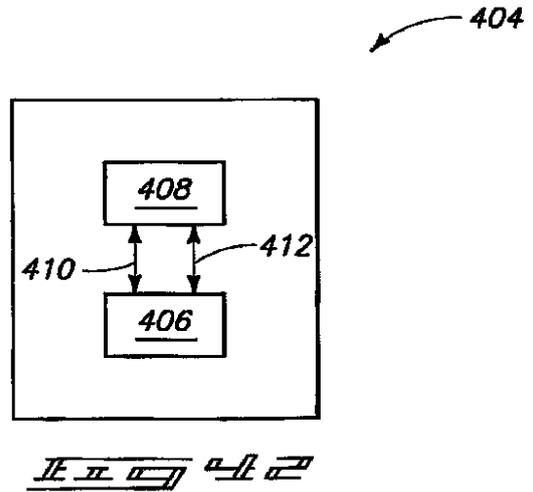
【図40】



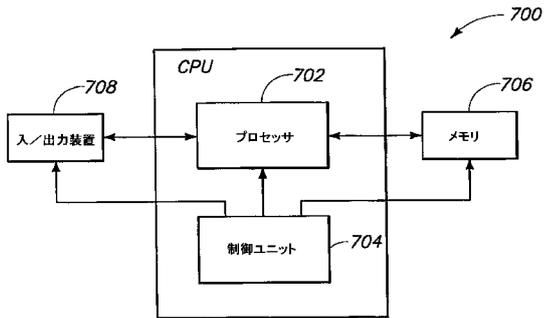
【図41】



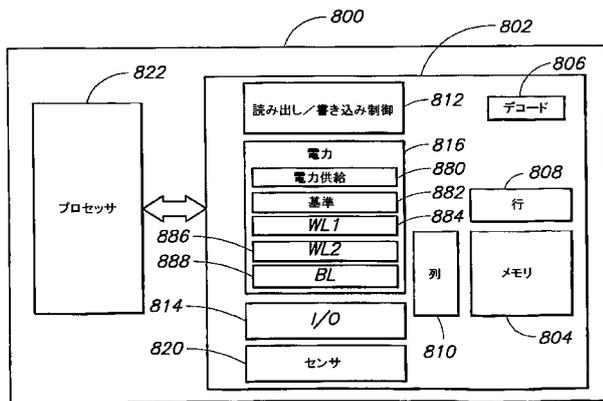
【図42】



【図43】



【図44】



【手続補正書】

【提出日】平成21年4月22日(2009.4.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体材料を提供するステップと、  
広い領域の間に狭い領域を有し、相対する一対の側を有する半導体材料のラインを画定するステップと、

前記ラインの相対する側に沿って一対のトレンチを形成するステップと、  
前記トレンチを狭めるように、前記トレンチの側壁に沿って保護材料を形成するステップと、

前記広い領域の下で前記トレンチ同士を合流させることなく、前記狭い領域の下で前記トレンチ同士を合流させるように、前記トレンチを通して前記半導体材料を等方性エッチングするステップと、

前記ラインの前記狭い領域に沿ってゲート誘電体を形成するステップと、  
導電性のゲート材料を、前記トレンチ内および前記広い領域の下に形成するステップと

、  
前記半導体材料の前記ラインの前記広い領域を、前記半導体材料の前記ラインの前記狭い領域で構成されるチャンネル領域によって互いに離されている一対のソース/ドレイン領域を形成するように、導電的にドーピングするステップと、  
を含み、

前記ラインの前記狭い領域は外周を有し、  
前記ゲート材料は、前記ラインの前記狭い領域の前記外周を全体的に囲むトランジスタゲートであることを特徴とする、  
トランジスタを形成する方法。

【請求項2】

前記保護材料は前記ゲート誘電体を形成するステップの前に除去され、前記ゲート誘電体は前記ラインの前記狭い領域を全体的に囲むように形成されることを特徴とする、  
請求項1の方法。

【請求項3】

前記半導体材料は単結晶シリコンであり、前記ゲート材料は、金属、金属化合物、および導電的にドーピングされた半導体材料からなるグループから選択された少なくとも一種の組成物を含むことを特徴とする、  
請求項1の方法。

【請求項4】

前記ゲート材料が、  
前記合流したトレンチ内に半導体材料を堆積するステップと、  
前記半導体材料が前記合流したトレンチ内に堆積されるときに、その場で前記半導体材料をドーピングするステップと、  
によって形成される導電的にドーピングされた半導体材料を含むことを特徴とする、  
請求項1の方法。

【請求項5】

前記ゲート材料が、  
前記合流したトレンチ内に半導体材料を堆積するステップと、  
導電性を増強するドーパントを、堆積した半導体材料に注入するステップと、  
によって形成される導電的にドーピングされた半導体材料を含むことを特徴とする、

請求項 1 の方法。

## 【請求項 6】

広い領域の間に狭い領域を有する、半導体材料のラインと、  
前記狭い領域を全体的に取り囲む誘電性材料と、  
前記狭い領域を全体的に取り囲んで拡がり、前記誘電性材料によって前記ラインの前記狭い領域から離されているゲート材料と、  
前記ラインの前記狭い領域内のチャンネル領域と、  
前記ラインの前記広い領域内にあり、前記チャンネル領域によって互いに離されている、  
一对のソース/ドレイン領域と、  
を含む、半導体装置。

## 【請求項 7】

前記半導体材料は単結晶シリコンを含み、  
前記ゲート材料は、金属、金属化合物、および導電的にドーブされた半導体材料のうち  
一種以上を含むことを特徴とする、  
請求項 6 の装置。

## 【請求項 8】

単結晶シリコンベース上の絶縁材料によって支持され、前記絶縁材料は前記ベースと前  
記ゲート材料の間にあることを特徴とする、  
請求項 6 の装置。

## 【請求項 9】

広い領域の間に狭い領域を有する半導体材料のラインであって、前記広い領域はトラン  
ジスタのソース/ドレイン領域を含み、前記狭い領域は前記ソース/ドレイン領域の間の  
チャンネルを含む、ラインと、  
前記狭い領域を全体的に取り囲む第一の誘電性材料と、  
前記狭い領域を全体的に取り囲んで拡がり、前記誘電性材料によって前記ラインの前記  
狭い領域から離されているトランジスタゲート材料と、  
前記ラインの前記広い領域を通して延び、隣接する広い領域同士を互いに隔てている第  
二の誘電性材料と、  
を含む、半導体部品。

## 【請求項 10】

前記ラインの前記広い領域上の第三の誘電性材料をさらに含み、  
前記第三の誘電性材料は、前記トランジスタゲート材料と前記第二の誘電性材料の間に  
あることを特徴とする、  
請求項 9 の部品。

## 【請求項 11】

プロセッサと、  
アドレス回路と読み出し回路を介して前記プロセッサと通信するメモリと、  
を含む、  
前記メモリと前記プロセッサのうち少なくとも一つはトランジスタを含み、前記トラ  
ンジスタは、

広い領域の間に狭い領域を有する半導体材料のラインと、  
前記狭い領域を全体的に取り囲む誘電性材料と、  
前記狭い領域を全体的に取り囲んで拡がり、前記誘電性材料によって前記ラインの  
前記狭い領域から離されているゲート材料と、  
前記ラインの前記狭い領域内のチャンネル領域と、  
前記ラインの前記広い領域内にあり、前記チャンネル領域によって互いに離されてい  
る一对のソース/ドレイン領域と、  
を含むことを特徴とする、

電子システム。

## 【請求項 12】

前記半導体材料は単結晶シリコンを含み、

前記ゲート材料は、金属、金属化合物、および導電的にドーピングされた半導体材料のうち一種以上を含むことを特徴とする、

請求項 1 1 の電子システム。

【請求項 1 3】

前記トランジスタは単結晶シリコンベース上の絶縁材料によって支持され、

前記絶縁材料は前記ベースと前記ゲート材料の間にある、

請求項 1 1 の電子システム。

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

		International application No PCT/US2007/016947
A. CLASSIFICATION OF SUBJECT MATTER INV. H01L21/762		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2005/117073 A (KONINKL PHILIPS ELECTRONICS NV [NL]; SONGSKY JAN [BE]; HIJZEN ERWIN A [ ]) 8 December 2005 (2005-12-08) page 9, line 24 - page 10, line 6; claims 4,5; figures 1-3	1-47 48-50
A		
X	US 2005/029619 A1 (FORBES LEONARD [US]) 10 February 2005 (2005-02-10) page 3, paragraph 40 - page 4, paragraph 56; figures 1a-1f	1-50
X	EP 0 059 264 A (ROCKWELL INTERNATIONAL CORP [US]) 8 September 1982 (1982-09-08) page 3 - page 4; figures 1-6	1-35 36-50
A		
X	US 4 845 048 A (TAMAKI TOKUHIKO [JP] ET AL) 4 July 1989 (1989-07-04) abstract; figures 1A-1H	1-35
X		
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents :		
*A* document defining the general state of the art which is not considered to be of particular relevance		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
*E* earlier document but published on or after the international filing date		*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
*L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
*O* document referring to an oral disclosure, use, exhibition or other means		*Z* document member of the same patent family
*P* document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 11 February 2008		Date of mailing of the international search report 18/02/2008
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Hedouin, Mathias

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

PCT/US2007/016947

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2005117073 A	08-12-2005	EP 1754250 A2 US 2007246754 A1	21-02-2007 25-10-2007
US 2005029619 A1	10-02-2005	US 2005087842 A1	28-04-2005
EP 0059264 A	08-09-1982	JP 57157569 A	29-09-1982
US 4845048 A	04-07-1989	JP 2044496 C JP 7079133 B JP 62291940 A	09-04-1996 23-08-1995 18-12-1987

## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

H 0 1 L	29/78	6 1 8 C
H 0 1 L	29/78	6 1 7 K
H 0 1 L	29/78	6 2 6 C

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 ヤン, シアワン

アメリカ合衆国, アイダホ州 8 3 7 0 6, ボイズ, サウス ロジャーズ ポンド プレイス 1  
4 8 6, アパートメント 2 1

Fターム(参考) 5F032 AA34 AA39 AA44 AA45 AA77 CA17 DA23 DA25 DA26 DA33  
5F110 BB06 CC02 CC10 DD05 DD13 DD21 EE02 EE08 EE22 GG02  
GG12 GG22 HJ13 NN03 NN23 NN24 NN62 NN65 NN72