



# (12)发明专利申请

(10)申请公布号 CN 107357745 A

(43)申请公布日 2017. 11. 17

(21)申请号 201610300619.3

(22)申请日 2016.05.09

(71)申请人 飞思卡尔半导体公司

地址 美国得克萨斯

(72)发明人 M·加尔达 梅汪生 M·米恩基纳

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 金晓

(51)Int.Cl.

G06F 13/28(2006.01)

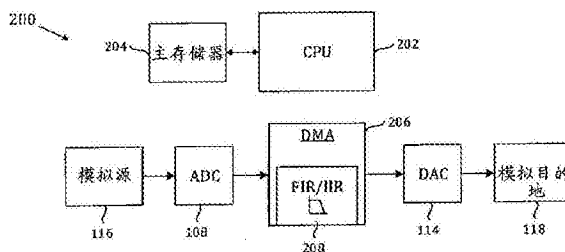
权利要求书2页 说明书5页 附图5页

## (54)发明名称

具有算术单元的DMA控制器

## (57)摘要

本发明涉及具有算术单元的DMA控制器。其中,数字信号处理器(DSP)包括CPU和DMA控制器。DMA控制器根据来自CPU的初始化命令将数据从源传送到目的地。DMA控制器具有逻辑单元,该逻辑单元对经由DMA控制器传送的数据流即时执行滤波器运算和其它算术运算。滤波器运算包括乘以滤波器系数并相加,而无需CPU处理。DMA控制器可以具有能够执行不同运算的硬件配置的子集,其中不同运算根据初始化命令可选择。



1. 一种数字信号处理器,包括:

中央处理器单元CPU;

主系统存储器;以及

直接存储器存取DMA控制器,所述DMA控制器将所述CPU耦合到所述主系统存储器,所述DMA控制器用于根据来自所述CPU的初始化命令将数据从源存储器地址传送到目的地存储器地址,所述DMA控制器包括:

逻辑单元,用于对经由所述DMA控制器从所述源存储器地址传送到所述目的地存储器地址的数据流即时执行滤波器运算,其中所述滤波器运算包括乘以滤波器系数并相加,而无需所述CPU处理。

2. 根据权利要求1所述的数字信号处理器,其中所述逻辑单元包括乘法器和累加器,并且其中所述滤波器运算包括乘法累加MAC运算。

3. 根据权利要求1所述的数字信号处理器,其中所述逻辑单元还执行组合多个数据输入的算术运算,其中所述算术运算包括针对所述多个数据输入的增加、减法、乘法、平方根运算及其组合中的至少一种。

4. 根据权利要求1所述的数字信号处理器,其中所述DMA控制器还包括:

存储所述数据流的历史值的输入寄存器和输出寄存器;以及

存储所述滤波器系数的查找表LUT存储器。

5. 根据权利要求1所述的数字信号处理器,其中所述DMA控制器根据所述初始化命令,将输入存储器指针和输出存储器指针保存到所述主系统存储器中的所述源存储器地址和所述目的地存储器地址,并且将查找表LUT指针保存到所述主系统存储器中存储所述滤波器系数的地址。

6. 根据权利要求1所述的数字信号处理器,其中所述DMA控制器根据所述初始化命令,将输入存储器指针和输出存储器指针保存到所述主系统存储器中的所述源存储器地址和所述目的地存储器地址,并且将查找表LUT指针保存到所述DMA控制器中用于存储所述滤波器系数的本地存储器中的地址。

7. 根据权利要求1所述的数字信号处理器,其中所述DMA控制器具有用于执行不同运算的硬件配置的多个子集,其中所述DMA控制器根据来自所述CPU的所述初始化命令选择所述子集中的至少一个,并且其中所述DMA控制器执行所选的运算,并在完成所述数据传送和所述运算时向所述CPU发送中断。

8. 根据权利要求1所述的数字信号处理器,其中所述逻辑单元的所述滤波器运算的滤波器类型和滤波器长度由来自所述CPU的所述初始化命令指定。

9. 根据权利要求1所述的数字信号处理器,其中所述DMA控制器还包括用于修改输入至和输出自所述DMA控制器的所述数据流的格式的位二进制移位和掩码单元。

10. 在具有中央处理器单元CPU和用于根据来自所述CPU的初始化命令在源和目的地之间传送数据的直接存储器存取DMA控制器的数字信号处理器中,所述DMA控制器包括:

多个DMA输入通道和至少一个DMA输出通道;

算术单元,用于对通过所述DMA控制器传送的数据即时执行算术运算;

其中所述算术单元具有用于执行不同算术运算的硬件配置的多个子集,所述算术运算包括针对多个DMA输入通道上的数据的加法、减法、乘法、除法、平方根运算及其组合中的至

少一种；

其中所述DMA控制器根据来自所述CPU的所述初始化命令选择所述子集中的至少一个；

其中所述DMA控制器执行至少一种所选的运算，并在完成所述数据传送和至少一种所选的运算时向所述CPU发送中断；

其中所述算术单元包括乘法器和累加器，并且所述算术运算包括乘法累加MAC滤波器运算，并且所述滤波器运算包括乘以滤波器系数并相加，而无需所述CPU处理；

用于存储所述数据流的历史值的输入寄存器和输出寄存器；以及

用于存储所述滤波器系数的查找表LUT存储器。

## 具有算术单元的DMA控制器

### 背景技术

[0001] 本发明涉及集成电路,并且更具体地,涉及具有直接存储器存取(DMA)控制器的数字信号处理器(DSP),该数字信号处理器(DSP)处理由DMA控制器传送的数据。

[0002] DSP可以用于处理诸如音频、视频、仪表和传感器输出信号之类的信号,并且比如用于语音识别。通常,输入信号是模拟信号,其由模拟-数字转换器(ADC)转换为到DSP的数字输入。DSP的数字输出可以使用数字-模拟转换器(DAC)转换回模拟信号。DSP通常可以不太专业化地被称为微处理器,或者通常更加专业化地被称为微控制器(MCU),并且可以形成单一集成电路(IC)或者可以具有多于一个半导体芯片。

[0003] 常规的DSP通常包括中央处理器单元(CPU)、包含随机存取存储器(RAM)的主系统存储器以及直接存储器存取(DMA)控制器。如果CPU本身在涉及主系统存储器的源和目的地之间执行读和写编程输入/输出(I/O)传送操作,其处理能力无法在其执行I/O传送的同时再处理任务。典型的DMA控制器在源存储器地址和目的地存储器地址之间执行硬件数据传送,而无需由CPU处理。CPU启动所述传送,指定了待传送的数据的源地址和目的地地址,然后CPU自由地执行其它处理任务,直到DMA控制器向CPU发送中断,用信号表示完成了I/O操作为止。常规的DMA控制器无法修改正从源地址传送到目的地地址的数据。即,仅仅将数据从源复制到目的地。

[0004] 常规的DSP可以包括专用硬件单元,所述硬件单元对输入数据执行由CPU选择的指令的预定义列表、存储输出结果并通过例如中断信号通知CPU。然而,这样的专用硬件单元增加了DSP的复杂度。

[0005] 以最小的DSP复杂度降低CPU的处理负载将是有利的。

### 附图说明

[0006] 通过参照附图所示的本发明实施例的以下说明,可以更好地理解本发明及其目的和优点。图中的元件是为了简化和清楚而例示的,并且不一定按比例绘制。

[0007] 图1是包括执行滤波器运算的CPU并且还包含DMA控制器的常规DSP的示意性框图;

[0008] 图2是根据本发明的实施例的包括能够传送数据并且针对正在传送的数据执行滤波器运算的DMA控制器的DSP的示意性框图;

[0009] 图3是图2中的DSP的DMA控制器的示意性框图;

[0010] 图4是图3中例示的DMA控制器的运算的功能图;

[0011] 图5示出了在传送数据的情况下以及在传送数据并且还执行滤波器运算的情况下图1和图2中的DSP的CPU和DMA所耗费的系统时钟周期的数量的图表;

[0012] 图6是包括执行算术运算的CPU并且还包含DMA控制器的常规DSP的示意性框图;

[0013] 图7是根据本发明另一个实施例的包括能够传送数据并且针对正在传送的数据执行算术运算的DMA控制器的DSP的示意性框图;

[0014] 图8是常规DMA控制器的示意性框图;以及

[0015] 图9是根据本发明的实施例的传送数据并且针对正在传送的数据执行逻辑运算和

算术运算的DMA控制器的示意性框图。

### 具体实施方式

[0016] 图1例示了常规的数字信号处理器(DSP)100,该DSP 100包括中央处理器单元(CPU)102、主系统存储器以及根据来自CPU的初始化命令将数据从源存储器地址传送到目的地存储器地址的常规的直接存储器存取(DMA)控制器104和106。在该示例中,DMA控制器104的源存储器地址是模拟-数字转换器(ADC)108的输出寄存器,并且其目的地存储器地址是用于CPU 102的输入缓冲器110。DMA控制器106的源存储器地址是用于CPU 102的输出缓冲器112,并且其目的地存储器地址是数字-模拟转换器(DAC)114的输入寄存器。ADC 108从诸如音频或视频信号源的模拟源116或比如模拟仪或传感器接收采样后的离散时间模拟输入信号,并且将对应的数字信号存储在输入缓冲器110中。DAC 114从输出缓冲器112接收经过处理的数字信号,并且将对应的模拟信号传送到目的地118,诸如音频或视频信号输出或比如模拟显示器。

[0017] 在DSP 100中,CPU 102通过包括软件FIR/IIR模块120的软件过程对数字信号执行有限脉冲响应(FIR)或无限脉冲响应(IIR)滤波器运算。FIR/IIR滤波器运算减少和/或增强了采样后的信号的某些特性。DMA 104和DMA 106仅仅将数据从源存储器地址108、112传送到目的地存储器地址110、114。软件过程中的FIR/IIR计算表示降低了CPU 102处理其它任务能力、延迟或减慢其它任务的执行、以及即使在CPU不需要用于其它任务时也阻止将CPU置于低功耗模式的CPU 102上的负载。

[0018] 图2例示了根据本发明的实施例的DSP 200。DSP 200包括CPU 202、至少部分可以是随机存取存储器(RAM)的主系统存储器204以及DMA控制器206。DMA控制器206根据来自CPU的初始化命令将数据从源存储器地址传送到目的地存储器地址。DMA 206包括逻辑单元208,该逻辑单元208对经由DMA控制器从源存储器地址传送到目的地存储器地址的数据流即时执行滤波器运算。滤波器运算包括乘以滤波器系数并相加,而无需CPU处理。

[0019] 当数据流通过DMA控制器正在从源存储器地址传送到目的地存储器地址时,表达式即时应用于针对该数据流执行的运算。在DSP 200中,滤波器计算可以由DMA控制器206中的硬件组合逻辑执行,从CPU 202上的负载消除滤波器计算。释放CPU 202的处理能力以用于其它任务。DMA控制器可以连续不断地处理滤波器计算,并且即使DMA控制器206尚未完成滤波器计算,当CPU不需要用于其它任务时,也可以将CPU置于低功耗模式。

[0020] 逻辑单元208可以包括乘法器和累加器,并且滤波器运算可以包括乘法累加(MAC)运算。乘法器和累加器可以对定点数据、浮点数据或分数数据执行MAC运算。逻辑单元208可以支持对数据的舍入和限制。

[0021] 逻辑单元208还可以执行组合多个数据输入的算术运算,所述算术运算包括针对所述多个数据输入的加法、减法、乘法和平方根运算及其组合中的至少一种。

[0022] 图3例示了DSP 200中的配置,其中DMA控制器206根据来自CPU的初始化命令将数据从源存储器地址302传送到目的地存储器地址304。DMA 206包括算术逻辑单元(ALU)208,该ALU 208对经由DMA控制器从源存储器地址302传送到目的地存储器地址304的数据流即时执行滤波器运算。滤波器运算包括乘以滤波器系数 $a_1$ 至 $a_M$ 和 $b_0$ 至 $b_N$ 以及相加而无需所述CPU 202处理。DMA控制器206可以包括存储数据流的历史值 $x_1$ 至 $x_{n-N}$ 和 $y_1$ 至 $y_{n-M}$ 的输入寄存器

306和输出寄存器308,以及存储滤波器系数 $a_1$ 至 $a_m$ 和 $b_0$ 至 $b_n$ 的查找表(LUT)存储器310。

[0023] DMA控制器206根据初始化命令,可以将输入存储器指针和输出存储器指针保存到主系统存储器204中的源存储器地址302和目的地存储器地址304,并且可以将LUT指针保存到主系统存储器204中存储滤波器系数的地址。在另一个实施方式中,DMA控制器可以将LUT指针保存到DMA控制器中存储滤波器系数的本地存储器204中的地址。本地存储器可以是直接包括在DMA控制器中的小型RAM缓冲器。本实施方式可以保存额外的系统周期,通过系统总线访问位于主存储器中数据需要这些系统周期。

[0024] DMA控制器206可以具有执行不同运算的硬件配置的多个子集,并且DMA控制器根据来自CPU的初始化命令可以选择所述子集中的至少一个。DMA控制器可以执行所选的运算,并在完成数据传送和运算时向CPU发送中断。

[0025] 逻辑单元208的滤波器运算的滤波器类型和滤波器长度可以由来自CPU的初始化命令来选择。

[0026] DMA控制器206可以包括修改输入至和输出自DMA控制器的数据流的格式的二进制移位和掩码单元312和314。

[0027] 图4是例示了DMA控制器206和作为IIR滤波器的逻辑单元208的示例的运算的功能图。来自源地址302的输入数字信号 $x_n$ ,在任意输入移位和掩码函数312后,通过连续的输入寄存器306。在任意输出移位和掩码函数314后提供给目的地地址304的输出信号 $y_n$ 通过连续的输出寄存器308。输入寄存器306和输出寄存器308操作为保持瞬时和历史输入信号 $x_n$ 至 $x_{n-N}$ 以及输出结果信号 $y_n$ 至 $y_{n-M}$ 的先进先出(FIFO)缓冲器。逻辑单元208中的MAC函数具有配置为将历史信号乘以来自LUT存储器310的滤波器系数 $a_1$ 至 $a_m$ 以及 $b_0$ 至 $b_n$ 的乘法元件(此处例示为放大器)402和404。在乘法之后,加法元件406和408再累加信号。将认识到,其它FIR或IIR或其它滤波器能够以不同数学形式和结构来实现。例示的DMA控制器206是被称为直接形式I的形式示例。

[0028] 图5示出了图表500,该图表500比较了在传送数据(柱状502和柱状504)的情况下以及在传送数据并且还执行滤波器运算(柱状506和柱状508)的情况下,图1和图2中的DSP 100和DSP 200的CPU和DMA所耗费的系统时钟周期的数量。例示了256x16-位数据缓冲器被从闪存存储器传送到RAM中的输出缓冲器的情况。针对具有在72MHz的处理器核心时钟频率下的16-位FIR系数的4抽头FIR即时低通计算,例示了滤波器函数。

[0029] 柱状502示出了系统时钟节拍中的CPU 102的活动,其中,输入数据被从输入缓冲器提取、从输入传送到输出并存储到输出缓冲器中。CPU 102需要6750个周期以复制缓冲器,在此期间无法做任何其它事情。在DSP 200的情况下,CPU 202只需要305个由柱状504所示的CPU系统周期以重新配置DMA 206,然后DMA 206在后台工作。卸载CPU以用于其它任务。

[0030] 柱状506示出了系统时钟节拍中的CPU 102的活动,其中,输入数据被从输入缓冲器提取、在通过CPU 102从输入传送到输出期间被FIR计算所处理并被存储到输出缓冲器中。CPU 102需要20500个周期以从缓冲器读取输入数据、执行FIR计算并将结果存储到输出缓冲器中。更复杂的计算会消耗如此多的周期,以至于CPU 102无法与管理其它时间要求苛刻的任务一起即时处理数据。在DSP 200的情况下,CPU 202需要少得多的由柱状508所示的CPU系统周期以重新配置DMA 206,然后DMA 206在后台工作,并且卸载CPU以用于其它任务。在许多情况下,DMA 206可以只配置一次,然后能够针对一批数据连续不断地处理输入数据

流,而无需重新配置。

[0031] 图6例示了从传感器602和传感器604接收电压模拟输入信号u和电流模拟输入信号i的常规功率计量DSP 600。DSP 600具有在两个输入通道中的将模拟信号u和i转换为对应的数字信号U和I的ADC606和ADC 608。DMA控制器通道610和612将数字信号从ADC 606和ADC 608传送到CPU 614。CPU 614将电压值乘以电流值,并通过软件过程在低通滤波器LPF中对结果进行滤波,并且通过输出DMA控制器将乘积 $P=U*I$ 提供给数字显示器618。输入缓冲器I/P缓冲器1和I/P缓冲器2以及输出缓冲器O/P缓冲器将数字输入和输出信号存储在CPU 614中。从输入缓冲器I/P缓冲器1和I/P缓冲器2提取数字输入和输出信号、计算乘积 $P=U*I$ 并将输出信号存储在输出缓冲器O/P缓冲器中的软件过程代表降低了CPU 614用于其它任务的处理能力、延迟或减慢其它任务的执行、以及即使在CPU不需要用于其它任务时仍阻止将CPU置于低功耗模式的CPU 614上的负载。

[0032] 图7例示了根据本发明另一个实施例的DSP 700。例示的DSP 700是从传感器602和传感器604接收电压模拟输入信号u和电流模拟输入信号i的功率计量DSP,但是应意识到,DSP 700能够适合于其它用途。DSP 700具有将模拟输入信号u和i转换为数字信号U和I的ADC 606和ADC 608以及CPU 702。

[0033] DSP 700还具有根据来自CPU 702的初始化命令在源ADC 606和608以及目的地706之间传送数据的DMA控制器704。DMA控制器704包括多个DMA输入通道708、710以及至少一个DMA输出通道712。DMA控制器704还包括算术单元714,用于对通过DMA控制器704传送的数据即时执行算术运算。算术单元714具有执行不同算术运算的硬件配置的多个子集,算术运算包括针对所述多个DMA输入通道上的数据的加法、减法、乘法、除法和平方根运算及其组合中的至少一种。DMA控制器704根据来自CPU 702的初始化命令选择子集中的至少一个。DMA控制器704执行所选的运算,并在完成数据传送和算术运算时向CPU 702发送中断。

[0034] 在图7例示的示例中,DMA输入通道708、710接收数字信号U和I,算术单元714通过硬件计算将电压值乘以电流值、在低通滤波器716中对结果进行滤波并将乘积 $P=U*I$ 的直流分量直接提供给目的地,即数字显示器706。低通滤波器716可以例如是截止频率低于1Hz的一阶IIR滤波器。

[0035] 图8例示了如104、106的常规DMA控制器800的结构。DMA控制器800通过高速总线802和低速从总线804将数据从例如108的源存储器地址传送到例如114的目的地存储器地址。DMA控制器800通过低速总线804与例如102的CPU交换初始化命令、中断、地址以及其它消息。地址译码器和寄存器模块806至少存储初始源存储器地址和初始目的地存储器地址。控制和仲裁模块808通过数据路径810与总线802交换数据,并通过配置模块812控制数据传送。配置模块812选择对应于来自CPU的初始化命令的编码指令的预定义配置(例如用于读或写操作),并控制DMA控制器800的每个通道814和816中的数据流入和流出从总线804。DMA 800只将数据从源存储器地址108、112传送到目的地存储器地址110、114,而在传送期间并不对数据执行逻辑和算术运算。

[0036] 图9例示了根据本发明的实施例的DMA控制器900的结构。与DMA控制器800类似,DMA控制器900具有地址译码器和寄存器模块806以及通过数据路径810与总线802交换数据的控制和仲裁模块808。DMA 900能够将数据从源存储器地址108、112传送到目的地存储器地址110、114而不对数据进行处理(如果不需要任何处理的话)。DMA 900还具有诸如逻辑单

元208或算术单元714的硬件数据处理模块902,在DMA控制器900将数据从源存储器地址传送到目的地存储器地址期间,当需要时硬件数据处理模块902对数据进行即时处理。数据处理模块902由选择对应于来自CPU的初始化命令的编码指令的预定义配置的配置模块904所控制,并控制DMA控制器900的每个通道814和816中的数据流入和流出从总线804。配置模块904直接选择并控制例如读或写操作,并通过运算对象生成器906来控制数据处理模块902进行例如数据处理逻辑和算术运算。

[0037] CPU 202和702可以至少部分地作为软件实现,软件至少包括运行在可编程装置(例如计算机系统)上时用于执行根据本发明的方法的步骤或使得可编程装置能够执行根据本发明的设备或系统的功能的代码。

[0038] 在上述说明书中,已经参照本发明的实施例的具体示例描述了本发明。然而,在不违背所附权利要求中所陈述的本发明的较为宽泛的精神和范围的情况下,明显可以对其进行各种修改和改变。

[0039] 本领域技术人员将认识到,逻辑块之间的界限仅仅是示例性的,并且替代实施例可以合并逻辑模块或电路元件,或者在各种逻辑块或电路元件上施加功能的替代分解。因此,应当理解的是,在本文中描述的构造仅仅是示例性的,并且实际上,可以实施实现相同的功能的多种其它构造。类似地,为实现相同的功能的组件的任意排列有效地“相关联”以实现所需的功能。因此,虽然组件应按如上所述以及附图中所示来予以排列,被组合以实现特定功能的任意两个组件可以视为彼此“相关联”以实现所需的功能。同样地,如此相关联的任意两个组件也可以视为彼此“可操作地连接”或“可操作地结耦合”以实现所需的功能。

[0040] 此外,本领域技术人员将认识到,上述运算之间的界限仅仅是示例性的。多个运算可以组合为单个运算,单个运算可以分布在附加运算中,并且可以至少部分地在时间上重叠地执行运算。此外,替代实施例可以包括特定运算的多个实例,并且在各种其它实施例中,运算的顺序可以变化。

[0041] 在权利要求中,词语‘包括’或‘具有’并不排除存在权利要求中所列的以外的其它元件或步骤。此外,这里使用的术语“一”或“一个”定义为一个或者超过一个。此外,在权利要求中使用引入性短语例如“至少一个”和“一个或多个”,不应解释为暗示通过不定冠词“一”或“一个”引入另一权利要求元素将包含如此引入的权利要求元素的任何具体权利要求限制为仅包括一个这样的元素的发明,即使当同一权利要求包括引入性短语“一个或多个”或“至少一个”以及例如“一”或“一个”的不定冠词时也是如此。这对于定冠词的使用也同样适用。除非另有说明,术语例如“第一”和“第二”被用于任意地区分这些术语描述的元素。因此,这些术语不需要认为是指示这些元素的时间或其它优先。在互相不同的权利要求中记载某些措施的事实并不指示这些措施的组合不能用来得益。



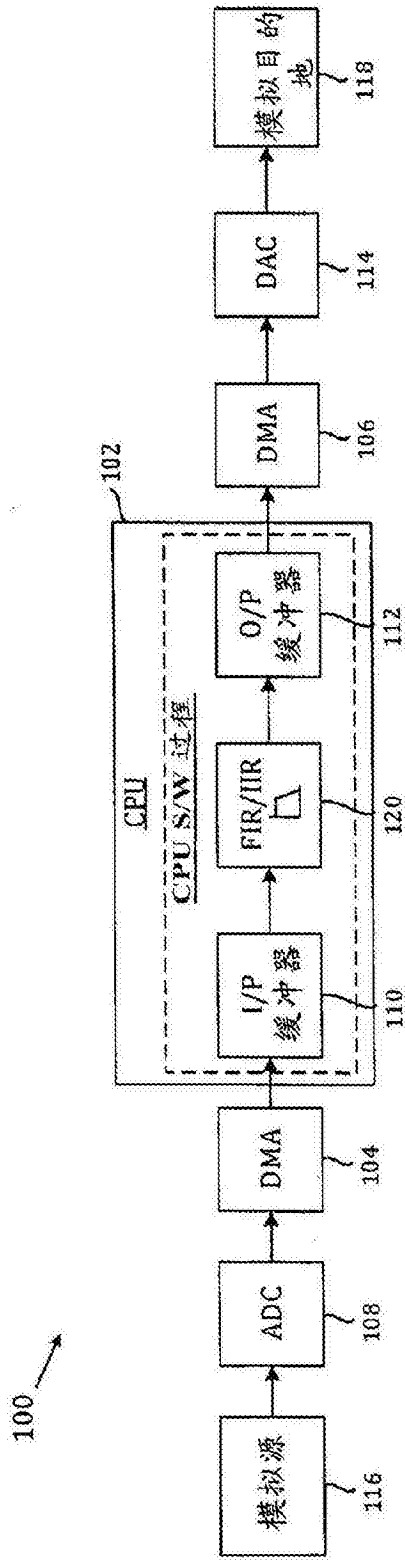


图1(现有技术)

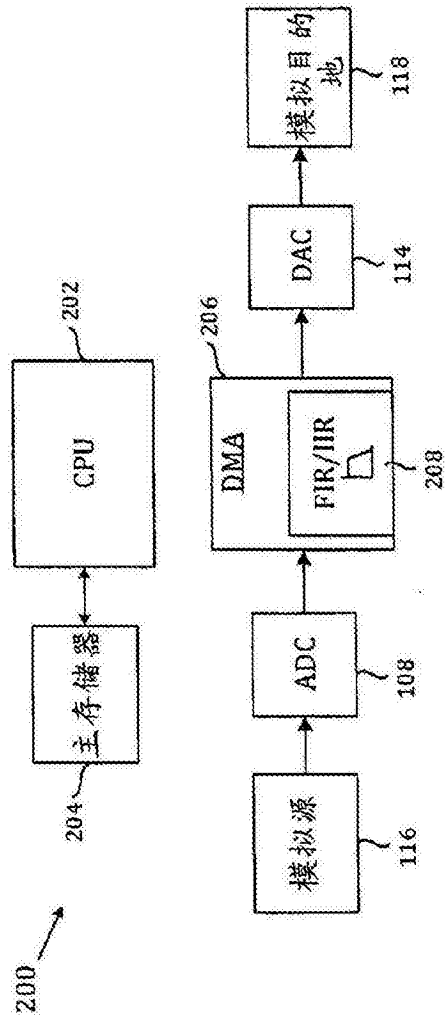


图2

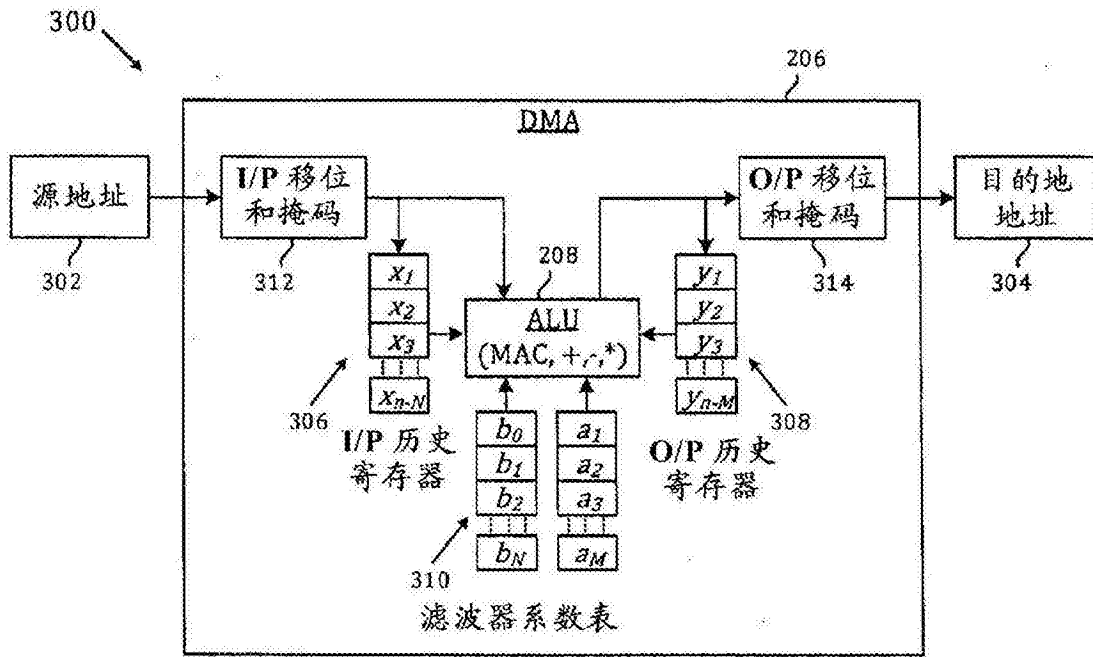


图3

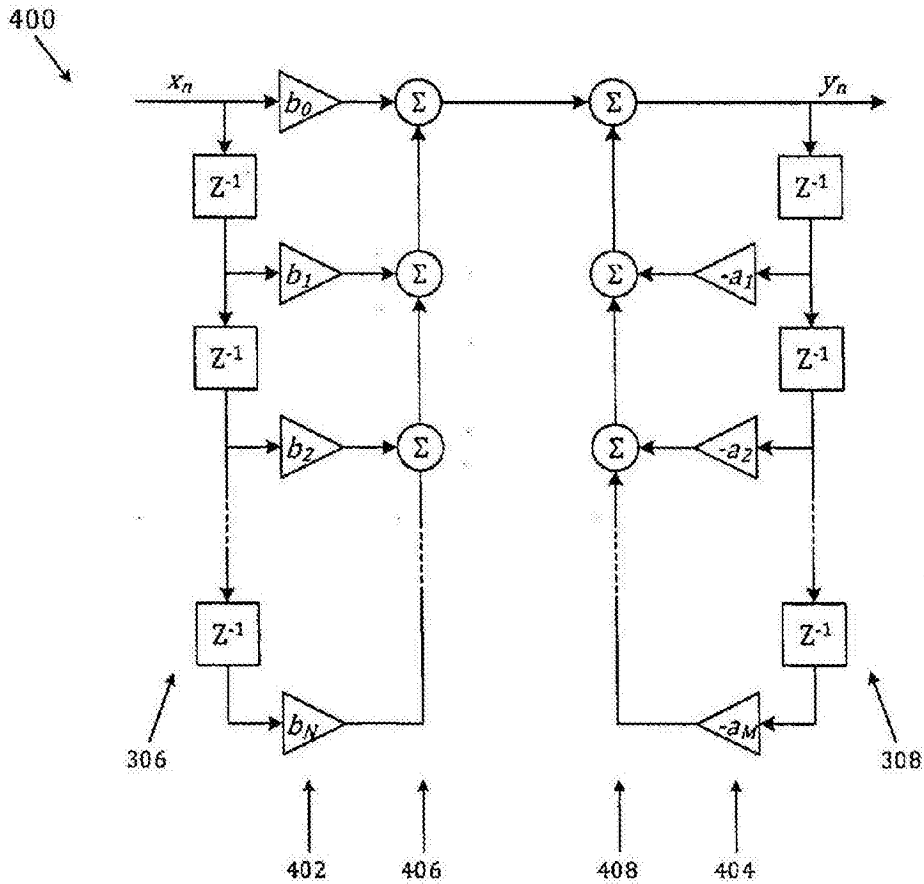


图4

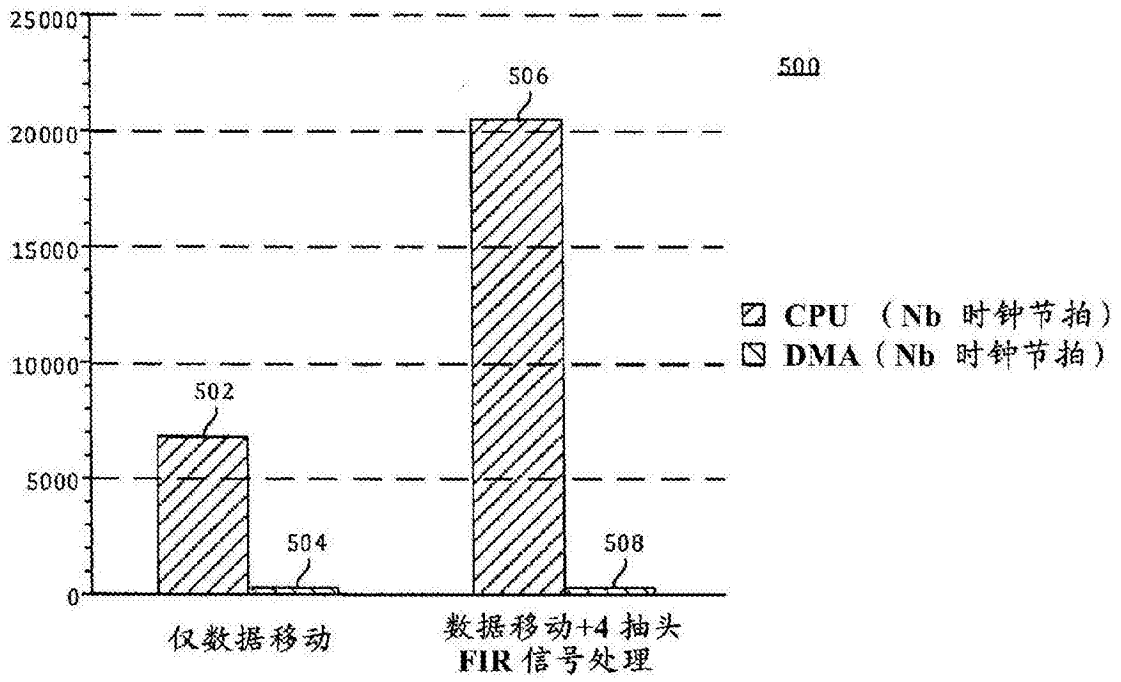


图5

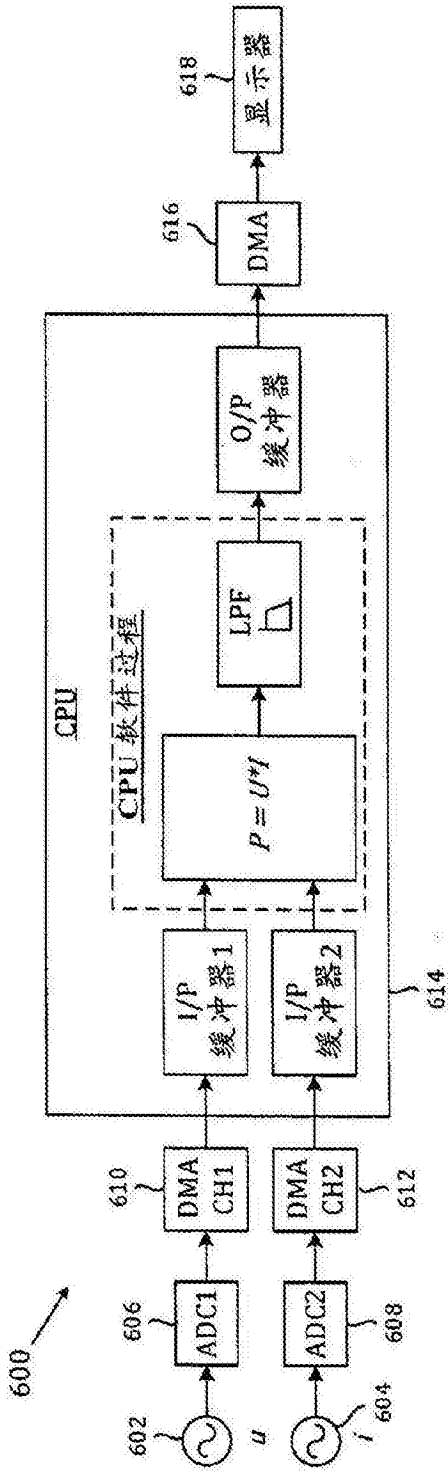


图6(现有技术)

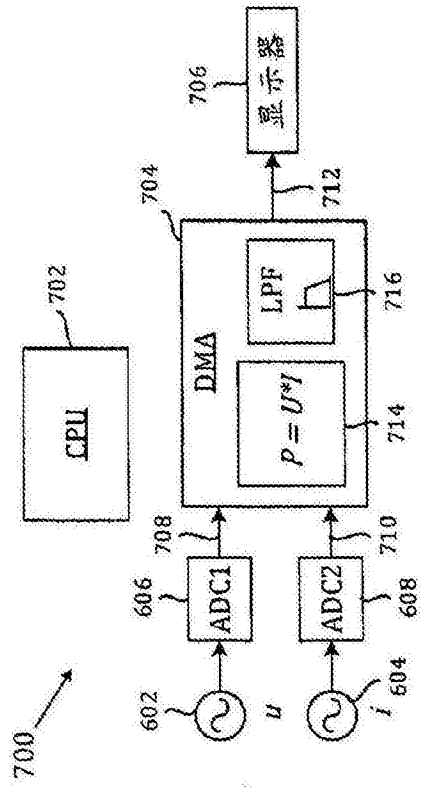


图7

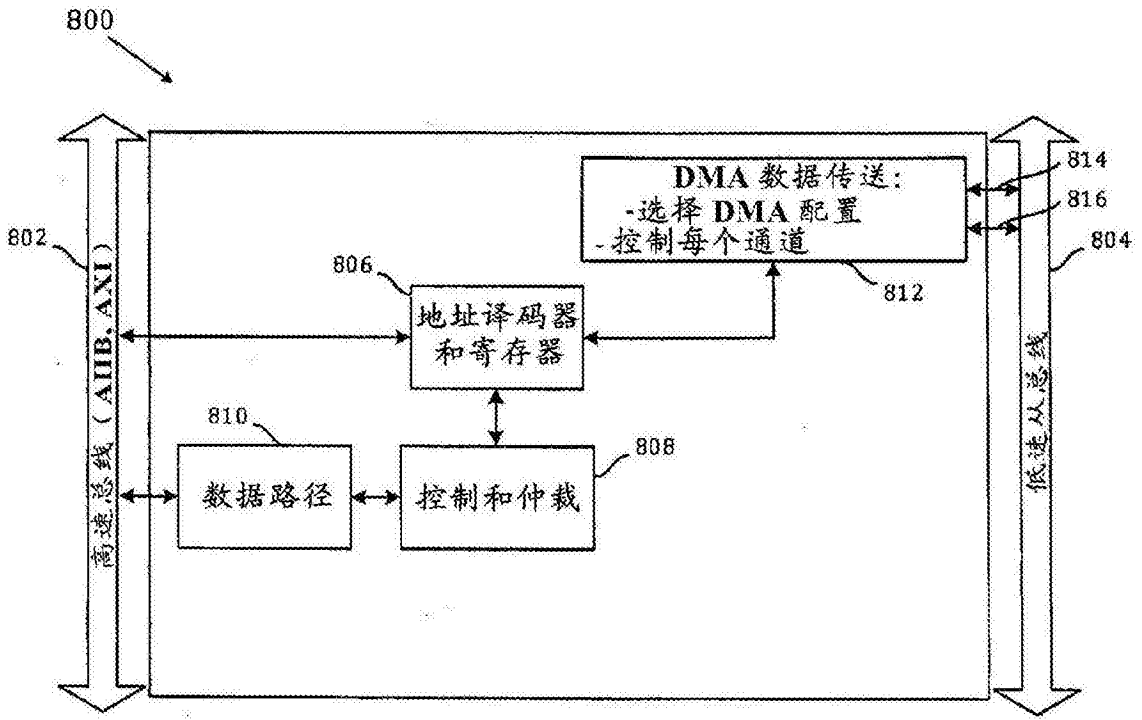


图8(现有技术)

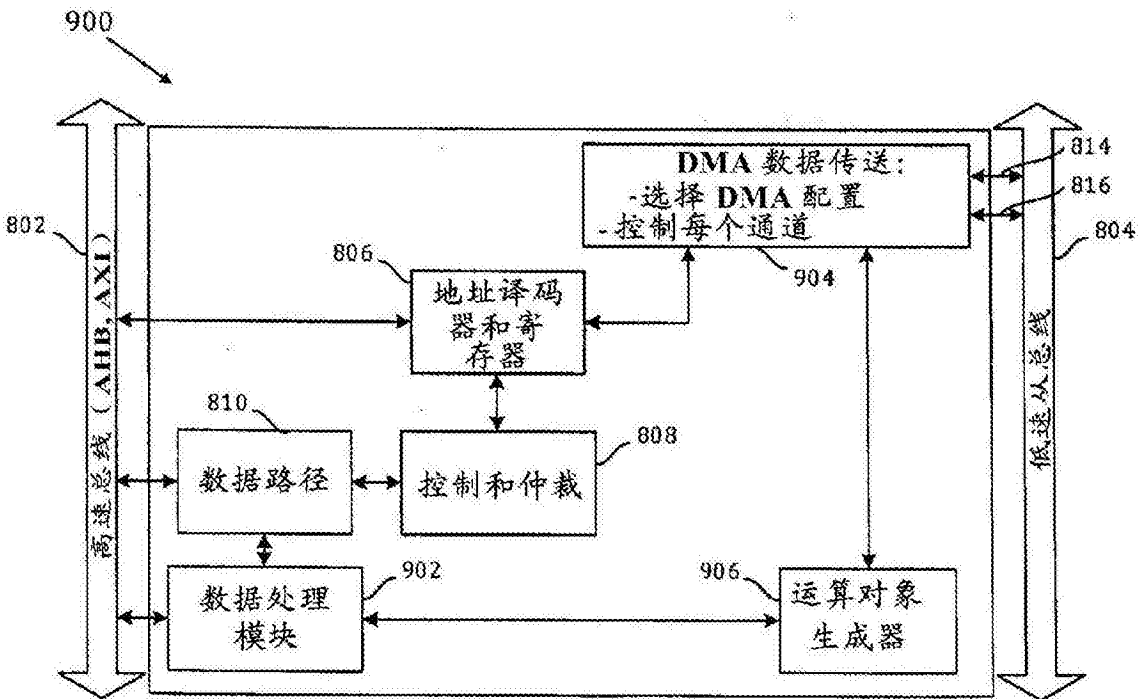


图9