

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-196758  
(P2006-196758A)

(43) 公開日 平成18年7月27日(2006.7.27)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 4 3 4	5 B 1 2 5
HO 1 L 27/115 (2006.01)	G 1 1 C 29/00 6 0 3 J	5 F 0 8 3
G 1 1 C 29/04 (2006.01)	HO 1 L 27/10 4 6 1	5 F 1 0 1
HO 1 L 27/10 (2006.01)	HO 1 L 29/78 3 7 1	5 L 1 0 6
HO 1 L 29/792 (2006.01)	G 1 1 C 17/00 6 2 3 Z	
審査請求 未請求 請求項の数 30 O L (全 34 頁) 最終頁に続く		

(21) 出願番号 特願2005-7822 (P2005-7822)  
(22) 出願日 平成17年1月14日 (2005.1.14)

(71) 出願人 503121103  
株式会社ルネサステクノロジ  
東京都千代田区丸の内二丁目4番1号  
(74) 代理人 100080001  
弁理士 筒井 大和  
(72) 発明者 志波 和佳  
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内  
(72) 発明者 岡 保志  
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内  
Fターム(参考) 5B125 BA01 BA09 CA06 DE10 EB01  
EB07 FA07

最終頁に続く

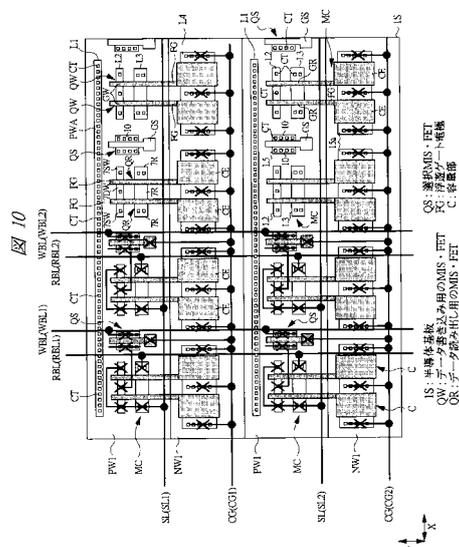
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 主要回路が形成された半導体チップに小容量の不揮発性メモリのセルをアレイ状に配置する。

【解決手段】 不揮発性メモリを構成する複数の不揮発性メモリセルMCをアレイ状に配置し、各ビット毎にメモリセル選択用の選択MIS・FETQSを電氣的に接続した。不揮発性メモリセルMCは、データ書き込み用のMIS・FETQWと、データ読み出し用のMIS・FETQRと、容量部Cとを有している。このMIS・FETQW, QRのゲート電極GW, GRおよび容量部Cの容量電極CEは、同じ浮遊ゲート電極FGの一部で構成されている。不揮発性メモリセルMCの制御ゲート電極は、容量電極CEが対向するnウエルNW1の一部で形成されている。

【選択図】 図10



## 【特許請求の範囲】

## 【請求項 1】

第 1 主面およびその裏側の第 2 主面を有する半導体基板と、  
前記半導体基板の第 1 主面に配置された主回路形成領域と、  
前記半導体基板の第 1 主面に配置された不揮発性メモリ領域とを備え、  
前記不揮発性メモリ領域には、  
前記半導体基板の主面に形成された第 1 ウエルと、  
前記半導体基板の主面に前記第 1 ウエルに対して沿うように配置され、前記第 1 ウエル  
に対して電氣的に分離された状態で配置された第 2 ウエルと、  
前記第 1 ウエルおよび前記第 2 ウエルの両方に平面的に重なるようにアレイ状に配置さ  
れた複数の不揮発性メモリセルと、  
前記複数の不揮発性メモリセルの各々を選択可能なように前記複数の不揮発性メモリセ  
ルの各々に電氣的に接続された複数の選択用の電界効果トランジスタとを備え、  
前記複数の不揮発性メモリセルの各々は、  
前記第 1 ウエルおよび前記第 2 ウエルの両方に平面的に重なるように第 1 方向に延在し  
て配置された浮遊ゲート電極と、  
前記浮遊ゲート電極が前記第 1 ウエルに平面的に重なる第 1 位置に形成されたデータ書  
き込み用の電界効果トランジスタと、  
前記浮遊ゲート電極が前記第 1 ウエルに平面的に重なる位置であって前記第 1 位置とは  
異なる第 2 位置に形成されたデータ読み出し用の電界効果トランジスタと、  
前記第 2 ウエルにおいて前記浮遊ゲート電極が対向する部分に形成される制御ゲート電  
極とを有し、  
前記データ書き込み用の電界効果トランジスタは、  
前記浮遊ゲート電極の前記第 1 位置に形成される第 1 ゲート電極と、前記第 1 ゲート電  
極および前記半導体基板の間に形成される第 1 ゲート絶縁膜と、前記第 1 ウエル内におい  
て前記第 1 ゲート電極を挟み込む位置に形成される一対の半導体領域とを有し、  
前記データ読み出し用の電界効果トランジスタは、  
前記浮遊ゲート電極の前記第 2 位置に形成される第 2 ゲート電極と、前記第 2 ゲート電  
極および前記半導体基板の間に形成される第 2 ゲート絶縁膜と、前記第 1 ウエル内におい  
て前記第 2 ゲート電極を挟み込む位置に形成された一対の半導体領域とを有することを特  
徴とする半導体装置。

10

20

30

## 【請求項 2】

請求項 1 記載の半導体装置において、前記浮遊ゲート電極が前記第 2 ウエルに平面的に  
重なる位置には、容量部が形成されており、  
前記容量部は、前記制御ゲート電極と、前記制御ゲート電極に対向する前記浮遊ゲート  
電極の一部で形成される容量電極と、前記制御ゲート電極および前記容量電極の間に形成  
された容量絶縁膜とを有しており、  
前記容量電極の前記第 1 方向に交差する方向の長さは、前記第 1 ゲート電極および前記  
第 2 ゲート電極の前記第 1 方向に交差する方向の長さよりも長いことを特徴とする半導体  
装置。

40

## 【請求項 3】

請求項 1 記載の半導体装置において、前記不揮発性メモリセルは、データの書き込みお  
よび消去が電氣的に可能な E E P R O M セルであり、前記選択用の電界効果トランジスタ  
は、前記データ書き込み用の電界効果トランジスタおよび前記データ読み出し用の電界効  
果トランジスタの両方に電氣的に接続されていることを特徴とする半導体装置。

## 【請求項 4】

請求項 3 記載の半導体装置において、前記半導体基板の前記不揮発性メモリ領域には、  
前記第 1 ウエルおよび前記第 2 ウエルとは反対導電型の第 1 半導体領域が設けられており  
、  
前記第 1 ウエルおよび前記第 2 ウエルは、同一導電型のウエルであり、それぞれ前記第

50

1 半導体領域に取り囲まれるように前記第 1 半導体領域内に形成されて互いに電氣的に分離されていることを特徴とする半導体装置。

【請求項 5】

請求項 3 記載の半導体装置において、前記不揮発性メモリセルへのデータ書き込み時には、前記第 2 ウエルに正の第 1 電圧を印加し、前記データ書き込み用の電界効果トランジスタのドレイン用の半導体領域に前記第 1 電圧よりも低い正の第 2 電圧を印加して、前記データ書き込み用の電界効果トランジスタのチャンネルから前記浮遊ゲート電極にホットエレクトロンを注入し、

前記不揮発性メモリセルのデータ消去時には、前記第 2 ウエルに負の第 3 電圧を印加し、前記データ書き込み用の電界効果トランジスタのソース用の半導体領域およびドレイン用の半導体領域を接地又は開放電位とし、前記浮遊ゲート電極から前記データ書き込み用の電界効果トランジスタのチャンネルへ前記エレクトロンを放出することを特徴とする半導体装置。

10

【請求項 6】

請求項 1 記載の半導体装置において、前記不揮発性メモリセルは、データを 1 回書き込みした後は消去することのない読み出し専用の ROMセルであり、前記選択用の電界効果トランジスタは、前記データ書き込み用の電界効果トランジスタに電氣的に接続されており、前記データ読み出し用の電界効果トランジスタには電氣的に接続されていないことを特徴とする半導体装置。

【請求項 7】

請求項 6 記載の半導体装置において、前記第 1 ウエルおよび前記第 2 ウエルは、互いに異なる導電型のウエルであり、互いに電氣的に分離され隣接した状態で半導体基板に配置されていることを特徴とする半導体装置。

20

【請求項 8】

請求項 6 記載の半導体装置において、前記不揮発性メモリセルへのデータ書き込み時には、前記第 2 ウエルに正の第 1 電圧を印加し、前記データ書き込み用の電界効果トランジスタのドレイン用の半導体領域に前記第 1 電圧よりも低い正の第 2 電圧を印加して、前記データ書き込み用の電界効果トランジスタのチャンネルから前記浮遊ゲート電極にホットエレクトロンを注入することを特徴とする半導体装置。

【請求項 9】

第 1 主面およびその裏側の第 2 主面を有する半導体基板と、  
前記半導体基板の第 1 主面に配置された主回路形成領域と、  
前記半導体基板の第 1 主面に配置された不揮発性メモリ領域とを備え、  
前記不揮発性メモリ領域には、  
前記半導体基板の主面に形成された第 1 ウエルと、  
前記半導体基板の主面に前記第 1 ウエルに対して沿うように配置され、前記第 1 ウエルに対して電氣的に分離された状態で配置された第 2 ウエルと、

30

前記第 1 ウエルおよび前記第 2 ウエルの両方に平面的に重なるようにアレイ状に配置された複数の不揮発性メモリセルと、

前記複数の不揮発性メモリセルの各々を選択可能なように前記複数の不揮発性メモリセルの各々に電氣的に接続された複数の選択用の電界効果トランジスタとを備え、

40

前記複数の不揮発性メモリセルの各々は、

前記第 1 ウエルおよび前記第 2 ウエルの両方に平面的に重なるように第 1 方向に延在して配置された浮遊ゲート電極と、

前記浮遊ゲート電極が前記第 1 ウエルに平面的に重なる第 1 位置に形成されたデータ書き込みおよびデータ読み出し兼用の電界効果トランジスタと、

前記第 2 ウエルにおいて前記浮遊ゲート電極が対向する部分に形成される制御ゲート電極とを有し、

前記データ書き込みおよびデータ読み出し兼用の電界効果トランジスタは、

前記浮遊ゲート電極に形成されるゲート電極と、前記ゲート電極および前記半導体基板

50

の間に形成されるゲート絶縁膜と、前記第1ウエル内において前記第1ゲート電極を挟み込む位置に形成される一对の半導体領域とを有することを特徴とする半導体装置。

【請求項10】

請求項9記載の半導体装置において、前記浮遊ゲート電極が前記第2ウエルに平面的に重なる位置には、容量部が形成されており、

前記容量部は、前記制御ゲート電極と、前記制御ゲート電極に対向する前記浮遊ゲート電極の一部で形成される容量電極と、前記制御ゲート電極および前記容量電極の間に形成された容量絶縁膜とを有しており、

前記容量電極の前記第1方向に交差する方向の長さは、前記兼用の電界効果トランジスタのゲート電極の前記第1方向に交差する方向の長さよりも長いことを特徴とする半導体装置。

10

【請求項11】

請求項9記載の半導体装置において、前記不揮発性メモリセルは、データの書き込みおよび消去が電氣的に可能なEEPROMセルであり、前記選択用の電界効果トランジスタは、前記データ書き込みおよびデータ読み出し兼用の電界効果トランジスタに電氣的に接続されていることを特徴とする半導体装置。

【請求項12】

請求項11記載の半導体装置において、前記半導体基板の前記不揮発性メモリ領域には、前記第1ウエルおよび前記第2ウエルとは反対導電型の第1半導体領域が設けられており、

20

前記第1ウエルおよび前記第2ウエルは、同一導電型のウエルであり、それぞれ前記第1半導体領域に取り囲まれるように前記第1半導体領域内に形成されて互いに電氣的に分離されていることを特徴とする半導体装置。

【請求項13】

請求項11記載の半導体装置において、前記不揮発性メモリセルへのデータ書き込み時には、前記第2ウエルに正の第1電圧を印加し、前記兼用の電界効果トランジスタのドレイン用の半導体領域に前記第1電圧よりも低い正の第2電圧を印加して、前記兼用の電界効果トランジスタのチャンネルから前記浮遊ゲート電極にホットエレクトロンを注入し、

前記不揮発性メモリセルのデータ消去時には、前記第2ウエルに負の第3電圧を印加し、前記兼用の電界効果トランジスタのソース用の半導体領域およびドレイン用の半導体領域を接地又は開放電位とし、前記浮遊ゲート電極から前記兼用の電界効果トランジスタのチャンネルへ前記エレクトロンを放出することを特徴とする半導体装置。

30

【請求項14】

請求項9記載の半導体装置において、前記不揮発性メモリセルは、データを1回書き込みした後は消去することのない読み出し専用のROMセルであり、前記選択用の電界効果トランジスタは、前記データ書き込みおよびデータ読み出し兼用の電界効果トランジスタに電氣的に接続されていることを特徴とする半導体装置。

【請求項15】

請求項14記載の半導体装置において、前記第1ウエルおよび前記第2ウエルは、互いに異なる導電型のウエルであり、互いに電氣的に分離され隣接した状態で半導体基板に配置されていることを特徴とする半導体装置。

40

【請求項16】

請求項14記載の半導体装置において、前記不揮発性メモリセルへのデータ書き込み時には、前記第2ウエルに正の第1電圧を印加し、前記兼用の電界効果トランジスタのドレイン用の半導体領域に前記第1電圧よりも低い正の第2電圧を印加して、前記兼用の電界効果トランジスタのチャンネルから前記浮遊ゲート電極にホットエレクトロンを注入することを特徴とする半導体装置。

【請求項17】

第1主面およびその裏側の第2主面を有する半導体基板と、  
前記半導体基板の第1主面に配置された主回路形成領域と、

50

前記半導体基板の第1主面に配置された不揮発性メモリ領域とを備え、  
 前記不揮発性メモリ領域には、  
 前記半導体基板にアレイ状に配置された複数の不揮発性メモリセルと、  
 前記複数の不揮発性メモリセルの各々を選択可能なように前記複数の不揮発性メモリセルの各々に電氣的に接続された複数の選択用の電界効果トランジスタとを備え、  
 前記複数の不揮発性メモリセルの各々は、  
 前記半導体基板の第1主面に沿うように第1方向に延存する浮遊ゲート電極と、  
 前記浮遊ゲート電極の第1位置に形成されたデータ書き込み用の電界効果トランジスタと、  
 前記浮遊ゲート電極の前記第1位置とは異なる第2位置に形成されたデータ読み出し用の電界効果トランジスタと、  
 前記浮遊ゲート電極上に絶縁層を介して設けられた制御ゲート電極と有し、  
 前記データ書き込み用の電界効果トランジスタは、  
 前記浮遊ゲート電極の前記第1位置に形成される第1ゲート電極と、前記第1ゲート電極および前記半導体基板の間に形成される第1ゲート絶縁膜と、前記半導体基板内において前記第1ゲート電極を挟み込む位置に形成される一対の半導体領域とを有し、  
 前記データ読み出し用の電界効果トランジスタは、  
 前記浮遊ゲート電極の前記第2位置に形成される第2ゲート電極と、前記第2ゲート電極および前記半導体基板の間に形成される第2ゲート絶縁膜と、前記半導体基板内において前記第2ゲート電極を挟み込む位置に形成される一対の半導体領域とを有することを特徴とする半導体装置。

10

20

【請求項18】

請求項17記載の半導体装置において、前記浮遊ゲート電極の前記第1位置および前記第2位置とは異なる第3位置には容量部が形成されており、  
 前記容量部は、前記制御ゲート電極と、前記制御ゲート電極に対向する前記浮遊ゲート電極の一部で形成される容量電極と、前記制御ゲート電極および前記容量電極の間に形成された容量絶縁膜とを有しており、  
 前記容量電極および前記制御ゲート電極の前記第1方向に交差する方向の長さは、前記第1ゲート電極および前記第2ゲート電極の前記第1方向に交差する方向の長さよりも長いことを特徴とする半導体装置。

30

【請求項19】

請求項17記載の半導体装置において、前記不揮発性メモリセルは、データの書き込みおよび消去が電氣的に可能なEEPROMセルであり、前記選択用の電界効果トランジスタは、前記データ書き込み用の電界効果トランジスタおよび前記データ読み出し用の電界効果トランジスタの両方に電氣的に接続されていることを特徴とする半導体装置。

【請求項20】

請求項19記載の半導体装置において、前記不揮発性メモリセルへのデータ書き込み時には、前記制御ゲート電極に正の第1電圧を印加し、前記データ書き込み用の電界効果トランジスタのドレイン用の半導体領域に前記第1電圧よりも低い正の第2電圧を印加して、前記データ書き込み用の電界効果トランジスタのチャンネルから前記浮遊ゲート電極にホットエレクトロンを注入し、  
 前記不揮発性メモリセルのデータ消去時には、前記制御ゲートに負の第3電圧を印加し、前記データ書き込み用の電界効果トランジスタのソース用の半導体領域およびドレイン用の半導体領域を接地又は開放電位とし、前記浮遊ゲート電極から前記データ書き込み用の電界効果トランジスタのチャンネルへ前記エレクトロンを放出することを特徴とする半導体装置。

40

【請求項21】

請求項17記載の半導体装置において、前記不揮発性メモリセルは、データを1回書き込みした後は消去することのない読み出し専用のROMセルであり、前記選択用の電界効果トランジスタは、前記データ書き込み用の電界効果トランジスタに電氣的に接続されて

50

おり、前記データ読み出し用の電界効果トランジスタには電氣的に接続されていないことを特徴とする半導体装置。

【請求項 2 2】

請求項 2 1 記載の半導体装置において、

前記不揮発性メモリセルへのデータ書き込み時には、前記制御ゲートに正の第 1 電圧を印加し、前記データ書き込み用の電界効果トランジスタのドレイン用の半導体領域に前記第 1 電圧よりも低い正の第 2 電圧を印加して、前記データ書き込み用の電界効果トランジスタのチャネルから前記浮遊ゲート電極にホットエレクトロンを注入することを特徴とする半導体装置。

【請求項 2 3】

第 1 主面およびその裏側の第 2 主面を有する半導体基板と、  
前記半導体基板の第 1 主面に配置された主回路形成領域と、  
前記半導体基板の第 1 主面に配置された不揮発性メモリ領域とを備え、  
前記不揮発性メモリ領域には、  
前記半導体基板にアレイ状に配置された複数の不揮発性メモリセルと、  
前記複数の不揮発性メモリセルの各々を選択可能なように前記複数の不揮発性メモリセルの各々に電氣的に接続された複数の選択用の電界効果トランジスタとを備え、  
前記複数の不揮発性メモリセルの各々は、  
前記半導体基板の第 1 主面に沿うように第 1 方向に延存する浮遊ゲート電極と、  
前記浮遊ゲート電極の第 1 位置に形成されたデータ書き込みおよびデータ読み出し兼用の電界効果トランジスタと、  
前記浮遊ゲート電極上に絶縁層を介して設けられた制御ゲート電極と有し、  
前記データ書き込みおよびデータ読み出し兼用の電界効果トランジスタは、  
前記浮遊ゲート電極の前記第 1 位置に形成されるゲート電極と、前記ゲート電極および前記半導体基板の間に形成されるゲート絶縁膜と、前記半導体基板において前記第 1 ゲート電極を挟み込む位置に形成される一対の半導体領域とを有することを特徴とする半導体装置。

10

20

【請求項 2 4】

請求項 2 3 記載の半導体装置において、前記浮遊ゲート電極の前記第 1 位置とは異なる第 3 位置には容量部が形成されており、  
前記容量部は、前記制御ゲート電極と、前記制御ゲート電極に対向する前記浮遊ゲート電極の一部で形成される容量電極と、前記制御ゲート電極および前記容量電極の間に形成された容量絶縁膜とを有しており、  
前記容量電極および前記制御ゲート電極の前記第 1 方向に交差する方向の長さは、前記兼用の電界効果トランジスタのゲート電極の前記第 1 方向に交差する方向の長さよりも長いことを特徴とする半導体装置。

30

【請求項 2 5】

請求項 2 3 記載の半導体装置において、前記不揮発性メモリセルは、データの書き込みおよび消去が電氣的に可能な E E P R O M セルであり、前記選択用の電界効果トランジスタは、前記データ書き込みおよびデータ読み出し兼用の電界効果トランジスタに電氣的に接続されていることを特徴とする半導体装置。

40

【請求項 2 6】

請求項 2 5 記載の半導体装置において、前記不揮発性メモリセルへのデータ書き込み時には、前記制御ゲート電極に正の第 1 電圧を印加し、前記兼用の電界効果トランジスタのドレイン用の半導体領域に前記第 1 電圧よりも低い正の第 2 電圧を印加して、前記兼用の電界効果トランジスタのチャネルから前記浮遊ゲート電極にホットエレクトロンを注入し、  
前記不揮発性メモリセルのデータ消去時には、前記制御ゲートに負の第 3 電圧を印加し、前記兼用の電界効果トランジスタのソース用の半導体領域およびドレイン用の半導体領域を接地又は開放電位とし、前記浮遊ゲート電極から前記兼用の電界効果トランジスタの

50

チャンネルへ前記エレクトロンを放出することを特徴とする半導体装置。

【請求項 27】

請求項 23 記載の半導体装置において、前記不揮発性メモリセルは、データを 1 回書き込みした後は消去することのない読み出し専用の ROMセルであり、前記選択用の電界効果トランジスタは、前記兼用の電界効果トランジスタに電氣的に接続されていることを特徴とする半導体装置。

【請求項 28】

請求項 27 記載の半導体装置において、前記不揮発性メモリセルへのデータ書き込み時には、前記制御ゲートに正の第 1 電圧を印加し、前記兼用の電界効果トランジスタのドレイン用の半導体領域に前記第 1 電圧よりも低い正の第 2 電圧を印加して、前記兼用の電界効果トランジスタのチャンネルから前記浮遊ゲート電極にホットエレクトロンを注入することを特徴とする半導体装置。

10

【請求項 29】

第 1 主面およびその裏側の第 2 主面を有する半導体基板と、  
前記半導体基板の第 1 主面に配置された主回路形成領域と、  
前記半導体基板の第 1 主面に配置された不揮発性メモリ領域とを備え、  
前記不揮発性メモリ領域には、  
前記半導体基板の主面に形成された第 1 導電型の第 1 ウエルと、  
前記半導体基板の主面に形成された第 2 ウエルであって、前記第 1 導電型と反対の導電型を示す第 2 導電型の前記第 2 ウエルと、

20

前記第 1 ウエルおよび前記第 2 ウエルの両方に平面的に重なるようにアレイ状に配置された複数の不揮発性メモリセルとが配置され、

前記複数の不揮発性メモリセルの各々は、

前記第 1 ウエルおよび前記第 2 ウエルの両方に平面的に重なるように前記不揮発性メモリセルのゲート幅方向に延在して配置された導電体膜と、

前記第 1 ウエル内に形成された前記第 2 導電型を示す第 1 半導体領域であって、前記導電体膜に整合した位置に形成された前記第 1 半導体領域と、

前記第 2 ウエル内に形成された前記第 2 導電型を示す第 2 半導体領域であって、前記導電体膜に整合した位置に形成された前記第 2 半導体領域と、

を有し、

30

前記導電体膜は、前記不揮発性メモリセルの浮遊ゲート電極を構成し、

前記第 2 半導体領域は、前記不揮発性メモリセルの制御ゲート電極を構成し、

前記第 1 半導体領域は、前記不揮発性メモリセルのソースまたはドレインを構成していることを特徴とする半導体装置。

【請求項 30】

第 1 主面およびその裏側の第 2 主面を有する半導体基板と、

前記半導体基板の第 1 主面に形成された第 2 導電型の第 3 半導体領域と、

前記第 1 主面の第 3 半導体領域に配置された主回路形成領域および不揮発性メモリ領域とを備え、

前記不揮発性メモリ領域は、

40

前記第 3 半導体領域に形成された第 1 ウエルであって、前記第 2 導電型と反対の導電型を示す第 1 導電型の前記第 1 ウエルと、

前記第 3 半導体領域に形成された前記第 1 導電型の第 2 ウエルと、

前記第 1 ウエルおよび前記第 2 ウエルの両方に平面的に重なるようにアレイ状に配置された複数の不揮発性メモリセルとが配置され、

前記複数の不揮発性メモリセルの各々は、

前記第 1 ウエルおよび前記第 2 ウエルの両方に平面的に重なるように、前記不揮発性メモリセルのゲート幅方向に延在して配置された導電体膜と、

前記第 1 ウエル内に形成された前記第 2 導電型を示す第 1 半導体領域であって、前記導電体膜に整合した位置に形成された前記第 1 半導体領域と、

50

前記第 2 ウエル内に形成された前記第 1 導電型を示す第 2 半導体領域であって、前記導電体膜に整合した位置に形成された前記第 2 半導体領域と、  
を有し、

前記導電体膜は、前記不揮発性メモリセルの浮遊ゲート電極を構成し、

前記第 2 半導体領域は、前記不揮発性メモリセルの制御ゲート電極を構成し、

前記第 1 半導体領域は、前記不揮発性メモリセルのソースまたはドレインを構成していることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置技術に関し、特に、不揮発性メモリを有する半導体装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

不揮発性メモリを有する半導体装置の中には、例えばトリミング時、救済時およびLCD (Liquid Crystal Device) の画像調整時に使用する情報や半導体装置の製造番号等のように比較的小容量の情報を記憶するのに使用するものがある。

【0003】

この種の不揮発性メモリを有する半導体装置については、例えば特開2001-185633号公報(特許文献1)に記載があり、半導体基板の上に絶縁層によって絶縁して配置された単一導電層の上に構成されるEEPROM (Electric Erasable Programmable Read Only Memory) デバイスにおいて、ビット当たりの面積を小さくできる単一レベル・ポリEEPROMデバイスが開示されている。

【0004】

また、例えば特開2001-257324号公報(特許文献2)には、単層ポリフラッシュ技術で形成された不揮発性記憶素子において、長期の情報保持性能を向上させることのできる技術が開示されている。

【特許文献1】特開2001-185633号公報

【特許文献2】特開2001-257324号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、一般に外付けされている上記不揮発性メモリを、製品の付加価値を高めるべく、例えばLCDドライバ等のような主要回路が形成された半導体チップに形成することが検討されているが、上記主要回路の性能向上等に伴い、上記不揮発性メモリの容量も増える傾向にあり、不揮発性メモリのセルを単純に配置すると製品サイズの増大に繋がる虞がある。そこで、本発明者は、上記不揮発性メモリのセルをアレイ状に配置することで不揮発性メモリの占有領域を小さくすることを検討したが、不揮発性メモリのアレイ内の所望のセルにおいてデータの読み出しや書き込みを行う時に、アレイ内の非選択のセルにおいて、データディスタ urb による意に反するデータ消去や非選択リークによるデータの書き込み不可が生じたり、あるいはデータ読み出し時に非選択のセルがオンしてしまうことで情報の誤読み出しが生じたりする等、ただ単純に不揮発性メモリのセルをアレイ状に配置することはできない、という問題があることを見出した。

【0006】

本発明の目的は、主要回路が形成された半導体チップに小容量の不揮発性メモリのセルをアレイ状に配置することのできる技術を提供することにある。

【0007】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

10

20

30

40

50

## 【 0 0 0 8 】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

## 【 0 0 0 9 】

すなわち、本発明は、主回路が形成された半導体チップに、複数の不揮発性メモリのセルをアレイ状に配置し、上記複数の不揮発性メモリセルの各々にセル選択素子を電氣的に接続するものである。

## 【 発明の効果 】

## 【 0 0 1 0 】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。 10

## 【 0 0 1 1 】

すなわち、主回路が形成された半導体チップに小容量の不揮発性メモリのセルをアレイ状に配置することができ、不揮発性メモリの占有領域を小さくすることができるので、主回路が形成された半導体チップのサイズ増大を招くことなく、半導体装置の付加価値を向上させることができる。

## 【 発明を実施するための最良の形態 】

## 【 0 0 1 2 】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付すようにし、その繰り返しの説明は可能な限り省略するようにしている。以下、本発明の実施の形態を図面に基づいて詳細に説明する。 20 30

## 【 0 0 1 3 】

## （実施の形態 1）

本実施の形態 1 の半導体装置は、例えば D R A M（Dynamic Random Access Memory）、や S R A M（Static RAM）等のようなメモリ回路、C P U（Central Processing Unite）や M P U（Micro Processing Unite）等のような論理回路、これらメモリ回路および論理回路の混在回路あるいは L C D（Liquid Crystal Device）ドライバ回路等、各種の主回路が形成された半導体チップに、その主回路の比較的小容量の所望の情報を記憶する不揮発性メモリが形成されているものである。その所望の情報としては、例えば半導体チップ内のトリミング時に使用する有効（使用）素子が配置されたアドレス、メモリや L C D の救済のために有効メモリセル（不良のないメモリセル）や有効 L C D 素子が配置されたアドレス、L C D 画像調整時に使用する調整電圧のトリミングタップ情報あるいは半導体装置の製造番号等がある。 40

## 【 0 0 1 4 】

まず、本実施の形態 1 の半導体装置の説明に先立って、本発明者が検討した上記不揮発性メモリの構成およびその不揮発性メモリにおけるデータ書き込み時の問題について図 1 ~ 図 7 により説明する。

## 【 0 0 1 5 】

図1は同一の半導体チップに上記主回路と上記不揮発性メモリとを形成するのにあたり本発明者が検討した不揮発性メモリの回路図を示している。なお、符号Yは第1方向(不揮発性メモリセルのゲート幅方向)、符号Xは第1方向Yに直交する第2方向(不揮発性メモリセルのゲート長方向)を示している。

【0016】

この不揮発性メモリは、例えばデータを1回書き込みした後は消去することのない読み出し専用のEPROM(Erasable Programmable Read Only Memory)、すなわち、いわゆるOTPROM(One Time Programmable ROM)であり、メモリセルアレイと周辺回路領域とを有している。メモリセルアレイには、第1方向Yに延在する複数のデータ書き込み用のビット線WBL(WBL0~WBL15)とデータ読み出し用のビット線RBL(RBL0~RBL15)とが第2方向Xに沿って交互に配置されているとともに、これらビット線WBL、RBLに対して直交する第2方向Xに延在する複数の制御ゲート配線(ワード線)CG(CG0~CG15)とソース線SLとが第1方向に沿って交互に配置されている。各データ書き込み用のビット線WBLは、上記周辺回路領域に配置されたデータ(0/1)入力用のインバータ回路INVに電氣的に接続されている。また、各データ読み出し用のビット線RBLは、上記周辺回路領域に配置されたセンスアンプ回路SAに電氣的に接続されている。センスアンプ回路SAは、例えばカレントミラー形とされている。そして、このようなビット線WBL、RBLと制御ゲート配線CGおよびソース線SLとの格子状交点の近傍に、1ビット分の不揮発性メモリセル(以下、単にメモリセルという)が電氣的に接続されている。ここでは、1ビットが2つのメモリセルで構成されている場合が例示されている。

10

20

【0017】

各メモリセルは、データ書き込み用のMIS・FET(Metal Insulator Semiconductor Field Effect Transistor)QWと、データ読み出し用のMIS・FETQRと、容量部Cとを有している。各ビットの2つのメモリセルの各々のデータ書き込み用のMIS・FETQWは、互いに並列になるように電氣的に接続されている。すなわち、2つのメモリセルの各々のデータ書き込み用のMIS・FETQWは、その各々のドレインがデータ書き込み用のデータ書き込み用のビット線WBLに電氣的に接続され、その各々のソースはソース線SLに電氣的に接続され、その各々のゲート電極が別々の容量部C、Cを介して制御ゲート配線CGと電氣的に接続されている。一方、各ビットの2つのメモリセルのデータ読み出し用のMIS・FETQRは、互いに直列になるように電氣的に接続されており、そのドレインは、データ読み出し用のビット線RBLに電氣的に接続され、ソースはソース線SLに電氣的に接続され、ゲート電極は別々の容量部C、Cを介して制御ゲート配線CGと電氣的に接続されている。

30

【0018】

次に、図2は図1の不揮発性メモリのメモリセルアレイの要部平面図、図3は図2の不揮発性メモリのメモリセルアレイの1ビット分の拡大平面図、図4はデータ書き込み時の選択メモリセルの図3のY1-Y1線の断面図、図5はデータ読み出し時の選択メモリセルの図3のY1-Y1線の断面図を示している。

【0019】

半導体チップを構成する半導体基板(以下、単に基板という)1Sは、例えばp形のシリコン(Si)単結晶からなり、この基板1Sの主面(第1主面)の上記メモリセルアレイには、例えば8×2ビット構成の複数の上記メモリセルMCがアレイ状(行列状)に規則的に並んで配置されている。

40

【0020】

この基板1Sの主面には、第2方向Xに帯状に延在するpウエル(第1ウエル、p形の半導体領域)PW1およびnウエル(第2ウエル、n形の半導体領域)NW1が、第1方向Yに沿って交互に隣接し、かつ、電氣的に分離される状態で配置されており、上記複数のメモリセルMCの各々は、上記pウエルPW1およびnウエルNW1の両方に平面的に重なるように配置されている。なお、pウエルPW1には、p型(第1導電型)を示す不

50

純物が導入されており、例えばホウ素 ( B ) が含有され、 $n$  ウエル  $NW1$  には、 $n$  型 ( 第 2 導電型 ) を示す不純物が導入されており、例えばリン ( P ) が含有されている。

【 0 0 2 1 】

また、基板 1 S の主面には、活性領域  $L1 \sim L4$  を規定する分離部 2 が配置されている。分離部 2 は、例えば基板 1 S の主面に掘られた浅溝内に酸化シリコン等からなる絶縁膜を埋め込むことで形成された、いわゆる SGI ( Shallow Groove Isolation ) または STI ( Shallow Trench Isolation ) と称する溝形の分離部とされている。上記  $p$  ウエル  $PW1$  には、上記活性領域  $L1$  が  $p$  ウエル  $PW1$  の延在方向に沿って延在した状態で配置されている。この活性領域  $L1$  には、ウエル給電用の  $p^+$  型の半導体領域  $PWA$  が形成されている。このウエル給電用の  $p^+$  型の半導体領域  $PWA$  は、絶縁層 3 に穿孔された複数のコンタクトホール  $CT$  内の導体部 4 を通じてウエル給電用の電極 5 a に電氣的に接続されている。  $p^+$  型の半導体領域  $PWA$  には、例えばホウ素が高濃度に含有されている。電極 5 a は、例えばアルミニウム等のような金属で形成されている。

10

【 0 0 2 2 】

上記各メモリセル  $MC$  は、浮遊ゲート電極  $FG$  と、上記データ書き込み用の  $MIS \cdot FETQW$  と、上記データ読み出し用の  $MIS \cdot FETQR$  と、上記容量部  $C$  とを有している。

【 0 0 2 3 】

浮遊ゲート電極  $FG$  は、情報の記憶に寄与する電荷を蓄積する部分である。この浮遊ゲート電極  $FG$  は導電体膜で形成されており、例えば低抵抗多結晶シリコンからなり、電氣的に浮遊状態 ( 他の導体と絶縁された状態 ) で、互いに隣接する  $p$  ウエル  $PW1$  および  $n$  ウエル  $NW1$  の両方に平面的に重なるように第 1 方向  $Y$  に沿って延在した状態で形成されている。

20

【 0 0 2 4 】

この浮遊ゲート電極  $FG$  が  $p$  ウエル  $PW1$  の活性領域  $L2$  に平面的に重なる第 1 位置には、上記データ書き込み用の  $MIS \cdot FETQW$  が配置されている。データ書き込み用の  $MIS \cdot FETQW$  は、上記第 1 位置の浮遊ゲート電極  $FG$  の一部で形成されたゲート電極 ( 第 1 ゲート電極 )  $GW$  と、そのゲート電極  $GW$  および基板 1 (  $p$  ウエル  $PW1$  ) の間に形成されたゲート絶縁膜 ( 第 1 ゲート絶縁膜 ) 6 a と、上記  $p$  ウエル  $PW1$  内においてゲート電極  $GW$  を挟み込む位置、すなわち、ゲート電極  $GW$  に整合した位置に形成された  $n$  形の一对のソース用の半導体領域  $7SW$  およびドレイン用の半導体領域  $7DW$  とを有している。データ書き込み用の  $MIS \cdot FETQW$  のチャンネルは、上記ゲート電極  $GW$  と活性領域  $L2$  とが平面的に重なる上記  $p$  ウエル  $PW1$  の上層に形成される。ゲート絶縁膜 6 a は、例えば酸化シリコンからなる。

30

【 0 0 2 5 】

ソースおよびドレイン用の一对の半導体領域  $7SW$  ,  $7DW$  は、それぞれチャンネル側の  $n^-$  形の半導体領域  $7Sa$  ,  $7Da$  と、その各々に接続された  $n^+$  形の半導体領域  $7Sb$  ,  $7Db$  とを有している。この  $n^-$  形の半導体領域  $7Sa$  ,  $7Da$  および  $n^+$  形の半導体領域  $7Sb$  ,  $7Db$  には、例えばリンまたはヒ素 (  $As$  ) が含有されている。また、  $n^+$  形の半導体領域  $7Sb$  ,  $7Db$  は、  $n^-$  形の半導体領域  $7Sa$  ,  $7Da$  と比較して、相対的に不純物濃度の高い領域である。

40

【 0 0 2 6 】

ここでは、1ビットの2つのメモリセル  $MC$  の各々のデータ書き込み用の  $MIS \cdot FETQW$  の各々のドレイン用の半導体領域  $7DW$  が共有になっており、コンタクトホール  $CT$  内の導体部 4 を通じてドレイン用の電極 5 b に電氣的に接続され、さらに、上記データ書き込み用のビット線  $WBL$  (  $WBL1$  ,  $WBL2$  ) に電氣的に接続されている。上記データ書き込み用の  $MIS \cdot FETQW$  のソース用の半導体領域  $7SW$  は、コンタクトホール  $CT$  内の導体部 4 を通じてソース用の電極 5 c に電氣的に接続され、さらに、上記ソース線  $SL$  (  $SL1$  ,  $SL2$  ) に電氣的に接続されている。電極 5 b , 5 c 、データ書き込み用のビット線  $WBL$  およびソース線  $SL$  は、例えばアルミニウム等のような金属で形成

50

されている。

【0027】

また、上記浮遊ゲート電極FGがpウエルPW1の活性領域L3に平面的に重なる第2位置には、上記データ読み出し用のMIS・FETQRが配置されている。データ読み出し用のMIS・FETQRは、上記第2位置の浮遊ゲート電極FGの一部で形成されたゲート電極(第2ゲート電極)GRと、そのゲート電極GRおよび基板1(pウエルPW1)の間に形成されたゲート絶縁膜(第2ゲート絶縁膜)6bと、上記pウエルPW1内においてゲート電極GRを挟み込む位置、すなわち、ゲート電極GRに整合した位置に形成された一对のn形の半導体領域7R、7Rとを有している。データ読み出し用のMIS・FETQRのチャンネルは、上記ゲート電極GRと活性領域L3とが平面的に重なる上記p  
10  
ウエルPW1の上層に形成される。ゲート絶縁膜6bは、例えば酸化シリコンからなる。一对の半導体領域7R、7Rは、それぞれチャンネル側のn<sup>-</sup>形の半導体領域7Ra、7Raと、その各々に接続されたn<sup>+</sup>形の半導体領域7Rb、7Rbとを有している。このn<sup>-</sup>形の半導体領域7Ra、およびn<sup>+</sup>形の半導体領域7Rbには、例えばリンまたはヒ素が含有されている。また、n<sup>+</sup>形の半導体領域7Rbは、n<sup>-</sup>形の半導体領域7Raと比較して、相対的に不純物濃度の高い領域である。

【0028】

ここでは、1ビットの2つのメモリセルMCの各々のデータ読み出し用のMIS・FETQRの一方の半導体領域7Rがその各々のMIS・FETQRを電氣的に接続する拡散層配線として機能するように共有になっている。そして、2つのメモリセルMCの一方の  
20  
MIS・FETQRの他方の半導体領域7R(共有となっていない側)は、コンタクトホールCT内の導体部4を通じて電極5dに電氣的に接続され、さらに、上記データ読み出し用のビット線RBL(RBL1、RBL2)に電氣的に接続されている。また、2つのメモリセルMCの他方のMIS・FETQRの他方の半導体領域7R(共有となっていない側)は、コンタクトホールCT内の導体部4を通じて電極5eに電氣的に接続され、さらに、上記ソース線SL(SL1、SL2)に電氣的に接続されている。電極5d、5eおよびデータ読み出し用のビット線RBLは、例えばアルミニウム等のような金属で形成されている。

【0029】

また、上記浮遊ゲート電極FGが上記nウエルNW1に平面的に重なる位置には、上記  
30  
容量部Cが形成されている。この容量部Cは、制御ゲート電極CGWと、容量電極CEと、上記制御ゲート電極CGWおよび容量電極CEの間に形成された容量絶縁膜CAとを有している。制御ゲート電極CGWは、nウエルNW1において浮遊ゲート電極FGが対向する部分で形成されている。また、浮遊ゲート電極FGは基板1の主面上に形成される主回路の素子のゲート電極と同層で形成されている。すなわち、制御ゲート電極CGWをnウエルNW1で形成し、基板1の主面上に形成される多結晶シリコン層を浮遊ゲート電極FGの一層とすることにより、同一の基板1に主回路の他の素子との製造上の整合を容易にすることができるので、半導体装置の製造時間の短縮や製造コストの低減を図ることができる。このnウエルNW1は、平面で見ると容量電極CEの左右両側の位置であって、  
40  
断面で見るとnウエルNW1の上層部に形成されたn<sup>+</sup>形の半導体領域8aを通じてコンタクトホールCT内の導体部4に電氣的に接続され、これを通じて電極5fに電氣的に接続され、さらに、上記制御ゲート配線CG(CG1、CG2)に電氣的に接続されている。電極5fおよび制御ゲート配線CGは、例えばアルミニウム等のような金属で形成されている。また、このn<sup>+</sup>形の半導体領域8aは、ゲート電極FGに整合した位置に形成され、例えばリンまたはヒ素が含有されている。

【0030】

容量部Cの容量電極CEは、上記制御ゲート電極CGWに対向する浮遊ゲート電極FGの一部で形成されている。浮遊ゲート電極FGの容量電極CEの部分は、その第2方向Xの長さが、浮遊ゲート電極FGの上記データ書き込み用のMIS・FETQRのゲート電極GWおよび上記データ読み出し用のMIS・FETQRのゲート電極GRの第2方向X  
50

の長さよりも長くなるように形成され、相対的に大きな面積のパターンとされている。これにより、カップリング比を高めて、制御ゲート配線CGからの電圧供給効率を向上させることが可能となっている。上記容量絶縁膜CAは、例えば酸化シリコンからなる。上記ゲート絶縁膜6a, 6bおよび容量絶縁膜CAは、同一熱酸化工程で形成されており、その厚さは、例えば13.5nm程度である。また、上記ゲート絶縁膜6a, 6bおよび容量絶縁膜CAは、基板1の主面上に形成される主回路のゲート絶縁膜と同工程で形成されている。特に、不揮発性メモリの信頼性向上のため、相対的にゲート絶縁膜の厚い高耐圧MISFETと相対的にゲート絶縁膜の薄い低耐圧MISFETのうち、高耐圧MISFETのゲート絶縁膜と同工程で形成されている。

#### 【0031】

次に、このような不揮発性メモリのデータ書き込み動作を図1および図4により説明する。データの書き込み時には、データ書き込み対象のメモリセルMC（選択メモリセル）において、上記制御ゲート配線CGから電極5fを通じて上記制御ゲート電極CGWを形成するnウエルNW1に、例えば制御電圧（正の第1電圧） $V_{cg} = 9V$ を印加し、上記電極5aを通じてpウエルPW1に、例えば基板電圧 $V_{sub} = 0V$ を印加し、上記データ書き込み用のビット線WBLから電極5bを通じてデータ書き込み用のMIS・FETQWのドレイン用の半導体領域7DWに、例えば上記制御電圧よりも低い電圧（正の第2電圧） $V_d = 7V$ を印加し、上記ソース線SLから電極5cを通じてデータ書き込み用のMIS・FETQWのソース用の半導体領域7SWに、例えば基準電圧 $V_s = 0V$ を印加し、データ読み出し用のMIS・FETQRのソース、ドレイン用の一対の半導体領域7R, 7Rに電極5d, 5eを通じて、例えば0Vを印加する（または開放電位とする）。これにより、データ書き込み用のMIS・FETQW, QWにおいて、チャネルホットエレクトロン（ $e^-$ ）がゲート電極GW（浮遊ゲート電極FG）に注入され、データの書き込みが行われる。

#### 【0032】

次に、このような不揮発性メモリのデータ読み出し動作を図5により説明する。データ読み出し時には、データ読み出し対象のメモリセルMC（選択メモリセル）において、上記制御ゲート配線CGから電極5fを通じて上記制御ゲート電極CGWを形成するnウエルNW1に、例えば制御電圧 $V_{cg} = 3V$ を印加し、上記電極5aを通じてpウエルPW1に、例えば基板電圧 $V_{sub} = 0V$ を印加し、上記データ読み出し用のMIS・FETQRのソース、ドレイン用の一対の半導体領域7Rの一方に電極5dを通じて、例えば電圧 $V_d = 1V$ を印加し、上記データ読み出し用のMIS・FETQRのソース、ドレイン用の一対の半導体領域7Rの他方に電極5eを通じて、例えば基準電圧 $V_s = 0V$ を印加し、データ書き込み用のMIS・FETQWのソース、ドレイン用の半導体領域7SW, 7DWに電極5b, 5cを通じて、例えば0Vを印加する（または開放電位とする）。これにより、選択メモリセルMCのデータ読み出し用のMIS・FETQRをオン条件とし、そのデータ読み出し用のMIS・FETQRのチャネルにドレイン電流が流れるか否かにより、選択メモリセルMCに記憶されているデータが0/1のいずれなのかを読み出す。

#### 【0033】

ところで、上記のような不揮発性メモリ（OTPROM）では、上記のようにメモリセルMCをアレイ状に配置すると、データ書き込み動作時に以下のような問題が生じ、ただ単純に不揮発性メモリのセルをアレイ状に配置することはできないことを本発明者が初めて見出した。これを図1、図6および図7により説明する。なお、図1の符号WBは書き込み対象の書き込みビット、符号NWBは非書き込み対象の非書き込みビットを示している。

#### 【0034】

第1の問題は、非選択のメモリセルMCのデータ書き込み用のMIS・FETQWのしきい値電圧が高い場合にデータディスタート現象によりその非選択のメモリセルMCのデータが意に反して消失してしまう問題である。図6は、データ書き込み時の非選択のメモ

10

20

30

40

50

リセルMCの図3のY1-Y1線の断面図であって、その非選択のメモリセルMCのデータ書き込み用のMIS・FETQWのしきい値電圧が高い場合に生じる問題を示している。図1に示すように、データ書き込み時には、非選択のメモリセルMCの制御ゲート電極CGWへの印加電圧は0Vであるものの、データ書き込み用のビット線WBLを通じて非選択のメモリセルMCのデータ書き込み用のMIS・FETQWのドレイン用の半導体領域FDWにも7Vの電圧が印加されるため、浮遊ゲート電極FGに蓄積された情報用の電荷が非選択のメモリセルMCのデータ書き込み用のMIS・FETQWのゲート電極GEからFNトンネル電流でドレイン用の半導体領域FDW側に抜けてしまいデータが意に反して消去されてしまう(データディスタ urb)。特に、上記のように容量部Cを持つメモリセルMCの構成は、カップリング比が高いためほんの少しの電圧でも電荷が抜け易く上記データディスタ urb現象に対して弱い構成となっている。

10

**【0035】**

第2の問題は、非選択のメモリセルMCのデータ書き込み用のMIS・FETQWのしきい値電圧が低い場合に非選択リークによりデータ書き込み用のビット線WBLの電位が下がり選択対象のメモリセルMCにデータを書き込むことができなくなってしまう問題である。図7は、データ書き込み時の非選択のメモリセルMCの図3のY1-Y1線の断面図であって、その非選択のメモリセルMCのデータ書き込み用のMIS・FETQWのしきい値電圧が低い場合に生じる問題を示している。この場合は、非選択のメモリセルMCの制御ゲート電極CGWへの印加電圧は0Vであるものの、非選択のデータ書き込み用のMIS・FETQWのしきい値電圧が低いため、非選択のデータ書き込み用のMIS・FETQWのドレイン用の半導体領域FDWに7Vの電圧が印加されると、その非選択のデータ書き込み用のMIS・FETQWがオンし、そのドレイン、ソース間に電流が流れてしまう(非選択リーク)結果、データ書き込み用のビット線WBLの電位が下がり、書き込みに必要な電圧を維持できなくなり、選択のメモリセルMCにおいて十分な書き込みが行われなくなってしまう。

20

**【0036】**

そこで、本実施の形態1においては、複数のメモリセルMCの各々のデータ書き込み用のMIS・FETQWに選択MIS・FETQSを電氣的に接続し、データ書き込み動作時に、非選択のメモリセルMCのデータ書き込み用のMIS・FETQWのドレインに書き込み電圧が印加されないようにする。図8は本実施の形態1の不揮発性メモリの回路図の一例であってデータ書き込み時の印加電圧の一例を示している。データ書き込み時に、選択対象のメモリセルMCの各部に印加する電圧条件は上記図1および図4で説明したのと同じである。

30

**【0037】**

本実施の形態1では、不揮発性メモリの各ビットにおいて、データ書き込み用のMIS・FETQWのドレインとデータ書き込み用のビット線WBLとの間に、選択MIS・FETQSが電氣的に接続されている。すなわち、選択MIS・FETQSのゲート電極は、制御ゲート配線CGに電氣的に接続されている。選択MIS・FETQSのソースまたはドレインの一方は、データ書き込み用のビット線WBLに電氣的に接続され、選択MIS・FETQSのソースまたはドレインの他方は、データ書き込み用のMIS・FETQWのドレインに電氣的に接続されている。

40

**【0038】**

この場合、データの書き込み動作において、選択対象のメモリセルMCでは、制御ゲート配線CGを通じて選択MIS・FETQSのゲート電極に9Vの電圧が印加されるため選択MIS・FETQSがオンし、選択対象のメモリセルMCのデータ書き込み用のMIS・FETQWのドレイン用の半導体領域FDWに選択MIS・FETQSを介して7Vの電圧が印加され良好なデータ書き込みが行われる。一方、その選択対象のデータ書き込み用のビット線WBLに電氣的に接続されている非選択のメモリセルMCでは、制御ゲート配線CGを通じて選択MIS・FETQSのゲート電極に0Vの電圧が印加されるため選択MIS・FETQSがオンせず、非選択のメモリセルMCのデータ書き込み用のMIS

50

S・FETQWのドレイン用の半導体領域7WDには7Vの電圧が印加されない。このため、データ書き込み時に、非選択のメモリセルMCで生じる上記データディスタ urbや非選択リークの問題を回避することができる。したがって、上記主回路が形成された半導体チップに小容量の不揮発性メモリ(OTPRoM)のメモリセルをアレイ状に配置することができ、不揮発性メモリの占有領域を小さくすることができるので、主回路が形成された半導体チップのサイズ増大を招くことなく、半導体装置の付加価値を向上させることができる。

#### 【0039】

また、図9は本実施の形態1の不揮発性メモリの回路図の一例であってデータ読み出し時の印加電圧の一例を示している。データ読み出し時に、選択対象のメモリセルMCの各部に印加する電圧条件は上記図1および図5で説明したのと同じである。なお、この場合、データ読み出し時に、選択対象のメモリセルMCの選択MIS・FETQSのゲート電極に制御ゲート配線CGを通じて3Vの電圧が印加されるが、上記のように、データの読み出し時には、選択対象のデータ書き込み用のMIS・FETQWのソース、ドレイン用の半導体領域7SW, 7DWに0Vの電圧(または開放電位)が印加されているので問題ない。

#### 【0040】

次に、図10は図8および図9の不揮発性メモリのメモリセルアレイの要部平面図、図11は図10の不揮発性メモリのメモリセルアレイの1ビット分の要部拡大平面図、図12は図11のY2-Y2線の断面図を示している。

#### 【0041】

この不揮発性メモリの構成については、選択MIS・FETQSが配置されている構成を除いて、前記図2~図5で説明したのと同じである。

#### 【0042】

選択MIS・FETQSは、例えばnチャネル形のMIS・FETで形成されており、メモリセルアレイの1ビット(すなわち、2つのメモリセルMC)毎に配置されている。また、各選択MIS・FETQSは、pウエルPW1内の活性領域L5が形成された位置に配置されており、ゲート電極GSと、そのゲート電極GSおよび基板1(pウエルPW1)の間に形成されたゲート絶縁膜6cと、上記pウエルPW1内においてゲート電極GSを挟み込む位置に形成されたソースおよびドレイン用の一対のn形の半導体領域10, 10とを有している。ゲート電極GSは、例えば低抵抗な多結晶シリコンからなり、上記浮遊ゲート電極FGと同一のエッチング工程でパターンニングされている。このゲート電極GSと活性領域L5とが平面的に重なる上記pウエルPW1の上層に選択MIS・FETQSのチャンネルが形成される。ゲート絶縁膜6cは、例えば上記ゲート絶縁膜6a, 6bと同じ酸化シリコンからなる。ソースおよびドレイン用の一対のn形の半導体領域10, 10は、それぞれチャンネル側のn<sup>-</sup>形の半導体領域10aと、その各々に接続されたn<sup>+</sup>形の半導体領域10bとを有している。このn<sup>-</sup>形の半導体領域10aおよびn<sup>+</sup>形の半導体領域10bには、例えばリンまたはヒ素が含有されている。一対のn形の半導体領域10, 10の一方は、コンタクトホールCT内の導体部4を通じて電極5gに電氣的に接続され、さらにデータ書き込み用のビット線WBL(WBL1, WBL2)に電氣的に接続されている。一対のn形の半導体領域10, 10の他方は、コンタクトホールCT内の導体部4を通じて電極5hに電氣的に接続され、さらに金属配線を通じて電極5bに電氣的に接続されて、データ書き込み用のMIS・FETQWのドレイン用の半導体領域7DWに電氣的に接続されている。電極5g, 5hは、例えばアルミニウム等のような金属で形成されている。なお、本実施の形態1の半導体装置の不揮発性メモリであるOTPRoMでは、データ読み出し時に問題が生じないので、データ読み出し用のMIS・FETQRには選択MIS・FETが電氣的に接続されていない。

#### 【0043】

次に、図13は上記不揮発性メモリが形成された半導体チップの主回路形成領域に形成された主回路形成用の素子の一例の断面図を示している。ここでは、主回路形成用の素子

としてnチャネル形のMIS・FETQAが例示されている。このMIS・FETQAは、基板1SのpウエルPW2の上層の分離部2に囲まれた活性領域に形成されている。このpウエルPW2は、上記pウエルPW1と同時に形成されている。MIS・FETQAは、ゲート電極GAと、そのゲート電極GAおよび基板1(pウエルPW2)の間に形成されたゲート絶縁膜6dと、上記pウエルPW2内においてゲート電極GAを挟み込む位置に形成されたソースおよびドレイン用の一對のn形の半導体領域11, 11とを有している。このゲート電極GAは、例えば低抵抗な多結晶シリコンからなり、上記浮遊ゲート電極FG等と同一のエッチング工程でパターンニングされている。すなわち、上記浮遊ゲート電極FGと同層の多結晶シリコンで形成されている。

【0044】

このゲート電極GAと上記活性領域とが平面的に重なる上記pウエルPW2の上層にMIS・FETQAのチャンネルが形成される。ゲート絶縁膜6dは、例えば上記ゲート絶縁膜6a~6cと同じ酸化シリコンからなる。

【0045】

ソースおよびドレイン用の一對のn形の半導体領域11, 11は、それぞれチャンネル側のn<sup>-</sup>形の半導体領域11aと、その各々に接続されたn<sup>+</sup>形の半導体領域11bとを有している。このn<sup>-</sup>形の半導体領域11aおよびn<sup>+</sup>形の半導体領域11bには、例えばリンまたはヒ素が含有されている。一對のn形の半導体領域11, 11の一方は、コンタクトホールCT内の導体部4を通じて電極5iに電氣的に接続され、一對のn形の半導体領域11, 11の他方は、コンタクトホールCT内の導体部4を通じて電極5jに電氣的に接続されている。電極5i, 5jは、例えばアルミニウム等のような金属で形成されている。

【0046】

(実施の形態2)

本実施の形態2では、不揮発性メモリがEEPROM(Electrically Erasable Programmable ROM)である場合について説明する。

【0047】

図14は同一の半導体チップに上記主回路と上記不揮発性メモリとを形成するのにあたり本発明者が検討した不揮発性メモリの回路図を示している。

【0048】

この不揮発性メモリは、例えばデータ内容を電氣的に書き込みおよび消去することが可能なEEPROMである。この場合も不揮発性メモリのメモリセルアレイの各ビットのデータ書き込み用のMIS・FETQWに上記のように選択MIS・FETQSが電氣的に接続されている。このため、データ書き込み動作時の非選択のメモリセルMCにおける上記データディスタブおよび非選択リークの問題を回避できる。

【0049】

ここでは、第2方向Xに並ぶ複数の選択MIS・FETQSのゲート電極が制御配線CGSに電氣的に接続されている。すなわち、選択MIS・FETQSのゲート電極は、制御ゲート配線CGとは異なる制御配線CGSに電氣的に接続されており、メモリセルMCの制御ゲート電極に対する電位供給とは別に電位供給が可能な構成とされている。それ以外の回路構成は、前記図1、図8および図9で説明したものと同一である。なお、ここでもデータ読み出し用のMIS・FETQRには選択MIS・FETQRが電氣的に接続されていない。

【0050】

次に、図15は図14の不揮発性メモリのメモリセルアレイの要部平面図、図16は図15の不揮発性メモリのメモリセルアレイの1ビット分の拡大平面図、図17はデータ書き込み時の選択メモリセルの図16のY3-Y3線に相当する箇所断面図、図18はデータ消去時の選択メモリセルの図16のY3-Y3線に相当する箇所断面図、図19はデータ読み出し時の選択メモリセルの図16のY3-Y3線の断面図を示している。

【0051】

10

20

30

40

50

ここで前記実施の形態 1 と異なるのは、制御ゲート電極 C G W が p ウエル P W 3 で形成されていることである。制御ゲート電極 C G W としての機能を持つ p ウエル P W 3 は、平面で見ると容量電極 C E の左右両側であって、断面で見ると p ウエル P W 3 の上層部に形成された p<sup>+</sup> 形の半導体領域 1 5 a を通じてコンタクトホール C T 内の導体部 4 に電氣的に接続され、これを通じて電極 5 f に電氣的に接続され、さらに、上記制御ゲート配線 C G ( C G 1 , C G 2 ) に電氣的に接続されている。この p<sup>+</sup> 形の半導体領域 1 5 a には、例えばホウ素が含有されている。

#### 【 0 0 5 2 】

また、この制御ゲート電極 C G W 形成用の p ウエル P W 3 と、データ書き込み ( 消去 ) 用およびデータ読み出し用の M I S ・ F E T Q W , Q R の配置側の p ウエル P W 1 とを電氣的に分離するために、p ウエル P W 1 , P W 3 の各々を取り囲むように ( p ウエル P W 1 , P W 3 の隣接間に介在されるように ) 基板 1 に n 形の埋込領域 N i S O および n ウエル N W 2 が形成されている。

#### 【 0 0 5 3 】

この n 形の埋込領域 N i S O および n ウエル N W 2 には、例えばリンまたはヒ素が含有されている。n 形の埋込領域 N i S O は、p ウエル P W 1 , P W 3 の底部と n ウエル N W 2 の底部および側部に接した状態で基板 1 の最も深い位置まで分布するように形成されている。n ウエル N W 2 は、p ウエル P W 1 , P W 3 の外周を取り囲むように各々の側部に接した状態で形成されている。この n ウエル N W 2 の上面には、その延在方向に沿って活性領域 L 6 が配置されている。この活性領域 L 6 には、ウエル給電用の n<sup>+</sup> 形の半導体領域 N W A が形成されている。このウエル給電用の n<sup>+</sup> 形の半導体領域 N W A は、複数のコンタクトホール C T 内の導体部 4 を通じてウエル給電用の電極 5 k に電氣的に接続されている。n<sup>+</sup> 形の半導体領域 N W A には、例えばリンまたはヒ素が高濃度に含有されている。電極 5 k は、例えばアルミニウム等のような金属で形成されている。なお、上記のように選択 M I S ・ F E T Q S は、そのゲート電極 G S が電極 5 m および金属配線を通じて制御配線 C G S と電氣的に接続されており、その動作が制御されるようになっている。

#### 【 0 0 5 4 】

次に、このような不揮発性メモリのデータ書き込み動作時の各部への印加電圧の一例を図 1 7 に示す。ここでは電極 5 k を通じて n ウエル N W 2 および n 形の埋込領域 N i S O に、例えば 9 V 程度の電圧を印加して基板 1 と p ウエル P W 1 , P W 3 との電氣的な分離を行う。これ以外の各部への印加電圧は前記図 4 および図 8 で説明したのと同じである。すなわち、制御ゲート配線 C G から各ビットの選択 M I S ・ F E T Q S の一方の半導体領域 1 0 に、例えば 7 V 程度の電圧を印加した状態で、選択対象のビットの選択 M I S ・ F E T Q S のゲート電極 G S に制御配線 C G S から、例えば 9 V 程度の電圧を印加する。これにより、選択対象のビットの選択 M I S ・ F E T Q S をオンし、選択 M I S ・ F E T Q S を介してデータ書き込み用の M I S ・ F E T Q W のドレイン用の半導体領域 7 D W に、上記 7 V 程度の電圧を印加することにより、前記実施の形態 1 と同様に、データ書き込み用の M I S ・ F E T Q W , Q W において、チャネルホットエレクトロン ( e<sup>-</sup> ) がゲート電極 G W ( 浮遊ゲート電極 F G ) に注入され、データの書き込みが行われる。

#### 【 0 0 5 5 】

次に、このような不揮発性メモリのデータ消去動作時の各部への印加電圧の一例を図 1 8 に示す。データ消去時には、データ消去対象のメモリセル M C ( 選択メモリセル ) において、上記制御ゲート配線 C G から上記制御ゲート電極 C G W を形成する p ウエル P W 3 に制御電圧 V c g として、例えば - 1 8 V の負の電圧を印加する。この時、電極 5 a , 5 c ~ 5 e , 5 g , 5 k , 5 m には、例えば 0 V を印加する。これにより、浮遊ゲート電極 F G に蓄積された電荷 ( チャネルホットエレクトロン ( e<sup>-</sup> ) ) を、データ書き込み用の M I S ・ F E T Q W のゲート電極 G W から F N トンネル電流方式により p ウエル P W 1 に放出し、データを消去する。

#### 【 0 0 5 6 】

また、上記の消去動作に代えて、例えば次のようにしても良い。電極 5 k を通じて n ウ

10

20

30

40

50

エルNW2およびn形の埋込領域NiSOに、例えば9V程度の電圧を印加し、電極5aを通じてpウエルPW1に、例えば9V程度の電圧を印加し、電極5fを通じて制御ゲート電極CGW形成用のpウエルPW3に、例えば-9Vの逆方向電圧を印加し、データ書き込み(消去)用のMIS・FETQWおよびデータ読み出し用のMIS・FETQRのソース、ドレインを開放電位とする。これにより、浮遊ゲート電極FGに蓄積された電荷をFNトンネル電流方式でpウエルPW1に放出してデータを消去する。その結果、データ書き込み(消去)用のMIS・FETQWおよびデータ読み出し用のMIS・FETQRのドレインの端部への電界集中に起因する素子の劣化を抑制または防止できる。このため、電荷の意に反するリークを抑制または防止でき、不揮発性メモリのデータ保持特性の劣化を抑制または防止することができる。さらに、容量素子Cが形成されたpウエルPW3に負(逆方向)の電圧を印加し、MIS・FETQW, QRが形成されたpウエルPW1に正(順方向)の電圧を印加することにより、ゲート破壊を起こさない電圧(9V以下)でデータ消去動作に必要な電位差(18V)を確保することが可能となる。

10

## 【0057】

次に、このような不揮発性メモリのデータ読み出し動作時の各部への印加電圧の一例を図19に示す。この場合のデータ読み出し動作は、前記実施の形態1で説明したのと同様に、選択対象のメモリセルMCのデータ読み出し用のMIS・FETQRをオン条件とし、そのデータ読み出し用のMIS・FETQRのチャンネルにドレイン電流が流れるか否かにより、選択対象のメモリセルMCに記憶されているデータが0/1のいずれなのかを読み出す。データ読み出し時の各部への印加電圧は、前記図5および図9で説明したのとほぼ同じである。異なるのは、電極5kを通じてnウエルNW2およびn形の埋込領域NiSOに、例えば3V程度の電圧を印加して基板1とpウエルPW1, PW3との電気的な分離を行うことと、データ書き込み用のMIS・FETQWに電気的に接続されている選択MIS・FETQSのゲート電極GSに、例えば0Vを印加して選択MIS・FETQSをオフにしておくことである。

20

## 【0058】

ところで、上記のような不揮発性メモリ(EEPROM)では、上記のようにメモリセルMCをアレイ状に配置すると、データ読み出し動作時に以下のような問題が生じ、ただ単純に不揮発性メモリのセルをアレイ状に配置することはできないことを本発明者が初めて見出した。これを図14および図20により説明する。なお、図14の符号RBは読み出し対象の読み出しビット、符号NRBは非読み出し対象の非読み出しビットを示している。また、図20は、データ読み出し時の非選択のメモリセルMCの図16のY3-Y3線の断面図である。

30

## 【0059】

すなわち、EEPROMの場合、データ読み出し動作の際に、非選択のメモリセルMCのデータ読み出し用のMIS・FETQRが意に反してオンしてしまい、データの誤判定(誤読み出し)が生じる問題がある。これは、EEPROMの場合、データ消去動作の際に情報の記憶に寄与する電荷を引き抜き過ぎてしまいデータ読み出し用のMIS・FETQRのしきい値電圧が低くなる場合があることに起因する問題であり、データ読み出し動作の際に、選択対象のメモリセルMCのデータ読み出し用のMIS・FETQRがオフであるにもかかわらず、上記のように、しきい値電圧が低くなった非選択のメモリセルMCのデータ読み出し用のMIS・FETQRが意に反してオンし、そのソース・ドレイン間に電流が流れてしまうことで生じる問題である。なお、前記実施の形態1で説明したOTPROMの場合は、消去動作が無いので、このような問題が生じない。

40

## 【0060】

そこで、本実施の形態2においては、複数のメモリセルMCの各々のデータ読み出し用のMIS・FETQRに選択MIS・FETを電気的に接続し、データ読み出し作時に、非選択のメモリセルMCのデータ読み出し用のMIS・FETQRのドレインに読み出し電圧が印加されないようにすることで、非選択のデータ読み出し用のMIS・FETQRが意に反してオンすることのないように制御する。

50

## 【0061】

図21は本実施の形態2の不揮発性メモリの回路図の一例であってデータ読み出し時の印加電圧の一例を示している。

## 【0062】

本実施の形態2では、不揮発性メモリの各ビットにおいて、データ読み出し用のMIS・FETQRのドレイン（一方の半導体領域）とデータ読み出し用のビット線RBLとの間に、選択MIS・FETQS2が電氣的に接続されている。すなわち、選択MIS・FETQS2のゲート電極は、制御配線CGSに電氣的に接続されている。選択MIS・FETQS2のソースまたはドレインの一方は、データ読み出し用のビット線RBLに電氣的に接続され、選択MIS・FETQS2のソースまたはドレインの他方は、並列接続された2つのデータ読み出し用のMIS・FETQRのドレイン（一方の半導体領域）に電氣的に接続されている。また、本実施の形態2においては、前記実施の形態1および前記図14で説明したのと同様に、不揮発性メモリの各ビットにおいて、データ書き込み用のMIS・FETQWのドレインとデータ書き込み用のビット線WBLとの間に、選択MIS・FETQS1（QS）が電氣的に接続されている。すなわち、本実施の形態2では、データ読み出し用およびデータ書き込み用の両方のMIS・FETQR、QWに選択MIS・FETQS2、QS1が電氣的に接続されている。

10

## 【0063】

次に、図22は図21の不揮発性メモリのメモリセルアレイの要部平面図、図23は図21の不揮発性メモリのメモリセルアレイの1ビット分の拡大平面図、図24はデータ読み出し書き込み時の選択対象のメモリセルMCの図23のY4-Y4線の断面図、図25はデータ読み出し時の非選択のメモリセルMCの図23のY4-Y4線の断面図を示している。なお、図21の不揮発性メモリが形成された基板に形成されている主回路は前記図13に示したMIS・FETQAを例示できるので説明を省略する。

20

## 【0064】

この不揮発性メモリの構成については、選択MIS・FETQS2が配置されている構成を除いて、前記図15～図20で説明したのと同じである。

## 【0065】

選択MIS・FETQS2は、例えばnチャネル形のMIS・FETで形成されており、メモリセルアレイの1ビット（すなわち、2つのメモリセルMC）毎に配置されている。また、各選択MIS・FETQS2は、pウエルPW1内の活性領域L3が形成された位置に配置されており、ゲート電極GS2と、そのゲート電極GS2および基板1（pウエルPW1）の間に形成されたゲート絶縁膜6eと、上記pウエルPW1内においてゲート電極GS2を挟み込む位置に形成されたソースおよびドレイン用の一対のn形の半導体領域17、17とを有している。ゲート電極GS2およびゲート絶縁膜6eは、上記ゲート電極GSおよびゲート絶縁膜6cと同じである。このゲート電極GS2と活性領域L3とが平面的に重なる上記pウエルPW1の上層に選択MIS・FETQS2のチャネルが形成される。選択MIS・FETQS2のソースおよびドレイン用の一対のn形の半導体領域17、17は、それぞれチャネル側のn<sup>-</sup>形の半導体領域17aと、その各々に接続されたn<sup>+</sup>形の半導体領域17bとを有している。このn<sup>-</sup>形の半導体領域17aおよびn<sup>+</sup>形の半導体領域17bには、例えばリンまたはヒ素が含有されている。一対のn形の半導体領域17、17の一方は、コンタクトホールCT内の導体部4を通じて電極5nに電氣的に接続され、さらにデータ読み出し用のビット線RBL（RBL1、RBL2）に電氣的に接続されている。ソースおよびドレイン用の一対のn形の半導体領域17、17の他方は、データ読み出し用のMIS・FETQRのソースおよびドレイン用の一対のn形の半導体領域7Rの一方と共有になっている。すなわち、選択MIS・FETQSは、共有の半導体領域7R、17を通じてデータ読み出し用のMIS・FETQRと電氣的に直列接続されている。電極5nの材料は、上記電極5a等と同じである。

30

40

## 【0066】

次に、このような不揮発性メモリ（EEPROM）のデータ読み出し動作を図21～図

50

25により説明する。データ読み出し時に、選択対象のメモリセルMCの各部に印加する電圧条件は上記図5、図9、図14および図19で説明したのと同じである。

【0067】

本実施の形態2の場合、データの読み出し動作において、選択対象のメモリセルMCでは、制御配線CGSを通じて選択MIS・FETQS2のゲート電極に3Vの電圧が印加されるため選択MIS・FETQS2がオンし、選択対象のメモリセルMCのデータ読み出し用のMIS・FETQRのドレイン(一方の半導体領域)に選択MIS・FETQS2を介して1Vの電圧が印加され良好なデータ読み出しが行われる。一方、その選択対象のデータ読み出し用のビット線RBLに電氣的に接続されている非選択のメモリセルMCでは、制御配線CGSを通じて選択MIS・FETQS2のゲート電極に0Vの電圧が印加されるため選択MIS・FETQS2がオンせず、すなわち、非選択のメモリセルMCのデータ読み出し用のMIS・FETQRのドレイン(一方の半導体領域)に1Vの電圧が印加されず、非選択のデータ読み出し用のMIS・FETQRが意に反してオンしないようにすることができる。このように本実施の形態2においては、データ読み出し時に、非選択のメモリセルMCのデータ読み出し用のMIS・FETQRが意に反してオンするのを防止できるので、読み出しデータの誤判定の問題を回避することができる。したがって、上記主回路が形成された半導体チップに小容量の不揮発性メモリ(EEPROM)のメモリセルをアレイ状に配置することができ、不揮発性メモリの占有領域を小さくすることができるので、主回路が形成された半導体チップのサイズ増大を招くことなく、半導体装置の付加価値を向上させることができる。

【0068】

次に、このような不揮発性メモリ(EEPROM)のデータ書き込み動作を図26および図27により説明する。

【0069】

図26および図27は本実施の形態2の不揮発性メモリ(EEPROM)の選択対象のメモリセルへの書き込み動作時の回路図および各部への印加電圧例を示す要部断面図を示している。なお、データ書き込み時に、選択対象のメモリセルMCの各部に印加する電圧条件は前記図1、図4および図8で説明したのと同じである。ここでは、図8で説明したのと同様に、データの書き込み動作において、選択対象のメモリセルMCでは、制御配線CGS1を通じて選択MIS・FETQS1のゲート電極に9Vの電圧が印加されるため選択MIS・FETQS1がオンし、選択対象のメモリセルMCのデータ書き込み用のMIS・FETQWのドレイン用の半導体領域7WDに選択MIS・FETQS1を介して7Vの電圧が印加され良好なデータ書き込みが行われる。一方、その選択対象のデータ書き込み用のビット線WBLに電氣的に接続されている非選択のメモリセルMCでは、制御配線CGS2を通じて選択MIS・FETQS1のゲート電極に0Vの電圧が印加されるため選択MIS・FETQS1がオンせず、非選択のメモリセルMCのデータ書き込み用のMIS・FETQWのドレイン用の半導体領域7WDには7Vの電圧が印加されない。このため、データ書き込み時に、非選択のメモリセルMCで生じる上記データディスターブや非選択リークの問題を回避することができる。したがって、上記主回路が形成された半導体チップに小容量の不揮発性メモリ(EEPROM)のメモリセルをアレイ状に配置することができ、不揮発性メモリの占有領域を小さくすることができるので、主回路が形成された半導体チップのサイズ増大を招くことなく、半導体装置の付加価値を向上させることができる。

【0070】

次に、このような不揮発性メモリ(EEPROM)の消去動作を図28および図29により説明する。図28および図29は本実施の形態2の不揮発性メモリ(EEPROM)の選択対象のメモリセルの消去動作時の回路図および各部への印加電圧例を示す要部断面図を示している。消去動作については、制御配線GCSから選択MIS・FETQS1, QS2のゲート電極GS1, GS2に、例えば0Vが印加される以外は前記図18で説明したのと基本的に同じである。例えばデータ消去対象のメモリセルMC(選択メモリセル

）において、上記制御ゲート配線CGから上記制御ゲート電極CGWを形成するpウエルPW3に制御電圧Vcgとして、例えば-18Vの負の電圧を印加する。この時、電極5a, 5c~5e, 5g, 5k, 5m, 5nに、例えば0Vを印加する。これにより、浮遊ゲート電極FGに蓄積された電荷（エレクトロン（ $e^-$ ））を、データ書き込み用のMIS・FETQWのゲート電極GWからFNTトンネル電流方式によりpウエルPW1に放出し、データを消去する。

【0071】

本実施の形態2では、前記実施の形態1で得られる効果の他に、以下の効果を得ることができる。すなわち、EEPROMの場合、必要に応じてデータの書き換えを行うことができるので、メモリ容量を書き換え回数分だけ必要とするOTPROMに比べて、モジュールサイズを小型化することができる。また、モジュールサイズの小型化により、モジュールの製造コストを低減することができる。

10

【0072】

（実施の形態3）

本実施の形態3では、不揮発性メモリが前記OTPROMであって、制御ゲート電極が導体パターンで形成されている場合について説明する。

【0073】

図30は本実施の形態3の半導体装置の不揮発性メモリ（OTPROM）の図11のY2-Y2線に相当する箇所の断面図を示している。本実施の形態3の半導体装置の不揮発性メモリ（OTPROM）の回路構成は図8および図9と同じである。また、この不揮発性メモリの要部平面構成も前記図10および図11とほぼ同じである。異なるのは、メモリセルMCの制御ゲート電極CGPが、nウエルNW1ではなく、例えば低抵抗な多結晶シリコン等からなる導体パターンで形成されており、データの書き込み、読み出しに際しては、制御ゲート用のウエルに印加していた前記所望の電圧を制御ゲート電極CGPに印加するようになっていることである。

20

【0074】

この制御ゲート電極CGPは、浮遊ゲート電極FG（すなわち、容量電極CE、ゲート電極GR, GW）上に、例えば酸化シリコン、窒化シリコンまたはその各々の積層膜で構成された絶縁層20を介して形成されている。この制御ゲート電極CGPは、電極5fと電気的に接続されている。また、データ書き込み用MIS・FETQWの選択MIS・FETQSのゲート電極GSは、データ書き込み用MIS・FETの制御ゲート電極CGPと同層で形成されている。

30

【0075】

また、制御ゲート電極CGPを導体パターンで形成したことにより、基板1には制御ゲート電極形成用のnウエルNW1が不要になる。この場合のデータの書き込みおよび読み出し動作は、前記実施の形態1の図8および図9等で説明したのと同じである。なお、本実施の形態3の場合も基板1に形成されている主回路の素子は前記図13に示したMIS・FETQAを例示できるので説明を省略する。

【0076】

（実施の形態4）

本実施の形態4では、不揮発性メモリが前記EEPROMであって、制御ゲート電極が導体パターンで形成されている場合について説明する。

40

【0077】

図31は本実施の形態4の半導体装置の不揮発性メモリ（EEPROM）の要部断面図を示している。本実施の形態4の半導体装置の不揮発性メモリ（EEPROM）の回路構成は図21、図26および図28と同じである。また、この不揮発性メモリの要部平面構成も前記図22および図23とほぼ同じである。異なるのは、メモリセルMCの制御ゲート電極CGPが、pウエルPW3ではなく、例えば低抵抗な多結晶シリコン等からなる導体パターンで形成されており、データの書き込み、読み出しに際しては、制御ゲート用のウエルに印加していた前記所望の電圧を制御ゲート電極CGPに印加するようになって

50

いることである。この制御ゲート電極CGPは、前記実施の形態3と同様に、浮遊ゲート電極FG(すなわち、容量電極CE、ゲート電極GR, GW)上に絶縁層20を介して形成されている。

#### 【0078】

この制御ゲート電極CGPは、電極5fと電氣的に接続されている。また、データ書き込み用MIS・FETQWの選択MIS・FETQSのゲート電極GSは、データ書き込み用MIS・FETの制御ゲート電極CGPと同層で形成されている。

#### 【0079】

また、制御ゲート電極CGPを導体パターンで形成したことにより、基板1には制御ゲート電極形成用のpウエルNW3および埋込領域NiSOが不要になる。この場合のデータの読み出し、書き込み、消去動作は、前記実施の形態2の図21、図24～図29等で説明したのと同じである。なお、本実施の形態4の場合も基板1に形成されている主回路の素子は前記図13に示したMIS・FETQAを例示できるので説明を省略する。

#### 【0080】

(実施の形態5)

本実施の形態5では、前記不揮発性メモリのメモリセルのデータ書き込み用のMIS・FETと、データ読み出し用のMIS・FETとを1つのMIS・FETで兼用する構成について説明する。

#### 【0081】

前記本実施の形態1～4では、データ書き込み用のMIS・FETQW(前記実施の形態2, 4の場合はデータ書き込み用のMIS・FETQWがデータ消去用のMIS・FETを兼ねている)と、データ読み出し用のMIS・FETQRとを別々に設ける場合について説明したが、どちらか一方を省略して、データ書き込みおよびデータ読み出しのすべての動作を一つのMIS・FETによって行う構成にしても良い。

#### 【0082】

その一例を図32に示す。図32では、不揮発性メモリ(OTPROM)の1ビット分のメモリセルMCの平面図を示している。MIS・FETQWRは、データ書き込みおよびデータ読み出しの両方の動作を兼用するMIS・FETを示している。MIS・FETQWR自体の構成や回路動作の仕方(データの書き込み方式、読み出し方式および印加電圧条件等)は、前記実施の形態1または3等で説明したのと同じである。なお、符号のGは、MIS・FETQWRのゲート電極、符号7は、ソースおよびドレイン用のn形の半導体領域を示している。この場合も選択MIS・FETQSが前記実施の形態1等で説明したのと同様に配置され、データの書き込みおよび読み出し兼用のMIS・FETQWRに前記実施の形態1等で説明したのと同様に電氣的に接続されている。符号のWRBLは、データ書き込みおよびデータ読み出し兼用のビット線を示している。ビット線WRBLは、金属配線を通じて選択MIS・FETQSの半導体領域10に電氣的に接続されている。

#### 【0083】

また、EEPROMの場合もほぼ同じである。この場合は、基板1の構成が前記実施の形態2または4等で説明したのと同じになる。また、MIS・FETQWRは、データ書き込み、データ読み出しの他に、データ消去も行う。この場合のEEPROMのメモリセルMCのMIS・FETQWR自体の構成や回路動作の仕方(データの書き込み方式、読み出し方式および印加電圧条件等)は、前記実施の形態2, 4等で説明したのと同じである。この場合も選択MIS・FETQSが前記実施の形態1等で説明したのと同様に配置され、データの書き込みおよび読み出し兼用のMIS・FETQWRに前記実施の形態1等で説明したのと同様に電氣的に接続される。ここでは、データの書き込みおよび読み出し用のMIS・FETが兼用なので、選択MIS・FETQSをデータ読み出しおよびデータ書き込みの両方に設ける必要がなくなり、1ビットに1つ設ければ良い。

#### 【0084】

このように、データ書き込みおよびデータ読み出しのすべての動作を一つのMIS・F

10

20

30

40

50

ETで兼用することで、不揮発性メモリセルのセル面積を縮小することが可能となる。

【0085】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0086】

例えば前記実施の形態では不揮発性メモリの1ビットを2つのメモリセルMCで構成した場合について説明したが、これに限定されるものではなく、例えば1ビットを1つのメモリセルMCで構成しても良い。

【産業上の利用可能性】

10

【0087】

本発明は、半導体装置や電子装置の産業に適用できる。

【図面の簡単な説明】

【0088】

【図1】本発明者が検討した不揮発性メモリの回路図である。

【図2】図1の不揮発性メモリのメモリセルアレイの要部平面図である。

【図3】図2の不揮発性メモリのメモリセルアレイの1ビット分の拡大平面図である。

【図4】データ書き込み時の選択メモリセルの図3のY1-Y1線の断面図である。

【図5】データ読み出し時の選択メモリセルの図3のY1-Y1線の断面図である。

【図6】データ書き込み時の非選択メモリセルの図3のY1-Y1線の断面図である。

20

【図7】データ書き込み時の非選択メモリセルの図3のY1-Y1線の断面図である。

【図8】本発明の一実施の形態である半導体装置の不揮発性メモリのデータ書き込み時の印加電圧の一例を示した回路図である。

【図9】本発明の一実施の形態である半導体装置の不揮発性メモリのデータ読み出し時の印加電圧の一例を示した回路図である。

【図10】図8および図9の不揮発性メモリのメモリセルアレイの要部平面図である。

【図11】図10の不揮発性メモリのメモリセルアレイの1ビット分の要部拡大平面図である。

【図12】図11のY2-Y2線の断面図である。

【図13】図8～図12の不揮発性メモリが形成された半導体チップの主回路形成領域に形成された主回路形成用の素子の一例の断面図である。

30

【図14】本発明者が検討した他の不揮発性メモリの回路図である。

【図15】図14の不揮発性メモリのメモリセルアレイの要部平面図である。

【図16】図15の不揮発性メモリのメモリセルアレイの1ビット分の拡大平面図である。

【図17】データ書き込み時の選択メモリセルの図16のY3-Y3線に相当する箇所の断面図である。

【図18】データ消去時の選択メモリセルの図16のY3-Y3線に相当する箇所の断面図である。

【図19】データ読み出し時の選択メモリセルの図16のY3-Y3線の断面図である。

40

【図20】データ読み出し時の非選択メモリセルの図16のY3-Y3線の断面図である。

【図21】本発明の他の実施の形態である半導体装置の不揮発性メモリのデータ読み出し時の印加電圧の一例を示した回路図である。

【図22】図21の不揮発性メモリのメモリセルアレイの要部平面図である。

【図23】図21の不揮発性メモリのメモリセルアレイの1ビット分の拡大平面図である。

【図24】データ読み出し書き込み時の選択対象のメモリセルの図23のY4-Y4線の断面図である。

【図25】データ読み出し時の非選択のメモリセルの図23のY4-Y4線の断面図であ

50

る。

【図 2 6】本発明の他の実施の形態である半導体装置の不揮発性メモリの選択対象のメモリセルへの書き込み動作時の回路図である。

【図 2 7】図 2 6 の不揮発メモリの選択対象のメモリセルへの書き込み動作時の各部への印加電圧例を示す要部断面図である。

【図 2 8】図 2 6 の不揮発メモリの選択対象のメモリセルの消去動作時の回路図である。

【図 2 9】図 2 6 の不揮発メモリの選択対象のメモリセルの消去動作時の各部への印加電圧例を示す要部断面図である。

【図 3 0】本発明の他の実施の形態である半導体装置の不揮発性メモリのメモリセルの要部断面図である。

10

【図 3 1】本発明の他の実施の形態である半導体装置の不揮発性メモリのメモリセルの要部断面図である。

【図 3 2】本発明のさらに他の実施の形態である半導体装置の不揮発性メモリのメモリセルの要部平面図である。

【符号の説明】

【0089】

1 S 半導体基板

2 分離部

3 絶縁層

4 導体部

20

5 a ~ 5 k , 5 m 電極

6 a ~ 6 d ゲート絶縁膜

7 S W n 形のソース用の半導体領域

7 S a n<sup>-</sup>形の半導体領域

7 S b n<sup>+</sup>形の半導体領域

7 D W n 形のドレイン用の半導体領域

7 D a n<sup>-</sup>形の半導体領域

7 D b n<sup>+</sup>形の半導体領域

7 R 一对の n 形の半導体領域

7 R a n<sup>-</sup>形の半導体領域

7 R b n<sup>+</sup>形の半導体領域

30

8 a n<sup>+</sup>形の半導体領域

1 0 n 形の半導体領域

1 0 a n<sup>-</sup>形の半導体領域

1 0 b n<sup>+</sup>形の半導体領域

1 1 n 形の半導体領域

1 1 a n<sup>-</sup>形の半導体領域

1 1 b n<sup>+</sup>形の半導体領域

1 5 a p<sup>+</sup>形の半導体領域

1 7 n 形のドレイン用の半導体領域

40

1 7 a n<sup>-</sup>形の半導体領域

1 7 b n<sup>+</sup>形の半導体領域

2 0 絶縁層

W B L , W B L 0 ~ W B L 1 5 データ書き込み用のビット線

R B L , R B L 0 ~ R B L 1 5 データ読み出し用のビット線

C G , C G 0 ~ C G 1 5 制御ゲート線

S L , S L 1 , S L 2 ソース線

I N V インバータ回路

S A センスアンプ回路

M C 不揮発性メモリセル

50

- QW データ書き込み用のMIS・FET
- QR データ読み出し用のMIS・FET
- QS, QS1, QS2 選択MIS・FET
- QA MIS・FET
- C 容量部
- CE 容量電極
- CA 容量絶縁膜
- PW1 pウエル
- PW2 pウエル
- PW3 pウエル
- NW1 nウエル
- NW2 nウエル
- PWA p<sup>+</sup>形の半導体領域
- NWA n<sup>+</sup>形の半導体領域
- L1~L6 活性領域
- CT コンタクトホール
- FG 浮遊ゲート電極
- GW ゲート電極
- GR ゲート電極
- GS, GS2 ゲート電極
- GA ゲート電極
- CGW 制御ゲート電極
- CGS, CS1, CGS2 制御配線

10

20

【図1】

【図2】

図1

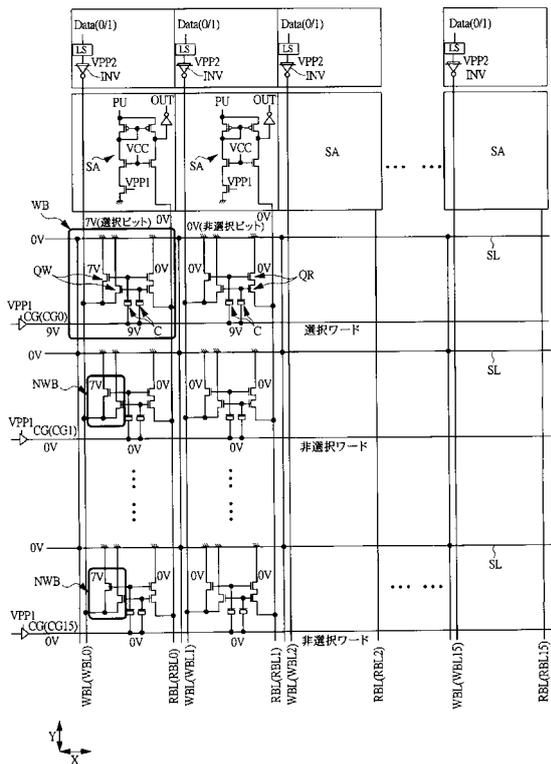
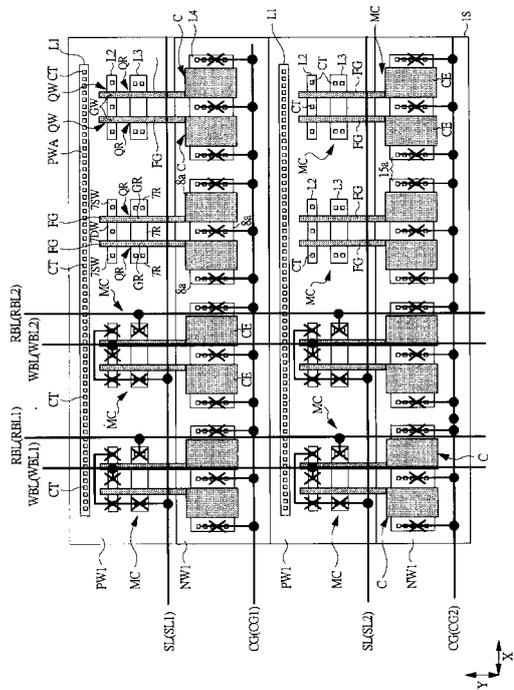


図2



















---

フロントページの続き

(51) Int.Cl.		F I			テーマコード(参考)
<b>H 0 1 L 29/788 (2006.01)</b>		G 1 1 C	17/00	6 2 1 B	
<b>G 1 1 C 16/04 (2006.01)</b>		G 1 1 C	17/00	6 2 1 C	

Fターム(参考) 5F083 EP03 EP13 EP22 EP33 EP63 EP68 ER02 ER19 ER30 GA16  
GA17 KA13 NA01 ZA12  
5F101 BA02 BA12 BB06 BC11 BD02 BD22 BD23 BE02 BE05 BE07  
BG07  
5L106 AA10 CC09