

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6142300号
(P6142300)

(45) 発行日 平成29年6月7日(2017.6.7)

(24) 登録日 平成29年5月19日(2017.5.19)

(51) Int.Cl.	F I	
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 9 A
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 1 7 V
HO 1 L 21/316 (2006.01)	HO 1 L 29/78	6 1 8 B
HO 1 L 21/306 (2006.01)	HO 1 L 29/78	6 2 7 C
	HO 1 L 21/316	C
請求項の数 9 (全 25 頁) 最終頁に続く		

(21) 出願番号	特願2015-551370 (P2015-551370)	(73) 特許権者	514188173 株式会社 J O L E D 東京都千代田区神田錦町三丁目2 3 番地
(86) (22) 出願日	平成26年8月26日 (2014. 8. 26)	(74) 代理人	100189430 弁理士 吉川 修一
(86) 国際出願番号	PCT/JP2014/004370	(74) 代理人	100190805 弁理士 傍島 正朗
(87) 国際公開番号	W02015/083303	(72) 発明者	佐々木 厚 日本国東京都千代田区神田錦町三丁目2 3 番地 株式会社 J O L E D 内
(87) 国際公開日	平成27年6月11日 (2015. 6. 11)		
審査請求日	平成28年3月8日 (2016. 3. 8)	審査官	岩本 勉
(31) 優先権主張番号	特願2013-249375 (P2013-249375)		
(32) 優先日	平成25年12月2日 (2013. 12. 2)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板の上方に酸化物半導体膜を形成する工程と、
前記酸化物半導体膜上に、厚さが5 nm以下のシリコン膜を形成する工程と、
前記シリコン膜をプラズマ酸化することで、(i)シリコン酸化膜を形成し、かつ、(i i)前記酸化物半導体膜に酸素を供給する工程と、
前記プラズマ酸化する工程の後に、前記シリコン酸化膜上に絶縁膜を形成する工程と、
前記絶縁膜の上方にゲート電極、ドレイン電極又はソース電極を形成する工程とを含む
薄膜トランジスタの製造方法。

【請求項 2】

前記シリコン膜を形成する工程では、スパッタリングによって前記シリコン膜を形成する

請求項 1 に記載の薄膜トランジスタの製造方法。

【請求項 3】

前記酸化物半導体膜を形成する工程及び前記シリコン膜を形成する工程では、同一真空系内で、前記酸化物半導体膜と前記シリコン膜とを形成する

請求項 1 又は 2 に記載の薄膜トランジスタの製造方法。

【請求項 4】

前記シリコン膜の厚さは、2 nm以上である

請求項 1 ~ 3 のいずれか 1 項に記載の薄膜トランジスタの製造方法。

【請求項 5】

前記プラズマ酸化する工程では、表面波プラズマ、又は、励起周波数が 27 MHz 以上の容量結合プラズマによって、前記シリコン膜をプラズマ酸化する

請求項 1 ~ 4 のいずれか 1 項に記載の薄膜トランジスタの製造方法。

【請求項 6】

前記薄膜トランジスタの製造方法は、さらに、

前記シリコン酸化膜上に、パターニングされたレジストを形成する工程と、

前記レジストをマスクとして用いて前記シリコン酸化膜をドライエッチングすることで、パターニングされた酸化シリコン層を形成する工程と、

前記レジスト及び前記酸化シリコン層をマスクとして用いて前記酸化物半導体膜をウェットエッチングする工程と、

アッシングにより前記レジストの端部を後退させる工程と、

端部が後退した前記レジストをマスクとして用いて前記酸化シリコン層をドライエッチングする工程とを含む

請求項 1 ~ 5 のいずれか 1 項に記載の薄膜トランジスタの製造方法。

【請求項 7】

前記酸化物半導体膜は、透明アモルファス酸化物半導体である

請求項 1 ~ 6 のいずれか 1 項に記載の薄膜トランジスタの製造方法。

【請求項 8】

前記酸化物半導体膜は、InGaZnO である

請求項 1 ~ 7 のいずれか 1 項に記載の薄膜トランジスタの製造方法。

【請求項 9】

基板の上方に酸化物半導体膜を形成する工程と、

前記酸化物半導体膜上にシリコン膜を形成する工程と、

前記シリコン膜をプラズマ酸化することで、(i)シリコン酸化膜を形成し、かつ、(i i)前記酸化物半導体膜に酸素を供給する工程と、

前記シリコン酸化膜上に、パターニングされたレジストを形成する工程と、

前記レジストをマスクとして用いて前記シリコン酸化膜をドライエッチングすることで、パターニングされた酸化シリコン層を形成する工程と、

前記レジスト及び前記酸化シリコン層をマスクとして用いて前記酸化物半導体膜をウェットエッチングする工程と、

アッシングにより前記レジストの端部を後退させる工程と、

端部が後退した前記レジストをマスクとして用いて前記酸化シリコン層をドライエッチングする工程とを含む

薄膜トランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、薄膜トランジスタ及びその製造方法に関する。

【背景技術】

【0002】

液晶表示装置又は有機 EL (Electroluminescence) 表示装置などのアクティブマトリクス方式の表示装置には、スイッチング素子又は駆動素子として薄膜トランジスタ (TFT: Thin Film Transistor) が広く用いられている。

【0003】

近年、TFTのチャンネル層に酸化亜鉛 (ZnO)、酸化インジウムガリウム (InGaO)、又は、酸化インジウムガリウム亜鉛 (InGaZnO) などの酸化物半導体を用いた構成について、研究開発が積極的に進められている。酸化物半導体をチャンネル層に用いたTFTは、オフ電流が小さく、アモルファス状態でも高いキャリア移動度を持ち、低温

10

20

30

40

50

プロセスで形成可能であるという特徴を持つ。

【0004】

従来、TFTの酸化物半導体層に酸素を供給することで、電気特性の劣化を低減する技術が開示されている。例えば、特許文献1及び特許文献2には、酸化物半導体層の表面にプラズマ処理を施すことで、酸化物半導体層に酸素を供給する技術が開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2012-004554号公報

【特許文献2】特開2011-249019号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0006】

上記従来の薄膜トランジスタでは、酸化物半導体層を形成した後、当該酸化物半導体層を覆う絶縁層を形成する工程中、又は、絶縁層を形成する工程の後に、プラズマ処理によって酸化物半導体層に酸素を供給する。これにより、酸化物半導体層の表面及び酸化物半導体層と絶縁層との界面の欠陥を低減する。

【0007】

しかしながら、酸化物半導体層を覆う絶縁層を形成する工程中のプラズマ処理は、酸化物半導体層の表面に損傷を与える可能性があり、プロセスの制御が困難であるという課題を有する。また、絶縁層を形成する工程の後で行うプラズマ処理は、酸化物半導体層に酸素を供給するには、酸素が絶縁層中を拡散する必要があるため処理時間がかかるという課題を生じる。

20

【0008】

そこで、本開示は、プラズマ処理による酸化物半導体表面への損傷を抑制すると共に、効率良く酸化物半導体層に酸素を供給することにより電気特性の劣化が十分に抑制された薄膜トランジスタ及びその製造方法を提供する。

【課題を解決するための手段】

【0009】

上記課題を解決するため、本開示の一態様に係る薄膜トランジスタの製造方法は、基板の上方に酸化物半導体膜を形成する工程と、前記酸化物半導体膜上にシリコン膜を形成する工程と、前記シリコン膜をプラズマ酸化することで、(i)シリコン酸化膜を形成し、かつ、(ii)前記酸化物半導体膜に酸素を供給する工程とを含む。

30

【発明の効果】

【0010】

本開示によれば、電気特性の劣化が十分に抑制された薄膜トランジスタ及びその製造方法を提供することができる。

【図面の簡単な説明】

【0011】

【図1】図1は、実施の形態1に係る有機EL表示装置の一部切り欠き斜視図である。

40

【図2】図2は、実施の形態1に係る有機EL表示装置における画素回路の構成を示す電気回路図である。

【図3】図3は、実施の形態1に係る薄膜トランジスタの概略断面図である。

【図4A】図4Aは、実施の形態1に係る薄膜トランジスタの製造方法を示す概略断面図である。

【図4B】図4Bは、実施の形態1に係る薄膜トランジスタの製造方法を示す概略断面図である。

【図4C】図4Cは、実施の形態1に係る薄膜トランジスタの製造方法を示す概略断面図である。

【図5】図5は、実施の形態1の変形例に係る連続成膜に利用できるチャンバーの構成を

50

示す模式図である。

【図 6】図 6 は、実施の形態 2 に係る薄膜トランジスタの概略断面図である。

【図 7 A】図 7 A は、実施の形態 2 に係る薄膜トランジスタの製造方法を示す概略断面図である。

【図 7 B】図 7 B は、実施の形態 2 に係る薄膜トランジスタの製造方法を示す概略断面図である。

【図 7 C】図 7 C は、実施の形態 2 に係る薄膜トランジスタの製造方法を示す概略断面図である。

【発明を実施するための形態】

【0012】

10

(本開示の概要)

本開示に係る薄膜トランジスタの製造方法は、基板の上方に酸化物半導体膜を形成する工程と、酸化物半導体膜上にシリコン膜を形成する工程と、シリコン膜をプラズマ酸化することで、(i)シリコン酸化膜を形成し、かつ、(ii)酸化物半導体膜に酸素を供給する工程とを含む。

【0013】

これにより、プラズマ酸化によって形成されたシリコン酸化膜は、プラズマによって酸化物半導体表面が損傷を受けるのを防止すると共に、プラズマ酸化によって酸素が供給された後の酸化物半導体膜が外気に曝されるのを防止する。このように、プラズマによる損傷及び酸素欠損を抑制するので、酸化物半導体膜の物性劣化を抑制することができる。したがって、酸化物半導体膜の低抵抗化などを抑制することができる。よって、本実施の形態に係る薄膜トランジスタの製造方法によれば、電気特性の劣化が抑制された薄膜トランジスタを製造することができる。

20

【0014】

また、例えば、本開示に係る薄膜トランジスタの製造方法では、シリコン膜を形成する工程では、スパッタリングによってシリコン膜を形成してもよい。

【0015】

スパッタリングで用いられるプラズマには水素が含まれないため、酸化物半導体膜に水素が拡散するのを防止することができる。すなわち、シリコン膜をスパッタリングする際には、一般的には、アルゴン又はクリプトンなどの希ガス元素を導入ガスとして用いて行われる。つまり、導入ガスとして水素を含むガスを用いないので、酸化物半導体膜に水素が拡散するのを防止することができ、電気特性の劣化を抑制することができる。

30

【0016】

また、例えば、本開示に係る薄膜トランジスタの製造方法では、酸化物半導体膜を形成する工程及びシリコン膜を形成する工程では、同一真空系内で、酸化物半導体膜とシリコン膜とを形成してもよい。

【0017】

これにより、同一真空系内で酸化物半導体膜とシリコン膜とを形成するので、酸化物半導体膜とシリコン膜との界面を清浄に保つことができる。したがって、電気特性の劣化をより抑制することができる。

40

【0018】

また、例えば、本開示に係る薄膜トランジスタの製造方法では、シリコン膜の厚さは、5 nm以下であってもよい。

【0019】

これにより、プラズマ酸化に要する時間を短くすることができるので、製造コストを低減することができる。

【0020】

また、例えば、本開示に係る薄膜トランジスタの製造方法では、シリコン膜の厚さは、2 nm以上であってもよい。

【0021】

50

これにより、プラズマ酸化によって酸素が供給された後の酸化物半導体膜が外気に曝されるのを防止するために十分な膜厚のシリコン酸化膜を形成することができる。

【0022】

なお、本開示において、範囲を「A～B」で示したとき、当該範囲はA以上、B以下であることを示す。例えば、「シリコン膜の膜厚が2nm～5nmである」とは、「シリコン膜の膜厚が2nm以上、5nm以下である」ことを示す。

【0023】

また、例えば、本開示に係る薄膜トランジスタの製造方法では、プラズマ酸化する工程では、表面波プラズマ、又は、励起周波数が27MHz以上の容量結合プラズマによって、シリコン膜をプラズマ酸化してもよい。

10

【0024】

これにより、表面波プラズマ、又は、励起周波数が27MHz以上の容量結合プラズマは、高密度の酸素ラジカルを生成することができ、かつ、被処理基板へのイオン入射によるダメージが少ないという利点がある。したがって、酸化物半導体膜へのダメージを低減しつつ、酸化物半導体膜へ効果的に酸素を供給することができる。

【0025】

また、例えば、本開示に係る薄膜トランジスタの製造方法は、さらに、シリコン酸化膜上に、パターンニングされたレジストを形成する工程と、レジストをマスクとして用いてシリコン酸化膜をドライエッチングすることで、パターンニングされた酸化シリコン層を形成する工程と、レジスト及び酸化シリコン層をマスクとして用いて酸化物半導体膜をウェットエッチングする工程と、アッシングによりレジストの端部を後退させる工程と、端部が後退したレジストをマスクとして用いて酸化シリコン層をドライエッチングする工程とを含んでもよい。

20

【0026】

これにより、酸化物半導体膜のウェットエッチングによって生じた酸化シリコン層の突出部分を除去することができる。

【0027】

また、例えば、本開示に係る薄膜トランジスタの製造方法では、酸化物半導体膜は、透明アモルファス酸化物半導体であってもよい。

【0028】

また、例えば、本開示に係る薄膜トランジスタの製造方法では、酸化物半導体膜は、InGaZnOであってもよい。

30

【0029】

また、本開示に係る薄膜トランジスタは、基板と、基板の上方に形成された酸化物半導体層と、酸化物半導体層上に形成された酸化シリコン層とを備え、酸化シリコン層は、酸化物半導体層上に形成されたシリコン膜をプラズマ酸化することで形成され、酸化物半導体層は、プラズマ酸化によって供給された酸素を含む。

【0030】

以下、薄膜トランジスタ、その製造方法、及び、薄膜トランジスタを用いた有機EL表示装置の一実施の形態について、図面を用いて説明する。なお、以下に説明する実施の形態は、いずれも本開示における好ましい一具体例を示すものである。したがって、以下の実施の形態で示される、数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、工程、並びに、工程の順序などは、一例であって本開示を限定する主旨ではない。よって、以下の実施の形態における構成要素のうち、本開示における最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

40

【0031】

なお、各図は、模式図であり、必ずしも厳密に図示されたものではない。また、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡略化する。

【0032】

50

(実施の形態1)

[有機EL表示装置]

まず、本実施の形態に係る有機EL表示装置10の構成について、図1を用いて説明する。図1は、本実施の形態に係る有機EL表示装置の一部切り欠き斜視図である。

【0033】

図1に示すように、有機EL表示装置10は、複数個の薄膜トランジスタが配置されたTFT基板(TFTアレイ基板)20と、下部電極である陽極41、有機材料からなる発光層であるEL層42及び透明な上部電極である陰極43からなる有機EL素子(発光部)40との積層構造により構成される。

【0034】

TFT基板20には複数の画素30がマトリクス状に配置されており、各画素30には画素回路31が設けられている。

【0035】

有機EL素子40は、複数の画素30のそれぞれに対応して形成されており、各画素30に設けられた画素回路31によって各有機EL素子40の発光の制御が行われる。有機EL素子40は、複数の薄膜トランジスタを覆うように形成された層間絶縁膜(平坦化膜)の上に形成される。

【0036】

また、有機EL素子40は、陽極41と陰極43との間にEL層42が配置された構成となっている。陽極41とEL層42の間にはさらに正孔輸送層が積層形成され、EL層42と陰極43の間にはさらに電子輸送層が積層形成されている。なお、陽極41と陰極43の間には、その他の有機機能層が設けられていてもよい。

【0037】

各画素30は、それぞれの画素回路31によって駆動制御される。また、TFT基板20には、画素30の行方向に沿って配置される複数のゲート配線(走査線)50と、ゲート配線50と交差するように画素30の列方向に沿って配置される複数のソース配線(信号配線)60と、ソース配線60と平行に配置される複数の電源配線(図1では省略)とが形成されている。各画素30は、例えば、直交するゲート配線50とソース配線60とによって区画されている。

【0038】

ゲート配線50は、各画素回路31に含まれるスイッチング素子として動作する薄膜トランジスタのゲート電極と行毎に接続されている。ソース配線60は、各画素回路31に含まれるスイッチング素子として動作する薄膜トランジスタのソース電極と列毎に接続されている。電源配線は、各画素回路31に含まれる駆動素子として動作する薄膜トランジスタのドレイン電極と列毎に接続されている。

【0039】

ここで、画素30における画素回路31の回路構成について、図2を用いて説明する。図2は、本実施の形態に係る有機EL表示装置における画素回路の構成を示す電気回路図である。

【0040】

図2に示すように、画素回路31は、駆動素子として動作する薄膜トランジスタ32と、スイッチング素子として動作する薄膜トランジスタ33と、対応する画素30に表示するためのデータを記憶するキャパシタ34とで構成される。本実施の形態において、薄膜トランジスタ32は、有機EL素子40を駆動するための駆動トランジスタであり、薄膜トランジスタ33は、画素30を選択するためのスイッチングトランジスタである。

【0041】

薄膜トランジスタ32は、薄膜トランジスタ33のドレイン電極33d及びキャパシタ34の一端に接続されるゲート電極32gと、電源配線70に接続されるドレイン電極32dと、キャパシタ34の他端と有機EL素子40の陽極41とに接続されるソース電極32sと、半導体膜(図示せず)とを備える。この薄膜トランジスタ32は、キャパシタ

10

20

30

40

50

34が保持しているデータ電圧に対応する電流を電源配線70からソース電極32sを通じて有機EL素子40の陽極41に供給する。これにより、有機EL素子40では、陽極41から陰極43へと駆動電流が流れてEL層42が発光する。

【0042】

薄膜トランジスタ33は、ゲート配線50に接続されるゲート電極33gと、ソース配線60に接続されるソース電極33sと、キャパシタ34の一端及び薄膜トランジスタ32のゲート電極32gに接続されるドレイン電極33dと、半導体膜(図示せず)とを備える。この薄膜トランジスタ33は、接続されたゲート配線50及びソース配線60に所定の電圧が印加されると、当該ソース配線60に印加された電圧がデータ電圧としてキャパシタ34に保存される。

10

【0043】

なお、上記構成の有機EL表示装置10では、ゲート配線50とソース配線60との交点に位置する画素30毎に表示制御を行うアクティブマトリクス方式が採用されている。これにより、各画素30(各サブ画素R、G、B)の薄膜トランジスタ32及び33によって、対応する有機EL素子40が選択的に発光し、所望の画像が表示される。

【0044】

[薄膜トランジスタ]

以下では、本実施の形態に係る薄膜トランジスタについて、図3を用いて説明する。なお、本実施の形態に係る薄膜トランジスタは、ボトムゲート型、かつ、チャンネル保護型の薄膜トランジスタである。

20

【0045】

図3は、本実施の形態に係る薄膜トランジスタ100の概略断面図である。

【0046】

図3に示すように、本実施の形態に係る薄膜トランジスタ100は、基板110と、ゲート電極120と、ゲート絶縁層130と、酸化物半導体層140と、酸化シリコン層150と、チャンネル保護層160と、ソース電極170sと、ドレイン電極170dとを備える。

【0047】

薄膜トランジスタ100は、例えば、図2に示す薄膜トランジスタ32又は33である。すなわち、薄膜トランジスタ100は、駆動トランジスタ又はスイッチングトランジスタとして利用できる。

30

【0048】

薄膜トランジスタ100が薄膜トランジスタ32である場合、ゲート電極120がゲート電極32gに、ソース電極170sがソース電極32sに、ドレイン電極170dがドレイン電極32dに、それぞれ相当する。また、薄膜トランジスタ100が薄膜トランジスタ33である場合、ゲート電極120がゲート電極33gに、ソース電極170sがソース電極33sに、ドレイン電極170dがドレイン電極33dに、それぞれ相当する。

【0049】

基板110は、電気絶縁性を有する材料からなる基板である。例えば、基板110は、無アルカリガラス、石英ガラス、高耐熱性ガラスなどのガラス材料、ポリエチレン、ポリプロピレン、ポリイミドなどの樹脂材料、シリコン、ガリウムヒ素などの半導体材料、絶縁層をコーティングしたステンレスなどの金属材料からなる基板である。

40

【0050】

なお、基板110は、樹脂基板などのフレキシブル基板でもよい。この場合、薄膜トランジスタ100をフレキシブルディスプレイに利用することができる。

【0051】

ゲート電極120は、基板110上に所定形状で形成される。ゲート電極120の膜厚は、例えば、20nm~500nmである。

【0052】

ゲート電極120は、導電性を有する材料からなる電極である。例えば、ゲート電極1

50

20の材料として、モリブデン、アルミニウム、銅、タングステン、チタン、マンガン、クロム、タンタル、ニオブ、銀、金、プラチナ、パラジウム、インジウム、ニッケル、ネオジムなどの金属、金属の合金、酸化インジウム錫（ITO）、アルミニウムドーパ酸亜鉛（AZO）、ガリウムドーパ酸亜鉛（GZO）などの導電性金属酸化物、ポリチオフェン、ポリアセチレンなどの導電性高分子などを用いることができる。また、ゲート電極120は、これらの材料を積層した多層構造であってもよい。

【0053】

ゲート絶縁層130は、ゲート電極120上に形成される。具体的には、ゲート絶縁層130は、ゲート電極120を覆うようにゲート電極120上及び基板110上に形成される。ゲート絶縁層130の膜厚は、例えば、50nm～300nmである。

10

【0054】

ゲート絶縁層130は、電気絶縁性を有する材料から構成される。例えば、ゲート絶縁層130は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、酸化アルミニウム膜、酸化タンタル膜、酸化ハフニウム膜などの単層膜、又は、これらの積層膜である。

【0055】

酸化物半導体層140は、薄膜トランジスタ100のチャンネル層であり、ゲート電極120に対向するように基板110の上方に形成される。具体的には、酸化物半導体層140は、ゲート電極120に対向する位置に、かつ、ゲート絶縁層130上に形成される。例えば、酸化物半導体層140は、ゲート電極120の上方において、ゲート絶縁層130上に島状に形成される。酸化物半導体層140の膜厚は、例えば、20～200nmである。

20

【0056】

酸化物半導体層140の材料としては、インジウム（In）、ガリウム（Ga）及び亜鉛（Zn）のうち、少なくとも1種を含む酸化物半導体材料を用いる。例えば、酸化物半導体層140は、アモルファス酸化インジウムガリウム亜鉛（InGaZnO:IGZO）などの透明アモルファス酸化物半導体（TAOS:Transparent Amorphous Oxide Semiconductor）から構成される。

【0057】

In:Ga:Znの比率は、例えば、約1:1:1である。また、In:Ga:Znの比率は、0.8～1.2:0.8～1.2:0.8～1.2の範囲でもよいが、この範囲には限られない。

30

【0058】

なお、チャンネル層が透明アモルファス酸化物半導体で構成される薄膜トランジスタは、キャリア移動度が高く、大画面及び高精細の表示装置に適している。また、透明アモルファス酸化物半導体は、低温成膜が可能であるため、プラスチック又はフィルムなどのフレキシブル基板上に容易に形成することができる。

【0059】

酸化物半導体層140は、プラズマ酸化によって供給された酸素を含んでいる。例えば、後述するように酸化物半導体層140は、酸化シリコン層150側からプラズマ酸化による酸素が供給される。したがって、酸化物半導体層140の酸化シリコン層150側の領域、具体的には、バックチャンネル領域には、プラズマ酸化によって供給された酸素を含んでいる。これにより、酸化物半導体層140の酸素欠損を抑制することができる。

40

【0060】

酸化シリコン層150は、酸化物半導体層140上に形成されたシリコン膜をプラズマ酸化することで、酸化物半導体層140上に形成される。酸化シリコン層150の膜厚は、例えば、2nm～5nmである。

【0061】

また、酸化シリコン層150の一部は、貫通するように開口されている。つまり、酸化シリコン層150には、酸化物半導体層140の一部を露出させるためのコンタクトホールが形成されている。酸化物半導体層140は、開口された部分（コンタクトホール）を

50

介してソース電極 170s 及び 170d に接続されている。

【0062】

なお、図3に示すように、酸化物半導体層 140 の端部は、酸化シリコン層 150 からみ出ている。つまり、平面視した場合に、酸化シリコン層 150 の面積は、酸化物半導体層 140 の面積より小さい。

【0063】

チャンネル保護層 160 は、酸化シリコン層 150 上に形成される。例えば、チャンネル保護層 160 は、酸化シリコン層 150 及び酸化物半導体層 140 の端部を覆うように、酸化シリコン層 150 上、酸化物半導体層 140 の端部上、及び、ゲート絶縁層 130 上に形成される。チャンネル保護層 160 の膜厚は、例えば、50nm ~ 500nm である。

10

【0064】

また、チャンネル保護層 160 の一部は、貫通するように開口されている。つまり、チャンネル保護層 160 には、酸化物半導体層 140 の一部を露出させるためのコンタクトホールが形成されている。当該コンタクトホールは、酸化シリコン層 150 に形成されたコンタクトホールと連続している。

【0065】

チャンネル保護層 160 は、電気絶縁性を有する材料から構成される。例えば、チャンネル保護層 160 は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、酸化アルミニウム膜などの無機材料から構成される膜、又は、シリコン、酸素及びカーボンを含む無機材料から構成される膜などの単層膜、又は、これらの積層膜である。

20

【0066】

ソース電極 170s 及びドレイン電極 170d は、チャンネル保護層 160 上に所定形状で形成される。具体的には、ソース電極 170s 及びドレイン電極 170d は、酸化シリコン層 150 及びチャンネル保護層 160 に形成されたコンタクトホールを介して酸化物半導体層 140 に接続され、チャンネル保護層 160 上において基板水平方向に離間して対向配置されている。ソース電極 170s 及びドレイン電極 170d は、100nm ~ 500nm である。

【0067】

ソース電極 170s 及びドレイン電極 170d は、導電性を有する材料からなる電極である。ソース電極 170s 及びドレイン電極 170d の材料としては、例えば、ゲート電極 120 の材料と同一の材料を用いることができる。

30

【0068】

以上のように、本実施の形態に係る薄膜トランジスタ 100 は、酸化物半導体層 140 上に 2nm ~ 5nm の酸化シリコン層 150 を備える。酸化シリコン層 150 は、酸化物半導体層 140 に酸素を供給するためのプラズマ酸化によりシリコン膜を酸化することで、形成される。

【0069】

酸化シリコン層 150 は、プラズマによって酸化物半導体層 140 の表面が損傷を受けるのを防止すると共に、プラズマ酸化によって酸素が供給された後の酸化物半導体層 140 が外気に曝されるのを防止する。このように、プラズマによる損傷及び酸素欠損を抑制するので、酸化物半導体層 140 の物性劣化を抑制することができる。したがって、酸化物半導体層 140 の低抵抗化などを抑制することができる。よって、本実施の形態に係る薄膜トランジスタ 100 は、電気特性の劣化を抑制することができる。

40

【0070】

[薄膜トランジスタの製造方法]

続いて、本実施の形態に係る薄膜トランジスタの製造方法について、図4A ~ 図4Cを用いて説明する。図4A ~ 図4Cは、本実施の形態に係る薄膜トランジスタ 100 の製造方法を示す概略断面図である。

【0071】

まず、図4Aの(a)に示すように、基板 110 を準備し、基板 110 の上方に所定形

50

状のゲート電極 120 を形成する。例えば、基板 110 上に金属膜をスパッタリングによって成膜し、フォトリソグラフィ及びウェットエッチングを用いて金属膜を加工することにより、所定形状のゲート電極 120 を形成する。

【0072】

具体的には、まず、基板 110 としてガラス基板を準備し、基板 110 上にモリブデン膜 (Mo 膜) と銅膜 (Cu 膜) とをスパッタリングによって順に成膜する。Mo 膜及び Cu 膜の膜厚の合計は、例えば、20 nm ~ 500 nm である。そして、フォトリソグラフィ及びウェットエッチングによって Mo 膜及び Cu 膜をパターニングすることにより、ゲート電極 120 を形成する。なお、Mo 膜及び Cu 膜のウェットエッチングは、例えば、過酸化水素水 (H_2O_2) 及び有機酸を混合した薬液を用いて行うことができる。

10

【0073】

次に、図 4A の (b) に示すように、基板 110 の上方にゲート絶縁層 130 を形成する。例えば、基板 110 上及びゲート電極 120 上にゲート絶縁層 130 をプラズマ CVD (Chemical Vapor Deposition) によって成膜する。

【0074】

具体的には、ゲート電極 120 を覆うように基板 110 上にシリコン窒化膜とシリコン酸化膜とをプラズマ CVD によって順に成膜することで、ゲート絶縁層 130 を形成する。ゲート絶縁層 130 の膜厚は、例えば、50 nm ~ 300 nm である。

【0075】

シリコン窒化膜は、例えば、シランガス (SiH_4)、アンモニアガス (NH_3) 及び窒素ガス (N_2) を導入ガスに用いることで成膜することができる。シリコン酸化膜は、例えば、シランガス (SiH_4) と亜酸化窒素ガス (N_2O) とを導入ガスに用いることで成膜することができる。

20

【0076】

次に、図 4A の (c) に示すように、基板 110 の上方、かつ、ゲート電極 120 に対向する位置に酸化物半導体膜 141 を形成する。例えば、ゲート絶縁層 130 上に酸化物半導体膜 141 をスパッタリングによって成膜する。酸化物半導体膜 141 の膜厚は、例えば、20 nm ~ 200 nm である。

【0077】

具体的には、組成比 $In : Ga : Zn = 1 : 1 : 1$ のターゲット材を用いた、酸素とアルゴン (Ar) との混合ガス雰囲気でのスパッタリングによって、ゲート絶縁層 130 上にアモルファス InGaZnO 膜を成膜する。

30

【0078】

次に、図 4A の (d) に示すように、酸化物半導体膜 141 上にシリコン膜 151 を形成する。例えば、酸化物半導体膜 141 上に、膜厚が 2 nm ~ 5 nm のシリコン膜 151 をスパッタリングによって形成する。スパッタリングは、例えば、ターゲット材がシリコン、導入ガスがアルゴン (Ar) 又はクリプトン (Kr) ガス、圧力が 0.1 Pa ~ 1.0 Pa、パワー密度が $0.03 W/cm^2 \sim 0.11 W/cm^2$ (投入電力が 2 kW ~ 6 kW) である条件で行う。

【0079】

次に、図 4A の (e) に示すように、シリコン膜 151 をプラズマ酸化する。シリコン膜 151 をプラズマ酸化することで、図 4A の (f) に示すように、シリコン酸化膜 152 を形成し、かつ、酸化物半導体膜 141 に酸素 (酸素ラジカル) を供給する。

40

【0080】

具体的には、表面波プラズマ、又は、励起周波数が 27 MHz 以上の容量結合プラズマ (VHF プラズマ) によって、シリコン膜 151 をプラズマ酸化する。なお、表面波プラズマは、例えば、励起周波数が 2.45 GHz、5.8 GHz、22.125 GHz などである。

【0081】

表面波プラズマ、又は、励起周波数が 27 MHz 以上の容量結合プラズマは、高密度の

50

酸素ラジカルを生成することができ、被処理基板へのイオン入射によるダメージが少ないという利点がある。すなわち、酸化物半導体膜 141 へのダメージを低減しつつ、酸化物半導体膜 141 へ効果的に酸素を供給することができる。

【0082】

なお、表面波プラズマによってシリコン膜 151 を酸化する場合、その酸化膜厚の増加速度は、酸素の拡散速度に律速される。具体的には、形成されるシリコン酸化膜の膜厚は、時間の平方根に比例して増加する。

【0083】

このため、シリコン膜 151 が厚い場合、プラズマ酸化によりシリコン酸化膜 152 を形成するのに要する時間が増大し、製造コストの増大などの問題が生じる。したがって、例えば、シリコン膜 151 の膜厚を 2 nm ~ 5 nm にすることで、短時間（例えば、数十秒 ~ 10 分程度）でプラズマ酸化を行い、酸化物半導体膜 141 へ酸素を供給することができる。このように、プラズマ酸化に要する時間を短くすることができるので、製造コストを低減することができる。

10

【0084】

次に、図 4 B の (g) に示すように、シリコン酸化膜 152 上に、所定形状にパターンニングされたレジスト 180 を形成する。レジスト 180 は、フォトリソグラフィによってパターンニングされる。例えば、レジスト 180 の膜厚は、約 2 μm である。

【0085】

具体的には、レジスト 180 は、感光性機能分子を含む高分子化合物からなるフォトレジストを用いて形成される。フォトレジストをシリコン酸化膜 152 上に塗布後、プリベーク、露光、現像、ポストベークを順に行うことで、パターンニングされたレジスト 180 を形成する。

20

【0086】

次に、図 4 B の (h) に示すように、酸化物半導体膜 141 上にパターンニングされた酸化シリコン層 153 を形成する。具体的には、レジスト 180 をマスクとして用いてシリコン酸化膜 152 をドライエッチングすることで、パターンニングされた酸化シリコン層 153 を形成する。

【0087】

ドライエッチングとしては、例えば、反応性イオンエッチング (RIE) を用いることができる。このとき、エッチングガスとしては、例えば、四フッ化炭素 (CF₄) 及び酸素ガス (O₂) を用いることができる。ガス流量、圧力、印加電力及び周波数などのパラメータは、基板サイズ、エッチングの膜厚などによって適宜設定される。

30

【0088】

次に、図 4 B の (i) に示すように、ゲート絶縁層 130 上にパターンニングされた酸化物半導体層 140 を形成する。具体的には、レジスト 180 及び酸化シリコン層 153 をマスクとして用いて酸化物半導体膜 141 をウェットエッチングすることで、酸化物半導体層 140 を形成する。

【0089】

具体的には、ゲート絶縁層 130 上に成膜されたアモルファス InGaZnO をウェットエッチングすることで、酸化物半導体層 140 を形成する。InGaZnO のウェットエッチングは、例えば、リン酸 (H₃PO₄)、硝酸 (HNO₃)、酢酸 (CH₃COOH) 及び水を混合した薬液を用いて行うことができる。

40

【0090】

なお、ウェットエッチングに用いる薬液が回り込むことにより、図 4 B の (i) に示すように、酸化シリコン層 153 の端部の下方において酸化物半導体層 140 の端部が削られる。言い換えると、平面視した場合において、酸化シリコン層 153 の端部は、酸化物半導体層 140 より外方に突出している。

【0091】

次に、図 4 B の (j) に示すように、アッシングによりレジスト 180 の端部を後退さ

50

せる。例えば、酸素プラズマを発生させることで、レジスト180は、プラズマ中の酸素ラジカルと結合して蒸発する。したがって、レジスト180は、酸素プラズマに曝されている部分、すなわち、レジスト180の表面から蒸発して除去されるので、レジスト180は、端部が徐々に後退する。つまり、レジスト180は、アッシングによって縮退する。

【0092】

このようにして、端部が後退したレジスト181が酸化シリコン層153上に形成される。なお、レジスト180は全体的に縮むので、端部が後退したレジスト181の膜厚は、レジスト180の膜厚より小さくなる。

【0093】

なお、酸素プラズマによってアッシングする時間は、例えば、酸化シリコン層153の突出部分の幅によって決定される。言い換えると、アッシングする時間は、平面視した場合において、縮退したレジスト181が酸化物半導体層140と同等以下の大きさになるように決定される。

【0094】

次に、図4Bの(k)に示すように、端部が後退したレジスト181をマスクとして用いて酸化シリコン層153をドライエッチングすることで、酸化シリコン層154を形成する。これにより、酸化物半導体膜141のウェットエッチングによって生じた酸化シリコン層153の突出部分(図4Bの(i)参照)を除去することができる。

【0095】

次に、図4Cの(l)に示すように、レジスト181を除去する。例えば、酸素プラズマを用いたアッシングによりレジスト181を除去する。具体的には、レジスト180の縮退の際より十分に長い時間でアッシングすることで、レジスト181を除去する。

【0096】

次に、図4Cの(m)に示すように、酸化物半導体層140の上方にチャネル保護膜161を形成する。例えば、酸化シリコン層154及び酸化物半導体層140を覆うようにして、酸化シリコン層154上、酸化物半導体層140上及びゲート絶縁層130上にチャネル保護膜161を形成する。

【0097】

具体的には、全面にシリコン酸化膜をプラズマCVDによって成膜することで、チャネル保護膜161を形成することができる。例えば、シリコン酸化膜の膜厚は、50nm~500nmである。シリコン酸化膜は、例えば、シランガス(SiH₄)と亜酸化窒素ガス(N₂O)とを導入ガスに用いることで成膜することができる。

【0098】

次に、図4Cの(n)に示すように、チャネル保護膜161及び酸化シリコン層154を所定形状にパターニングすることで、パターニングされたチャネル保護層160及び酸化シリコン層150を形成する。

【0099】

具体的には、酸化物半導体層140の一部を露出させるように、チャネル保護膜161及び酸化シリコン層154にコンタクトホールを形成する。例えば、チャネル保護膜161及び酸化シリコン層154の一部をエッチング除去することによってコンタクトホールを形成する。

【0100】

具体的には、フォトリソグラフィ及びドライエッチングによって、チャネル保護膜161及び酸化シリコン層154の一部をエッチングすることにより、酸化物半導体層140のソースコンタクト領域及びドレインコンタクト領域となる領域上に、コンタクトホールを形成する。例えば、チャネル保護膜161がシリコン酸化膜である場合、ドライエッチングとして反応性イオンエッチング(RIE)を用いることができる。このとき、エッチングガスとしては、例えば、四フッ化炭素(CF₄)及び酸素ガス(O₂)を用いることができる。ガス流量、圧力、印加電力及び周波数などのパラメータは、基板サイズ、エッ

10

20

30

40

50

チングの膜厚などによって適宜設定される。

【0101】

次に、図4Cの(o)に示すように、コンタクトホールを介して酸化物半導体層140に接続するように、金属膜171を形成する。具体的には、チャネル保護層160上及びコンタクトホール内に金属膜171を形成する。

【0102】

具体的には、チャネル保護層160上及びコンタクトホール内に、Mo膜とCu膜とCuMn膜とをスパッタリングによって順に成膜することで、金属膜171を形成する。なお、金属膜171の膜厚は、例えば、100nm～500nmである。

【0103】

次に、図4Cの(p)に示すように、酸化物半導体層140に接続されたソース電極170s及びドレイン電極170dを形成する。例えば、チャネル保護層160に形成したコンタクトホールを埋めるようにして、チャネル保護層160上に所定形状のソース電極170s及びドレイン電極170dを形成する。

【0104】

具体的には、チャネル保護層160上及びコンタクトホール内に、互いに間隔を空けてソース電極170s及びドレイン電極170dを形成する。より具体的には、フォトリソグラフィ及びウェットエッチングによって、金属膜171をパターンニングすることで、ソース電極170s及びドレイン電極170dを形成する。なお、Mo膜、Cu膜及びCuMn膜のウェットエッチングは、例えば、過酸化水素水(H₂O₂)及び有機酸を混合した薬液を用いて行うことができる。

【0105】

以上のようにして、薄膜トランジスタ100を製造することができる。

【0106】

[まとめ]

以上のように、本実施の形態に係る薄膜トランジスタの製造方法は、基板110の上方に酸化物半導体膜141を形成する工程と、酸化物半導体膜141上にシリコン膜151を形成する工程と、シリコン膜151をプラズマ酸化することで、(i)シリコン酸化膜152を形成し、かつ、(ii)酸化物半導体膜141に酸素を供給する工程とを含む。

【0107】

このように、プラズマ酸化によって形成されたシリコン酸化膜152は、プラズマによって酸化物半導体膜141の表面が損傷を受けるのを防止すると共に、プラズマ酸化によって酸素が供給された後の酸化物半導体膜141が外気に曝されるのを防止する。このように、プラズマによる損傷及び酸素欠損を抑制するので、酸化物半導体膜141の物性劣化を防止することができる。つまり、シリコン酸化膜152によって、後続の成膜工程によるプロセスダメージを低減することができる。

【0108】

なお、プロセスダメージが発生した場合には、酸化物半導体膜141の酸素欠損密度が高くなる。例えば、酸素欠損密度の高い領域は、キャリア密度が高くなるために、寄生電流パスが生じやすくなる。言い換えると、酸素欠損密度の高い領域は、低抵抗化している。

【0109】

上述したように、本実施の形態に係る薄膜トランジスタの製造方法によれば、酸素欠損を抑制することができるので、酸化物半導体膜141において酸素欠損密度を小さくすることができる。すなわち、酸化物半導体膜141において、キャリアの発生源を少なくすることができる。酸化物半導体膜141の低抵抗化などを抑制することができる。したがって、本実施の形態によれば、電気特性の劣化が抑制された薄膜トランジスタ100を製造することができる。

【0110】

なお、本実施の形態においては、酸化物半導体膜141を形成した後、酸化物半導体膜

10

20

30

40

50

141上にシリコン膜151を形成するが、このとき、同一真空系内で、酸化物半導体膜141とシリコン膜151とを形成してもよい。言い換えると、酸化物半導体膜141とシリコン膜151とを連続成膜によって形成してもよい。

【0111】

なお、同一真空系内とは、例えば、複数の真空チャンバーを略同じ圧力下で維持することである。具体的には、同一真空系内で成膜とは、対象基板を大気圧下に曝すことなく成膜することである。

【0112】

例えば、ゲートバルブを介して複数の真空チャンバーを接続し、真空を維持したまま基板の搬送を行う手段を設けた真空系内で行う連続成膜処理によって、酸化物半導体膜141及びシリコン膜151を形成してもよい。

10

【0113】

具体的には、連続成膜には、図5に示すような複数のチャンバーを有する成膜装置200を利用することができる。なお、図5は、本実施の形態の変形例に係る連続成膜に利用できるチャンバーの構成例を示す図である。

【0114】

図5に示す成膜装置200は、複数のチャンバーをゲートバルブによって接続したマルチチャンバー型の成膜装置である。成膜装置200は、2つの成膜チャンバー210及び211と、真空搬送チャンバー220と、各チャンバー間に設けられたゲートバルブ230～233とを備える。

20

【0115】

成膜チャンバー210は、酸化物半導体膜141を形成するための成膜チャンバーである。したがって、例えば、成膜チャンバー210は、組成比In:Ga:Zn=1:1:1のターゲット材を用いた、酸素雰囲気でのスパッタリングを行うためのチャンバーである。

【0116】

成膜チャンバー211は、シリコン膜151を形成するための成膜チャンバーである。したがって、例えば、成膜チャンバー211は、シリコンからなるターゲット材を用いた、Ar又はKr雰囲気でのスパッタリングを行うためのチャンバーである。

【0117】

真空搬送チャンバー220は、基板を搬送するためのチャンバーである。真空搬送チャンバー220内部に設けられた搬送アームなどによって、基板は、成膜チャンバー210から成膜チャンバー211に搬送される。

30

【0118】

ゲートバルブ230～233は、開閉式のバルブ（弁）である。ゲートバルブ230は、成膜チャンバー210に基板を配置する際に開放される。ゲートバルブ231及びゲートバルブ232は、基板を成膜チャンバー210から成膜チャンバー211に搬送する際に開放される。ゲートバルブ233は、基板を成膜チャンバー211から取り出す際に開放される。また、ゲートバルブ230～233は、成膜チャンバー210及び成膜チャンバー211においてスパッタリングが行われている間は、閉じられている。

40

【0119】

成膜チャンバー210及び211と、真空搬送チャンバー220とは、同一真空系内に保たれている。すなわち、成膜チャンバー210に基板が配置されてから、成膜チャンバー211から基板が取り出されるまでの間は、各チャンバーは、同一真空系内に保たれている。

【0120】

すなわち、外気に曝されることなく、酸化物半導体膜141とシリコン膜151とを連続成膜することができる。したがって、酸化物半導体膜141とシリコン膜151との界面を清浄に保つことができる。つまり、酸化物半導体膜141を成膜した後、その表面を清浄に保ったまま、シリコン膜151を成膜することができる。

50

【 0 1 2 1 】

このとき、本実施の形態では、シリコン膜 1 5 1 を Ar 又は Kr 雰囲気でのスパッタリングによって行う。つまり、水素を含むガスを用いないので、酸化物半導体膜 1 4 1 に水素が拡散されるのを抑制することができる。

【 0 1 2 2 】

以上のように、ゲートバルブ 2 3 0 ~ 2 3 3 を介して複数の成膜チャンバー 2 1 0 及び 2 1 1 を接続し、真空を維持したままで基板の搬送を行う真空搬送チャンバー 2 2 0 を設けた真空系内で行う連続成膜処理によって、酸化物半導体膜 1 4 1 及びシリコン膜 1 5 1 を形成することができる。これにより、酸化物半導体膜 1 4 1 の電気特性の劣化をより抑制することができる。

10

【 0 1 2 3 】

なお、複数の成膜チャンバー 2 1 0 及び 2 1 1 がゲートバルブを介してインライン状に接続された場合には、真空搬送チャンバー 2 2 0 を用いずに同一真空系を構成してもよい。また、複数の真空チャンバーではなく、同一の真空チャンバーで連続成膜してもよい。例えば、同一の真空チャンバー内に基板を配置し、ターゲット材及び導入ガスなどを変更することで、同一真空系内で酸化物半導体膜 1 4 1 及びシリコン膜 1 5 1 を連続成膜することができる。

【 0 1 2 4 】

(実施の形態 2)

次に、実施の形態 2 について説明する。なお、本実施の形態に係る有機 EL 表示装置の構成は、実施の形態 1 に係る有機 EL 表示装置 1 0 の構成と同様であるので、その説明は省略し、薄膜トランジスタについて説明する。

20

【 0 1 2 5 】

[薄膜トランジスタ]

以下では、本実施の形態に係る薄膜トランジスタについて説明する。なお、本実施の形態に係る薄膜トランジスタは、トップゲート型の薄膜トランジスタである。

【 0 1 2 6 】

図 6 は、本実施の形態に係る薄膜トランジスタ 3 0 0 の概略断面図である。

【 0 1 2 7 】

図 6 に示すように、本実施の形態に係る薄膜トランジスタ 3 0 0 は、基板 3 1 0 と、ゲート電極 3 2 0 と、ゲート絶縁層 3 3 0 と、酸化物半導体層 3 4 0 と、酸化シリコン層 3 5 0 と、絶縁層 3 6 0 と、ソース電極 3 7 0 s と、ドレイン電極 3 7 0 d とを備える。

30

【 0 1 2 8 】

薄膜トランジスタ 3 0 0 は、例えば、図 2 に示す薄膜トランジスタ 3 2 又は 3 3 である。すなわち、薄膜トランジスタ 3 0 0 は、駆動トランジスタ又はスイッチングトランジスタとして利用できる。

【 0 1 2 9 】

薄膜トランジスタ 3 0 0 が薄膜トランジスタ 3 2 である場合、ゲート電極 3 2 0 がゲート電極 3 2 g に、ソース電極 3 7 0 s がソース電極 3 2 s に、ドレイン電極 3 7 0 d がドレイン電極 3 2 d に、それぞれ相当する。また、薄膜トランジスタ 3 0 0 が薄膜トランジスタ 3 3 である場合、ゲート電極 3 2 0 がゲート電極 3 3 g に、ソース電極 3 7 0 s がソース電極 3 3 s に、ドレイン電極 3 7 0 d がドレイン電極 3 3 d に、それぞれ相当する。

40

【 0 1 3 0 】

基板 3 1 0 は、電気絶縁性を有する材料からなる基板である。例えば、基板 3 1 0 は、無アルカリガラス、石英ガラス、高耐熱性ガラスなどのガラス材料、ポリエチレン、ポリプロピレン、ポリイミドなどの樹脂材料、シリコン、ガリウムヒ素などの半導体材料、絶縁層をコーティングしたステンレスなどの金属材料からなる基板である。

【 0 1 3 1 】

なお、基板 3 1 0 は、樹脂基板などのフレキシブル基板でもよい。この場合、薄膜トランジスタ 3 0 0 をフレキシブルディスプレイに利用することができる。

50

【0132】

ゲート電極320は、基板310の上方に所定形状で形成される。例えば、ゲート電極320は、酸化半導体層340に対向する位置に、かつ、ゲート絶縁層330上に形成される。ゲート電極320材料及び膜厚としては、実施の形態1に係るゲート電極120と同一の材料及び膜厚を用いることができる。

【0133】

ゲート絶縁層330は、ゲート電極320と酸化半導体層340との間に形成される。具体的には、ゲート絶縁層330は、酸化シリコン層350上に形成される。ゲート絶縁層330は、電気絶縁性を有する材料から構成される。例えば、ゲート絶縁層330の材料及び膜厚としては、実施の形態1に係るゲート絶縁層130と同一の材料及び膜厚を用いることができる。

10

【0134】

酸化半導体層340は、薄膜トランジスタ300のチャネル層であり、ゲート電極320に対向するように基板310上に形成される。例えば、酸化半導体層340は、基板310上に島状に形成される。酸化半導体層340の材料及び膜厚としては、実施の形態1に係る酸化半導体層140と同一の材料及び膜厚を用いることができる。

【0135】

酸化半導体層340は、プラズマ酸化によって供給された酸素を含んでいる。例えば、後述するように酸化半導体層340は、酸化シリコン層350側からプラズマ酸化による酸素が供給される。したがって、酸化半導体層340の酸化シリコン層350側の領域、具体的には、フロントチャネル領域には、プラズマ酸化によって供給された酸素を含んでいる。これにより、酸化半導体層140の酸素欠損を抑制することができる。

20

【0136】

酸化シリコン層350は、酸化半導体層340上に形成されたシリコン膜をプラズマ酸化することで、酸化半導体層340上に形成される。酸化シリコン層350の膜厚は、例えば、2nm～5nmである。

【0137】

絶縁層360は、基板310上、酸化半導体層340上、及び、ゲート電極320上に形成される。例えば、絶縁層360は、ゲート電極320と酸化半導体層340の端部とを覆うように、基板310上、酸化半導体層340上、及び、ゲート電極320上に形成される。絶縁層360の材料及び膜厚としては、実施の形態1に係るチャネル保護層160と同一の材料及び膜厚を用いることができる。

30

【0138】

また、絶縁層360の一部は、貫通するように開口されている。つまり、絶縁層360には、酸化半導体層340の一部を露出させるためのコンタクトホールが形成されている。

【0139】

ソース電極370s及びドレイン電極370dは、絶縁層360上に所定形状で形成される。具体的には、ソース電極370s及びドレイン電極370dは、絶縁層360に形成されたコンタクトホールを介して酸化半導体層340に接続され、絶縁層360上において基板水平方向に離間して対向配置されている。ソース電極370s及びドレイン電極370dの材料及び膜厚としては、実施の形態1に係るソース電極170s及びドレイン電極170dと同一の材料及び膜厚を用いることができる。

40

【0140】

以上のように、本実施の形態に係る薄膜トランジスタ300は、酸化半導体層340上に2nm～5nmの酸化シリコン層350を備える。酸化シリコン層350は、酸化半導体層340に酸素を供給するためのプラズマ酸化によりシリコン膜を酸化することで、形成される。

【0141】

酸化シリコン層350は、プラズマによって酸化半導体層340の表面が損傷を受け

50

るのを防止すると共に、プラズマ酸化によって酸素が供給された後の酸化物半導体層 340 が外気に曝されるのを防止する。このように、プラズマによる損傷及び酸素欠損を抑制するので、酸化物半導体層 340 の物性劣化を抑制することができる。したがって、酸化物半導体層 340 の低抵抗化などを抑制することができる。よって、本実施の形態に係る薄膜トランジスタ 300 は、電気特性の劣化を抑制することができる。

【0142】

これにより、本実施の形態に係る薄膜トランジスタ 300 は、電気特性の劣化を抑制することができる。特に、本実施の形態では、フロントチャネル領域の低抵抗化を抑制することができるので、より電気特性の劣化を抑制することができる。

【0143】

[薄膜トランジスタの製造方法]

続いて、本実施の形態に係る薄膜トランジスタの製造方法について、図7A～図7Cを用いて説明する。図7A～図7Cは、本実施の形態に係る薄膜トランジスタ300の製造方法を示す概略断面図である。

【0144】

まず、図7Aの(a)に示すように、基板310を準備し、基板310上に酸化物半導体膜341を形成する。例えば、基板310上に酸化物半導体膜341をスパッタリングによって成膜する。スパッタリングの条件は、例えば、実施の形態1に係る酸化物半導体膜141の成膜のためのスパッタリングの条件と同一である(図4Aの(c)参照)。

【0145】

次に、図7Aの(b)に示すように、酸化物半導体膜341上にシリコン膜351を形成する。例えば、酸化物半導体膜341上に、膜厚が2nm～5nmのシリコン膜351をスパッタリングによって形成する。スパッタリングの条件は、例えば、実施の形態1に係るシリコン膜151の成膜のためのスパッタリングの条件と同一である(図4Aの(d)参照)。

【0146】

次に、図7Aの(c)に示すように、シリコン膜351をプラズマ酸化する。シリコン膜351をプラズマ酸化することで、図7Aの(d)に示すように、シリコン酸化膜352を形成し、かつ、酸化物半導体膜341に酸素を供給する。プラズマ酸化の条件は、例えば、実施の形態1に係るプラズマ酸化の条件と同一である(図4Aの(e)及び(f)参照)。したがって、酸化物半導体膜341へのダメージを低減しつつ、酸化物半導体膜341へ効果的に酸素を供給することができる。

【0147】

次に、図7Aの(e)に示すように、シリコン酸化膜352上に、所定形状にパターニングされたレジスト380を形成する。レジスト380は、フォトリソグラフィによってパターニングされる。レジスト380の形成は、例えば、実施の形態1に係るレジスト180の形成と同一の方法で行われる(図4Bの(g)参照)。

【0148】

次に、図7Aの(f)に示すように、酸化物半導体膜341上にパターニングされた酸化シリコン層353を形成する。具体的には、レジスト380をマスクとして用いてシリコン酸化膜352をドライエッチングすることで、パターニングされた酸化シリコン層353を形成する。シリコン酸化膜352のドライエッチングは、例えば、実施の形態1に係るシリコン酸化膜152のドライエッチングと同一の方法で行われる(図4Bの(h)参照)。

【0149】

次に、図7Bの(g)に示すように、基板310上にパターニングされた酸化物半導体層340を形成する。具体的には、レジスト380及び酸化シリコン層353をマスクとして用いて酸化物半導体膜341をウェットエッチングすることで、酸化物半導体層340を形成する。

【0150】

10

20

30

40

50

具体的には、基板 310 上に成膜されたアモルファス InGaZnO をウェットエッチングすることで、酸化物半導体層 340 を形成する。InGaZnO のウェットエッチングは、例えば、リン酸 (H_3PO_4)、硝酸 (HNO_3)、酢酸 (CH_3COOH) 及び水を混合した薬液を用いて行うことができる。

【0151】

なお、実施の形態 1 と同様に、ウェットエッチングに用いる薬液が回り込むことにより、図 7B の (g) に示すように、酸化シリコン層 353 の端部の下方において酸化物半導体層 340 の端部が削られている。言い換えると、平面視した場合において、酸化シリコン層 353 の端部は、酸化物半導体層 340 より外方に突出している。

【0152】

次に、図 7B の (h) に示すように、アッシングによりレジスト 380 の端部を後退させる。つまり、レジスト 380 をアッシングにより縮退させることで、端部が後退したレジスト 381 を酸化シリコン層 353 上に形成する。端部を後退させるためのレジスト 380 のアッシングは、例えば、実施の形態 1 に係るレジスト 180 のアッシングと同一の方法で行われる (図 4B の (j) 参照)。

【0153】

次に、図 7B の (i) に示すように、端部が後退したレジスト 381 をマスクとして用いて酸化シリコン層 353 をドライエッチングすることで、酸化シリコン層 354 を形成する。これにより、酸化物半導体膜 341 のウェットエッチングによって生じた酸化シリコン層 353 の突出部分 (図 7B の (g) 参照) を除去することができる。

【0154】

次に、図 7B の (j) に示すように、レジスト 381 を除去する。例えば、酸素プラズマを用いたアッシングによりレジスト 381 を除去する。具体的には、レジスト 380 の縮退の際より十分に長い時間でアッシングすることで、レジスト 381 を除去する。

【0155】

次に、図 7B の (k) に示すように、酸化シリコン層 354 上にゲート絶縁膜 331 を形成する。例えば、酸化シリコン層 354 と酸化物半導体層 340 の端部とを覆うように、酸化シリコン層 354 上、酸化物半導体層 340 上、及び、基板 310 上にゲート絶縁膜 331 をプラズマ CVD によって成膜する。ゲート絶縁膜 331 の成膜は、例えば、実施の形態 1 に係るゲート絶縁層 130 の成膜と同一の方法で行われる (図 4A の (b) 参照)。

【0156】

次に、図 7B の (l) に示すように、ゲート絶縁膜 331 上に金属膜 321 を形成する。例えば、スパッタリングによってゲート絶縁膜 331 上に金属膜 321 を形成する。具体的には、ゲート絶縁膜 331 上に Mo 膜と Cu 膜とをスパッタリングによって順に成膜する。Mo 膜及び Cu 膜の膜厚の合計は、例えば、20 nm ~ 500 nm である。

【0157】

次に、図 7C の (m) に示すように、金属膜 321、ゲート絶縁膜 331 及び酸化シリコン層 354 をパターニングすることで、ゲート電極 320、ゲート絶縁層 330 及び酸化シリコン層 350 を形成する。例えば、ウェットエッチングによって金属膜 321 をパターニングし、かつ、ドライエッチングによってゲート絶縁膜 331 及び酸化シリコン層 354 をパターニングする。

【0158】

金属膜 321 のウェットエッチングは、例えば、過酸化水素水 (H_2O_2) 及び有機酸を混合した薬液を用いて行うことができる。また、ゲート絶縁膜 331 及び酸化シリコン層 354 のドライエッチングは、例えば、反応性イオンエッチング (RIE) を用いることができる。このとき、エッチングガスとしては、例えば、四フッ化炭素 (CF_4) 及び酸素ガス (O_2) を用いることができる。ガス流量、圧力、印加電力及び周波数などのパラメータは、基板サイズ、エッチングの膜厚などによって適宜設定される。

【0159】

10

20

30

40

50

このとき、酸化物半導体層 340 の一部が露出しているために、ドライエッチングによる影響を受ける。具体的には、酸化物半導体層 340 の露出している部分は、低抵抗化する。したがって、低抵抗化した部分をソース電極又はドレイン電極との接続領域として利用することで、良好なソースコンタクト及びドレインコンタクトを実現することができる。

【0160】

次に、図 7C の (n) に示すように、ゲート電極 320 上、及び、酸化物半導体層 340 上に絶縁膜 361 を形成する。例えば、ゲート電極 320 及び酸化物半導体層 340 を覆うように、基板 310 上、ゲート電極 320 上、及び、酸化物半導体層 340 上に絶縁膜 361 を形成する。絶縁膜 361 の形成は、例えば、実施の形態 1 に係るチャンネル保護膜 161 の形成と同一の方法で行われる (図 4C の (m) 参照)。

10

【0161】

次に、図 7C の (o) に示すように、絶縁膜 361 を所定形状にパターニングすることで、パターニングされた絶縁層 360 を形成する。具体的には、酸化物半導体層 340 の一部を露出させるように、絶縁膜 361 にコンタクトホールを形成する。例えば、絶縁膜 361 の一部をエッチング除去することによってコンタクトホールを形成する。なお、コンタクトホールの形成は、例えば、実施の形態 1 に係るチャンネル保護膜 161 へのコンタクトホールの形成と同一の方法で行われる (図 4C の (n) 参照)。

【0162】

次に、図 7C の (p) に示すように、コンタクトホールを介して酸化物半導体層 340 に接続するように、金属膜 371 を形成する。具体的には、絶縁層 360 上及びコンタクトホール内に金属膜 371 を形成する。金属膜 371 の形成は、例えば、実施の形態 1 に係る金属膜 171 の形成と同一の方法で行われる (図 4C の (o) 参照)。

20

【0163】

次に、図 7C の (q) に示すように、酸化物半導体層 340 に接続されたソース電極 370s 及びドレイン電極 370d を形成する。例えば、絶縁層 360 に形成したコンタクトホールを埋めるようにして、絶縁層 360 上に所定形状のソース電極 370s 及びドレイン電極 370d を形成する。ソース電極 370s 及びドレイン電極 370d の形成は、例えば、実施の形態 1 に係るソース電極 170s 及びドレイン電極 170d の形成と同一の方法で行われる (図 4C の (p) 参照)。

30

【0164】

以上のようにして、薄膜トランジスタ 300 を製造することができる。

【0165】

[まとめ]

以上のように、本実施の形態に係る薄膜トランジスタの製造方法は、基板 310 の上方に酸化物半導体膜 341 を形成する工程と、酸化物半導体膜 341 上にシリコン膜 351 を形成する工程と、シリコン膜 351 をプラズマ酸化することで、(i) シリコン酸化膜 352 を形成し、かつ、(ii) 酸化物半導体膜 341 に酸素を供給する工程とを含む。

【0166】

このように、プラズマ酸化によって形成されたシリコン酸化膜 352 は、プラズマによって酸化物半導体膜 341 の表面が損傷を受けるのを防止すると共に、プラズマ酸化によって酸素が供給された後の酸化物半導体膜 341 が外気に曝されるのを防止する。このように、プラズマによる損傷及び酸素欠損を抑制するので、酸化物半導体膜 341 の物性劣化を防止することができる。

40

【0167】

したがって、本実施の形態に係る薄膜トランジスタの製造方法によれば、酸素欠損を抑制することができるので、酸化物半導体膜 341 において酸素欠損密度を小さくすることができる。すなわち、酸化物半導体膜 341 において、キャリアの発生源を少なくことができ、酸化物半導体膜 341 の低抵抗化などを抑制することができる。したがって、本実施の形態によれば、電気特性の劣化が抑制された薄膜トランジスタ 300 を製造する

50

ことができる。

【0168】

なお、プラズマ酸化による酸化物半導体膜341への供給は、シリコン酸化膜352を介して行われるので、酸化物半導体膜341のうち、シリコン酸化膜352側の領域に多く酸素が供給される。シリコン酸化膜352側の領域は、ゲート電極320側の領域、すなわち、フロントチャネル領域である。このように、トップゲート型の薄膜トランジスタ300の場合、フロントチャネル領域の低抵抗化が抑制されるので、電気特性の劣化がより抑制される。

【0169】

(他の実施の形態)

以上のように、本出願において開示する技術の例示として、実施の形態1及び2を説明した。しかしながら、本開示における技術は、これらに限定されず、適宜、変更、置き換え、付加、省略などを行った実施の形態にも適用可能である。

【0170】

例えば、各実施の形態では、プラズマ処理の例として、表面波プラズマ、又は、励起周波数が27MHz以上の容量結合プラズマを用いたが、これに限らない。

【0171】

また、例えば、実施の形態1では、ボトムゲート型、かつ、チャネル保護型の薄膜トランジスタについて説明したが、ボトムゲート型、かつ、チャネルエッチ型の薄膜トランジスタでもよい。

【0172】

また、例えば、実施の形態1において、図4Cの(m)及び(n)に示すように、チャネル保護膜161を全面成膜後に、チャネル保護膜161にソース電極170s及びドレイン電極170d用のコンタクトホールを形成したが、これに限られない。例えば、酸化物半導体層140が露出するように予め所定形状にパターニングされたチャネル保護層160を形成してもよい。

【0173】

つまり、チャネル保護層160を形成する工程では、酸化物半導体層140の一部が露出するようにチャネル保護層160を形成すればよい。また、ソース電極170s及びドレイン電極170dを形成する工程では、露出した部分で酸化物半導体層140に接続されるようにソース電極170s及びドレイン電極170dを形成すればよい。

【0174】

酸化物半導体層140など所定形状にパターニングが必要な層の形成も同様である。すなわち、全面成膜後にパターニングするのではなく、予め所定形状にパターニングされた酸化物半導体層140を形成してもよい。他の実施の形態においても同様である。

【0175】

また、上記実施の形態では、酸化物半導体層に用いる酸化物半導体は、アモルファスのInGaZnOに限られない。例えば、多結晶InGaOなどの多結晶半導体でもよい。

【0176】

また、上記実施の形態では、薄膜トランジスタを用いた表示装置として有機EL表示装置について説明したが、上記実施の形態における薄膜トランジスタは、液晶表示装置など、アクティブマトリクス基板が用いられる他の表示装置にも適用することができる。

【0177】

また、上述した有機EL表示装置などの表示装置(表示パネル)については、フラットパネルディスプレイとして利用することができ、テレビジョンセット、パーソナルコンピュータ、携帯電話など、表示パネルを有するあらゆる電子機器に適用することができる。特に、大画面及び高精細の表示装置に適している。

【0178】

その他、各実施の形態及び変形例に対して当業者が思いつく各種変形を施して得られる形態や、本開示における発明の主旨を逸脱しない範囲で各実施の形態及び変形例における

10

20

30

40

50

構成要素及び機能を任意に組み合わせることで実現される形態も本開示に含まれる。

【産業上の利用可能性】

【0179】

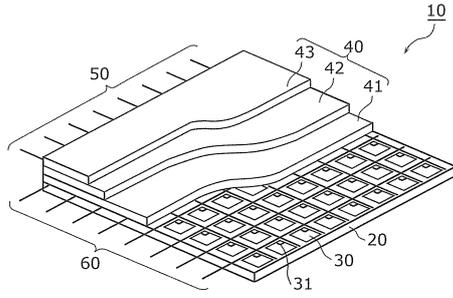
本開示に係る薄膜トランジスタ及びその製造方法は、例えば、有機EL表示装置などの表示装置などに利用することができる。

【符号の説明】

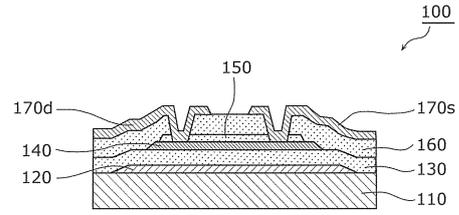
【0180】

10	有機EL表示装置	
20	TFT基板	
30	画素	10
31	画素回路	
32、33、100、300	薄膜トランジスタ	
32d、33d、170d、370d	ドレイン電極	
32g、33g、120、320	ゲート電極	
32s、33s、170s、370s	ソース電極	
34	キャパシタ	
40	有機EL素子	
41	陽極	
42	EL層	
43	陰極	20
50	ゲート配線	
60	ソース配線	
70	電源配線	
110、310	基板	
130、330	ゲート絶縁層	
140、340	酸化物半導体層	
141、341	酸化物半導体膜	
150、153、154、350、353、354	酸化シリコン層	
151、351	シリコン膜	
152、352	シリコン酸化膜	30
160	チャネル保護層	
161	チャネル保護膜	
171、321、371	金属膜	
180、181、380、381	レジスト	
200	成膜装置	
210、211	成膜チャンバー	
220	真空搬送チャンバー	
230、231、232、233	ゲートバルブ	
331	ゲート絶縁膜	
360	絶縁層	40
361	絶縁膜	

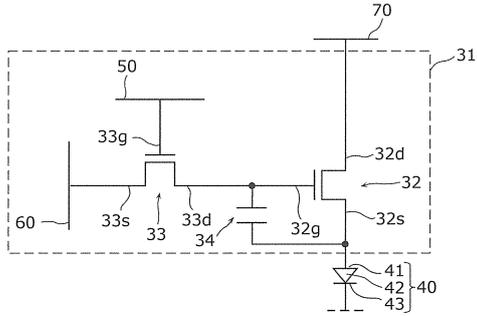
【図1】



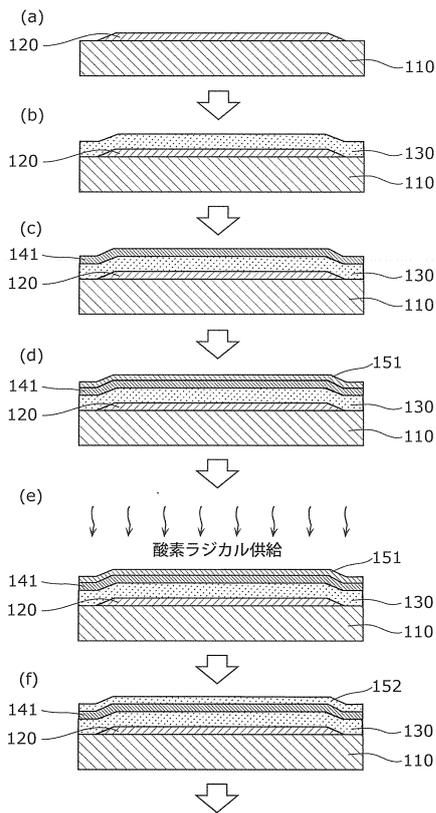
【図3】



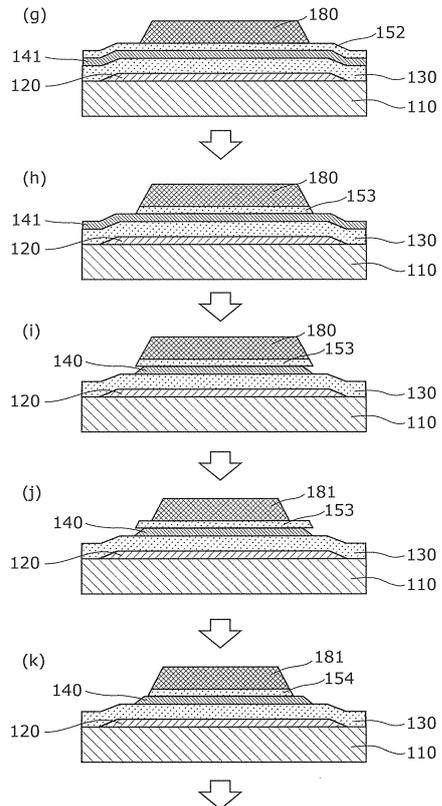
【図2】



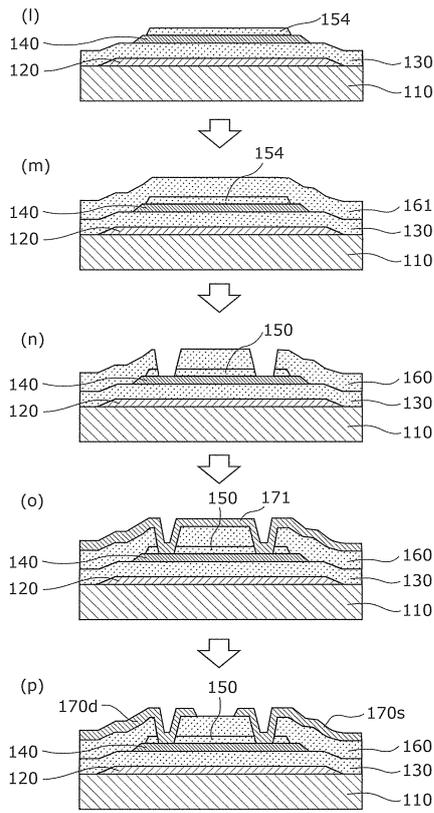
【図4A】



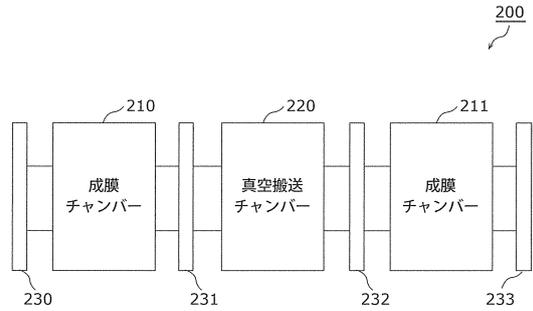
【図4B】



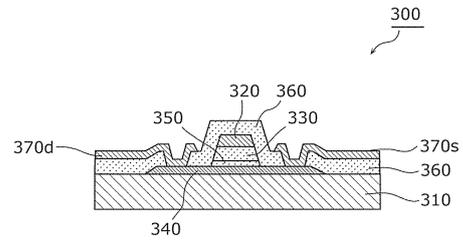
【図4C】



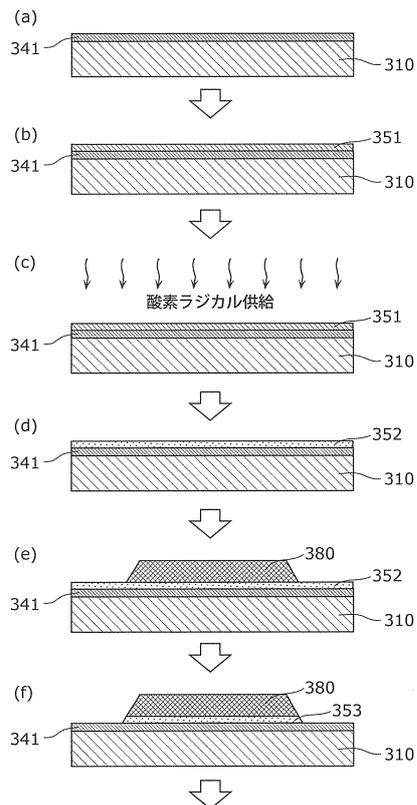
【図5】



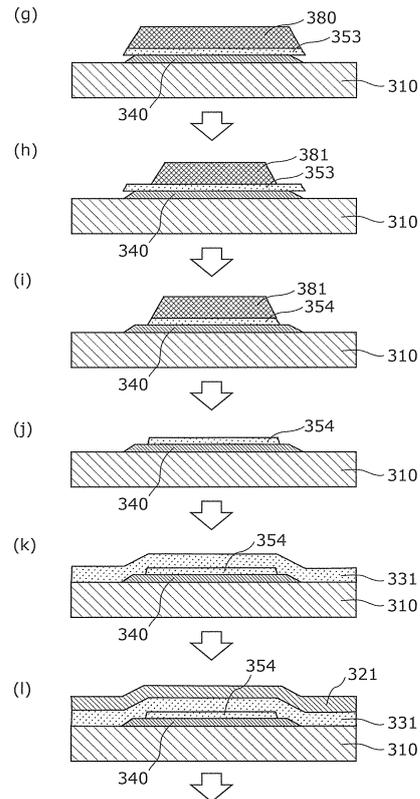
【図6】



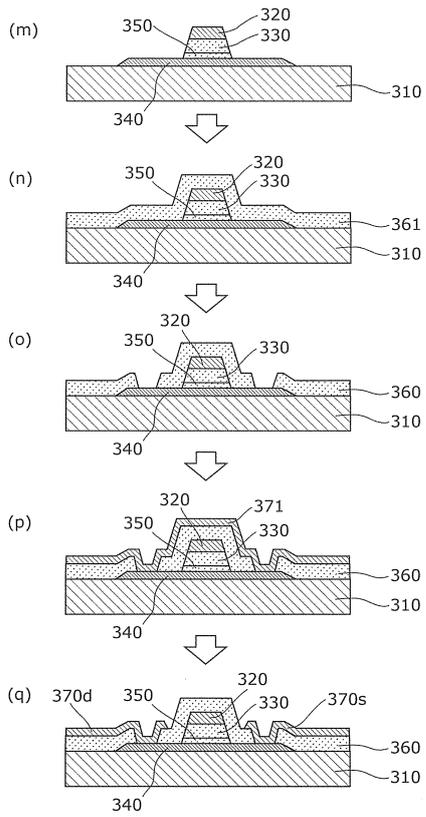
【図7A】



【図7B】



【図7C】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/306 B

(56)参考文献 特開2012-119664(JP,A)
特開2011-199272(JP,A)
特開2012-238851(JP,A)
特開2013-038401(JP,A)
特開2012-212941(JP,A)
特開2012-216795(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 29/786
H 0 1 L 21/336