



(12)发明专利申请

(10)申请公布号 CN 111670486 A

(43)申请公布日 2020.09.15

(21)申请号 201980011271.8

(22)申请日 2019.01.29

(30)优先权数据

62/623,277 2018.01.29 US

(85)PCT国际申请进入国家阶段日

2020.07.31

(86)PCT国际申请的申请数据

PCT/US2019/015595 2019.01.29

(87)PCT国际申请的公布数据

WO2019/148170 EN 2019.08.01

(71)申请人 麻省理工学院

地址 美国马萨诸塞州

(72)发明人 M·休梅克 T·西马尼 S·富勒

Y·斯泰因 D·墨菲

(74)专利代理机构 北京坤瑞律师事务所 11494

代理人 封新琴

(51)Int.Cl.

H01L 21/02(2006.01)

H01L 29/02(2006.01)

H01L 29/732(2006.01)

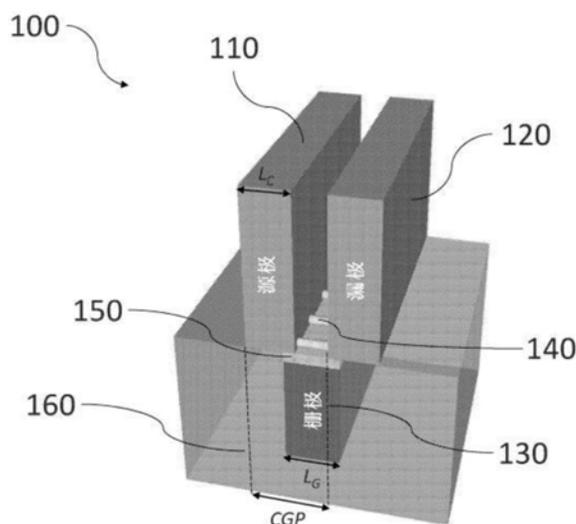
权利要求书2页 说明书9页 附图21页

(54)发明名称

背栅场效应晶体管及其制造方法

(57)摘要

一种背栅碳纳米管场效应晶体管(CNFET)提供:(1)减小的寄生电容,这减小能量延迟乘积(EDP),因此改进数字系统(例如,极大规模集成电路)的能效,以及(2)将晶体管缩放到较小技术节点(例如,亚3nm节点)。示例性背栅CNFET包含沟道。源极和漏极安置于所述沟道的第一侧上。栅极安置于所述沟道的与所述第一侧相对的第二侧上。以此方式,所述背栅CNFET的接触栅极节距(CGP)可缩小,而不缩放物理栅极长度(L_G)或接触件长度(L_C)。在此架构中,所述栅极还可与所述源极和/或所述漏极重叠。在一个实例中,演示示例性CNFET具有小于30nm的CGP和相比于顶栅CNFET对于EDP的1.6x改进。



1. 一种晶体管,其包括:
沟道,其具有第一侧和与所述第一侧相对的第二侧;
源极,其安置于所述沟道的所述第一侧上;
漏极,其安置于所述沟道的所述第一侧上且与所述源极隔开小于约10nm的物理沟道长度;以及
栅极,其安置于所述沟道的所述第二侧上,并具有大于所述物理沟道长度的栅极长度。
2. 根据权利要求1所述的晶体管,其中所述晶体管具有30nm或更小的接触栅极节距。
3. 根据权利要求1所述的晶体管,其中所述晶体管具有小于0.1毫微微法拉/微米的寄生电容。
4. 根据权利要求1所述的晶体管,其中所述沟道包括与所述源极和所述漏极电连通的纳米管。
5. 根据权利要求4所述的晶体管,其进一步包括:
电介质,其安置于所述栅极和所述纳米管之间。
6. 根据权利要求1所述的晶体管,其中所述栅极与所述源极或所述漏极中的至少一个重叠。
7. 根据权利要求1所述的晶体管,其中所述晶体管被配置成在介于约0.1GHz和约10GHz之间的时钟频率下操作。
8. 一种晶体管,其包括:
沟道,其具有第一侧和与所述第一侧相对的第二侧;
源极,其安置于所述沟道的第一侧上;
漏极,其安置于所述沟道的所述第一侧上;以及
栅极,其安置于所述沟道的所述第二侧上,与所述源极或所述漏极中的至少一个重叠,其中所述晶体管具有30nm或更小的接触栅极节距。
9. 根据权利要求8所述的晶体管,其中所述晶体管具有小于0.1毫微微法拉/微米的寄生电容。
10. 根据权利要求8所述的晶体管,其中所述沟道包括与所述源极和所述漏极电连通的纳米管。
11. 根据权利要求10所述的晶体管,其进一步包括:
电介质,其安置于所述栅极和所述纳米管之间。
12. 根据权利要求8所述的晶体管,其中所述晶体管在介于约0.1GHz和约10GHz之间的时钟频率下操作。
13. 一种制造晶体管的方法,所述方法包括:
形成栅极;
在所述栅极上沉积电介质;
在所述电介质上方沉积碳纳米管以形成沟道;以及
在所述沟道上与所述栅极相对地图案化源极和漏极,其中物理沟道长度小于所述栅极的长度且小于约10nm。
14. 根据权利要求13所述的方法,其中沉积所述碳纳米管在小于约400摄氏度的温度下发生。

15. 根据权利要求13所述的方法,其中图案化所述源极和所述漏极包括在最小特征尺寸下以物理沟道长度以光刻方式进行蚀刻。

16. 根据权利要求13所述的方法,其中图案化所述源极和所述漏极包括使所述源极或所述漏极中的至少一个与所述栅极重叠。

17. 根据权利要求13所述的方法,其进一步包括:

在形成所述栅极之前,将沟槽图案化到衬底中,使得当形成时所述栅极嵌入于所述衬底中。

背栅场效应晶体管及其制造方法

[0001] 相关专利申请的交叉引用

[0002] 本申请根据35U.S.C.§119(e) 要求2018年1月29日提交的标题为“背栅碳纳米管场效应晶体管(BACK-GATE CARBON NANOTUBE FIELD-EFFECT TRANSISTORS)”的第62/623,277号美国申请的优先级,所述美国申请以全文引用的方式并入本文中。

技术领域

背景技术

[0003] 越来越小的晶体管技术节点的发展带来了越来越多技术和经济方面的挑战。确切地说,在给定当前制造能力的情况下,缩放晶体管超出亚3nm技术节点的目标仍然难以实现。举例来说,如果接触栅极节距(CGP)如摩尔定律所指示以其历史速度缩放,则场效应晶体管(FET)的金属栅极和金属源极/漏极之间的物理间隔(即,间隔物厚度)缩小导致寄生电容增加,从而使潜在的能量延迟乘积(EDP)效益降级。

[0004] 这驱使寻找除硅以外的新兴的纳米技术来对硅CMOS进行补充。举例来说,碳纳米管(CNT)可用于形成碳纳米管场效应晶体管(CNFET),其中多个CNT并行地构成具有以光刻方式限定的源极、漏极和栅极区的FET的沟道。据估计,由CNFET制造的数字极大规模集成(VLSI)电路相比于硅互补金属氧化物半导体(CMOS)在EDP中实现一定数量级的改进。

发明内容

[0005] 利用纳米材料作为硅的替代物的新晶体管架构的开发是在不以不可持续的方式增加EDP或提高制造成本的情况下将晶体管缩放到逐渐变小的技术节点的一种有前景的方法。因此,本公开针对各种背栅场效应晶体管(FET)和用于制造背栅FET的方法,其可相比于常规顶栅和环绕栅极(GAA)FET在相同CGP下以较低EDP按比例缩小到亚3nm技术节点。本文中所描述的背栅FET的设计架构可用于大大减小CGP,CGP是限定FET的面积且因此限定技术节点的关键度量。在一个示例性设计中,碳纳米管(CNT)用作沟道以形成具有约30nm的CGP的背栅碳纳米管场效应晶体管(CNFET)。接着可组装多个CNFET以形成CNFET数字逻辑电路。此类CNFET可(1)改进数字VLSI电路的能效(即,能量延迟乘积EDP),以及提供一种将CGP数字逻辑缩放到较小技术节点(例如,亚3nm技术节点)的方法。

[0006] 这些CNFET可采取包括沟道、源极、漏极和栅极的晶体管的形式。沟道具有第一侧和与第一侧相对的第二侧,源极安置于沟道的第一侧上。漏极安置于沟道的第一侧上且与源极隔开小于约10nm的物理沟道长度。且栅极安置于沟道的第二侧上,并具有大于物理沟道长度的栅极长度。此晶体管可具有30nm或更小的接触栅极节距和小于0.1毫微微法拉/微米的寄生电容。

[0007] 另一本发明的晶体管也包含沟道、源极、漏极和栅极。同样,沟道具有第一侧和与第一侧相对的第二侧,源极和漏极在沟道的第一侧上。栅极安置于沟道的第二侧上且与源极、漏极或源极和漏极两者重叠。此晶体管具有30nm或更小的接触栅极节距。

[0008] 在这些晶体管中,沟道可包含与源极和漏极电连通的(碳)纳米管,在此情况下可存在安置于栅极和纳米管之间的电介质。栅极可与源极、漏极或源极和漏极重叠。且晶体管可被配置成在介于约0.1GHz和约10GHz之间的时钟频率下操作。

[0009] 可通过以下操作来制造这些晶体管:形成栅极,在栅极上沉积电介质,在电介质上方沉积碳纳米管以形成沟道,以及在沟道上与栅极相对地图案化源极和漏极,其中物理沟道长度小于栅极的长度且小于约10nm。可在小于约400°C的温度下发生碳纳米管的沉积。图案化源极和漏极可涉及在最小特征尺寸下以物理沟道长度进行光刻蚀刻,和/或使源极、漏极或源极和漏极两者与栅极重叠。在形成栅极之前,沟槽可图案化到衬底中,使得当形成时栅极嵌入于衬底中。

[0010] 前述概念和下文更详细论述的附加概念的所有组合(前提是这些概念不相互矛盾)被设想为是本文公开的发明主题的一部分。特别地,出现在本公开的结尾处的要求保护的主题的所有组合被认为是本文所公开的发明主题的一部分。也可能在以引用的方式并入的任何公开内容中出现的本文中明确采用的术语应当被赋予最符合本文所公开的特定概念的含义。

附图说明

[0011] 所属领域的技术人员将理解附图主要是用于说明性目的且并非意图对本文所述的发明性主题的范围进行限制。附图未必按比例绘制;在一些情况下,本文公开的发明主题的各个方面可在图中夸大或放大地示出以助于理解不同特征。在图式中,类似的参考标号通常指类似的特征(例如,功能上类似和/或结构上类似的元件)。

[0012] 图1A展示具有顶栅FET几何结构的FET。

[0013] 图1B展示具有环绕栅极FET几何结构的FET。

[0014] 图2A展示示例性FET,其中CNT用作具有负间隔物长度 L_{SP} 的背栅FET几何结构中的FET沟道。

[0015] 图2B展示示例性FET,其中CNT用作背栅FET几何结构中的FET沟道。

[0016] 图3展示背栅CNFET的工艺流程图。虽然背栅未嵌入于衬底内,但可使用常规镶嵌工艺来减小背栅FET几何形状的寄生效应。 e 束光致抗蚀剂厚度($<40\text{nm}$)将此实验演示中的金属厚度限于 $<10\text{nm}$ 。

[0017] 图4展示具有背栅CNFET的相应扫描电子显微法(SEM)图像的基于图3的工艺流程图的背栅CNFET的三维示意图。

[0018] 图5A展示用于CNFET数字逻辑(反相器)的探测垫布局的俯视图。

[0019] 图5B展示典型的CNFET反相器的放大图。注意,图像展示在沉积图4中的衬垫之前的反相器,因为衬垫覆盖这些特征中的一些特征。

[0020] 图5C展示图5B中展示的CNFET反相器中的典型30nm CGP背栅CNFET的放大图。

[0021] 图5D展示CNFET沟道区的放大图。接触件长度 L_C 为20nm,且物理沟道长度 L_{CH} 为10nm,从而产生30nm CGP。栅极长度 L_G 为18nm,且与源极(左接触)和漏极(右接触)两者重叠 $\sim 4\text{nm}$ 。

[0022] 图5E展示具有标称30nm CGP的背栅CNFET的横截面透射电子显微法图像。

[0023] 图6A展示多个30nm CGP CNFET的 I_D-V_{GS} 特性,从而实现 $\sim 125\text{mV/dec}$ 的亚阈值-摆

幅(SS) (在漏极-源极电压 $V_{DS} = -0.5V$ 下)。

[0024] 图6B展示表示示例性30nm CGP CNFET的 I_D-V_{DS} 。

[0025] 图6C展示使用分别具有输出高电压 $V_{OH} = 0.4V$ 和输出低电压 $V_{OL} = 0.05V$ 的耗尽型负载PMOS逻辑实施的30nm CGP CNFET反相器的电压转移曲线。

[0026] 图7展示将当前工作与跨文献中报告为最佳的缩放技术的接触栅极节距进行比较的图表。

[0027] 图8A展示背栅相比于顶栅和环绕栅极(GAA) FET的寄生电容(栅极到插塞电容,图1A-1E中的 C_{GTP})。对于30nm CGP(适于亚3nm节点),背栅FET相比于顶栅FET减小寄生效应 $>2.5\times$,且相比于GAA FET减小寄生效应 $>2.8\times$ 。寄生效应减少的益处随着CGP缩放而增加。本征寄生效应使用TCAD Sentaurus (Synopsys) 确定且使用COMSOL Multiphysics (COMSOL 公司) 验证(跨所有模拟存在 $<0.3\%$ 的偏差)。

[0028] 图8B展示用于分析的装置参数的表。30nm、42nm、90nm和180nm的CGP值分别对应于3nm、7nm、22nm和45nm技术节点。

[0029] 图9A展示具有标记的寄生组件的背栅CNFET的透视图。

[0030] 图9B展示高度缩放的30nm CGP背栅CNFET的输入电容的不同分量(参看图8B中的装置参数)。

[0031] 图10展示跨来自OpenSparc T2核心和32位市售处理器核心的模块的经优化EDP(相对于每一模块的GAA CNFET的经优化EDP正规化)。背栅相比于GAA的平均EDP益处为 $2.18\times$,且相比于顶栅为 $1.6\times$ 。相对于具有图8B中列出的参数的30nm CGP装置进行所有模拟。即使在低k间隔物(例如, $k = 4.4$ 间隔物)的情况下也维持EDP益处,其中EDP益处减小 $<10\%$ (来自OpenSparcT2的“dec”模块)。此外,对于许多现有标准单元库,相同物理布局可用于具有背栅几何形状的FET,而不对FET的位置或标准库单元内的金属布设(确切地说,对于其中接触FET栅极的通孔定位于FET的有源区外部的标准单元布局)作出任何调整。

[0032] 图11展示32位市售处理器核心的总能量相比于频率,其展示背栅、顶栅和GAA CNFET的帕累托最佳EDP折衷曲线。图10展示从这些EDP折衷曲线提取的值。

[0033] 图12展示由于寄生效应减小而产生的EDP益处胜过源于针对GAA几何形状的改进的静电控制电位增益。亚阈值摆幅(SS)可降级 $>58\%$ (导致 $SS = 100mV/dec$),同时相比于具有接近 $60mV/dec$ 的所呈现优选SS的GAA CNFET仍维持EDP益处。重要的是,具有 $L_{CH} = 9nm$ 的CNFET的实验演示已经利用背栅几何形状,且报告比 $100mV/dec$ 好的SS($94mV/dec$),从而突显此方法的可行性。

[0034] 图13A展示对于栅极和源极/漏极之间存在5nm、3nm和1.5nm重叠的顶栅FET和背栅FET,寄生电容(C_{GTP})作为间隔物长度 L_{SP} 的函数的图表。该图表指示可如何使用背栅FET几何结构来实现15nm CGP。即使在具有重叠的情况下,背栅仍产生经缩放节点处减小 $>3\times$ 的寄生电容。

[0035] 图13B展示具有用于提取图13A中的电容的装置参数的表。

[0036] 图14展示扇出4(F0-4)反相器(正规化到CGP 30nm顶栅CNFET的EDP)相比于背栅CNFET的CGP的相对EDP的比较。这些装置具有9nm的接触件长度 L_c 和9nm的栅极长度 L_g 。间隔物长度 L_{SP} 变化以减小CGP。

具体实施方式

[0037] 图1A展示顶栅CNFET 80的示意图。顶栅CNFET 80包含沟道40。源极10和漏极20安置于沟道40的第一侧上,使得电流从源极10经由沟道40流向漏极20。安置于沟道40的第一侧上在源极10和漏极20之间的栅极30控制电流穿过沟道40的流动。电介质50可安置于栅极30和沟道40之间。衬底60可为制造和处理提供机械支撑。

[0038] 图1B展示环绕栅极(GAA) CNFET 90的示意图。类似于顶栅CNFET 80,GAA CNFET 90包含安置于沟道42的第一侧上的源极10、漏极20和沟道42。在此情况下,栅极32在所有侧均环绕沟道42。如图1B所示,栅极32在源极10和漏极20之间。电介质52也可安置于沟道40和栅极30之间。再次,衬底62可为制造和处理提供机械支撑。

[0039] 通常,晶体管及(因此)相应技术节点的尺寸可使用接触栅极节距(CGP)来量化。CGP可定义为等于与共享的源极110/漏极120接触件串联连接的两个FET 100之间的栅极节距。对于顶栅CNFET 80和GAA CNFET 90,CGP因此等于源极110/漏极120接触件长度(L_C)、栅极130的物理栅极长度(L_G)和使栅极130与源极110/漏极120分离的两个间隔区($2L_{SP}$)的总和:

$$[0040] \quad CGP = L_C + L_G + 2L_{SP} \quad (1)$$

[0041] 此CGP在图1A中示出。

[0042] 物理沟道长度(L_{CH})也可使用上述参数定义如下,

$$[0043] \quad L_{CH} = CGP - L_C \quad (2)$$

[0044] 为了比较,图2A和2B展示示例性背栅CNFET 100的示意图。CNFET先前已经使用背栅FET几何结构和复杂FET几何形状(例如GAA CNFET)。然而,未执行这些复杂几何形状相比于背栅FET几何形状的相对益处(例如,能效和面积缩放两者)的严密分析。此处,背栅FET几何形状展示为提供尚未用于高度缩放技术的若干益处。举例来说,背栅FET实现的物理缩放超出顶栅和环绕栅极FET几何形状两者的限制。因与顶栅和GAA FET相比寄生电容减少的缘故,背栅FET还提供额外EDP益处。

[0045] 图2A中的背栅CNFET 102包含沟道142,其允许电流从源极110流向漏极120。如所展示,源极110和漏极120可安置于沟道142的第一侧上。背栅FET 100还包含栅极132以在施加电压的情况下控制电流的流动。栅极132可安置于与沟道142的第一侧相对的沟道142的第二侧上,因此形成背栅几何结构。栅极132可嵌入于支撑背栅FET 100的衬底162中。电介质152也可安置于栅极132和沟道142之间。

[0046] 与顶栅CNFET 80和GAA CNFET 90相比,图2A中的背栅CNFET 102可支持较短的CGP以实现更高程度缩放的技术节点。举例来说,用于避免栅极132和源极110/漏极120之间的不合需要的电接触(电短路)的间隔区对于背栅FET 100来说不是必需的,因为背栅132在源极110/漏极120下方的平面上。因此,可完全消除间隔区,因此在原本会受设计和/或制造局限性约束的晶体管中实现较小的CGP和物理沟道长度 L_{CH} 。举例来说,根据铸造厂工艺开发工具包的规定,铸造厂通常对装置层施加最小的特征尺寸,由于需要前述间隔区,这样会限制常规顶栅FET和GAA FET。且微影工艺的分辨率局限性限制了晶体管中的特征的尺寸和其间的相对间隔。在两个实例中,间隔区的移除允许源极110和漏极120较紧密地定位,从而产生较小 L_{CH} 。

[0047] 对于背栅FET 102,还可部分通过减小背栅架构中栅极132和源极110/漏极120之

间的电耦合来减小栅极132和源极110以及栅极132和漏极120之间的寄生电容。举例来说,背栅FET 100可展现小于约0.1毫微微法拉/微米的总寄生电容(栅极到插塞电容)。

[0048] 包含图2B展示的背栅CNFET 100的一些背栅CNFET具有与源极110和/或漏极120部分重叠的栅极130,同时在相同CGP下维持小于相应顶栅或GAA FET的寄生电容。对于具有重叠的设计,沟道140和/或电介质150可用于使栅极130与源极110/漏极120分离。此重叠栅极130可由衬底160支撑或嵌入于衬底160中,例如用于实现机械稳定性和支撑。

[0049] 图2B展示在栅极130和源极110/漏极120之间具有重叠的示例性背栅FET 100。此重叠对应于等式1中的间隔物长度 $L_{SP} < 0$ 。以此方式,可通过减小 L_{SP} (例如,零以下)来减小CGP—即使不改进制造技术来将 L_C 和 L_G 缩放到较小尺寸。

[0050] 通常,图2B中的背栅FET 100可具有小于约30nm的CGP。背栅FET 100还可具有小于约10nm的 L_{CH} 。CGP和 L_{CH} 可部分归因于制造中的可变性和容差而变化 $\pm 1-5$ nm。栅极130和源极110/漏极120之间的重叠可用于实现CGP和 L_{CH} 的此减小,尤其在给定制造中的当前局限性的情况下。制造工艺的将来改进也可在栅极130和源极110/漏极120之间无重叠的情况下实现CGP和 L_{CH} 的减小。

[0051] 如下文所描述,背栅FET 100的制造可涉及部分归因于温度考虑因素和材料兼容性而对常规上用于顶栅FET或GAA FET的工艺流程作出的修改。此类修改可包含针对沟道140使用不同的材料/结构。举例来说,沟道140可由一个或多个CNT形成,所述CNT可在400°C以下的温度下沉积以避免损坏栅极130。如图2B所示,若干CNT可用作沟道140以便支撑较高电流。

[0052] 电介质150可由各种高 κ 电介质形成,包含(但不限于)氧化硅、氧化铪,或所属领域的一般技术人员已知的任何其它电介质。源极110和漏极120可由各种导电材料形成,包含(但不限于)铂、钛、钨、钽、铜、上述的任何合金,或所属领域的一般技术人员已知的任何电导体。衬底160可呈由各种材料形成的晶片的形式,所述材料包含(但不限于)硅、氧化硅、氮化铝,或所属领域的一般技术人员已知的任何其它半导体或绝缘材料。

[0053] 具有拥有小于30nm的CGP的背栅几何结构的CNFET&CNFET数字逻辑

[0054] 由背栅FET 100实现的缩放益处的实现可涉及针对常规硅基技术对前段工艺(FEOL)FET制造作出一些修改。如图3和4中所示出,FET栅极堆叠(例如,图2A中的栅极132或图2B中的栅极130)初始制造于衬底上。随后,FET 100的半导体沟道140沉积在栅极堆叠130上方。为了避免损坏栅极堆叠130(例如,由于使高- κ 栅极电介质150结晶或毁坏嵌入式金属栅极130),应优选地在低温(例如, $< 400^\circ\text{C}$)下执行沟道140沉积和所有后续FEOL处理。这对于使用 $> 1000^\circ\text{C}$ 的处理温度的硅基技术来说可能尤其具有挑战性。相比而言,许多新兴的纳米技术使用低处理温度($< 400^\circ\text{C}$),且因此自然地实现背栅FET几何形状。作为演示,可使用CNT,因为CNT可在室温下沉积在栅极堆叠130上方(例如,经由基于溶液的处理或转移工艺)。此外,CNFET还可相比于硅FET使数字VLSI电路的EDP改进某个数量级。

[0055] 制造

[0056] 作为示例性实验演示,制造展现30nm的记录缩放CGP的背栅CNFET 100和CNFET数字逻辑。背栅CNFET 100的制造流程在图3中展示且描述如下:(1)用于30nm CGP CNFET 100的起始衬底为硅衬底,(2)用800nm热氧化物涂覆硅衬底,以及(3)通过首先用单层PMMA正性抗蚀剂(~ 45 nm PMMA A1)涂覆晶片160而在晶片160上图案化栅极130。电子束(e束)光刻用

于限定栅极电极 ($L_G \sim 18\text{nm}$)。接着在 -3.5°C 下使 PMMA 显影, 从而形成图案。使用电子束 (e 束) 蒸镀来沉积 3\AA 的钛, 然后是 4nm 的铂。接着执行剥离工艺。部分通过在 TRACER 中以 PMMA-SiO₂ 和 PMMA-HfO₂ 的堆叠模拟电子背向散射效应来挑选用于 e 束光刻的优选面积剂量。之后是 (4) 使用原子层沉积来沉积具有 0.9nm 的等效氧化物厚度 (EOT) 的 3.5nm 厚 HfO₂ 电介质 150。

[0057] 虽然背栅 130 未嵌入于衬底 160 内, 但常规镶嵌工艺可用于实现嵌入式栅极堆叠 130 以便实现由背栅 FET 几何形状提供的减小的寄生效应。举例来说, 可初始地图案化和蚀刻衬底 160 以沿着衬底 160 的表面形成沟槽或凹部。栅极 130 (和电介质 150) 中使用的材料 的后续沉积接着可填充衬底 160 中的沟槽或凹部。接着可使用抛光工艺 (例如, 化学机械抛光) 来移除过多的栅极材料和/或使衬底 160 和栅极 130 平面化, 然后执行后续制造工艺。

[0058] 在栅极堆叠 130 制造之后, 再次使用 PMMA 和 e 束光刻将接触孔图案化到栅极金属电极, 且使用干式 Cl_2 基等离子蚀刻来蚀刻穿过 HfO₂。在热丙酮随后是氧等离子体中剥除 PMMA。为了制备晶片用于 CNT 沉积, 用六甲基二硅氮烷 (HMD, 一种常见的光致抗蚀剂粘合促进剂) 使表面官能化。接着将晶片 160 浸没在含有 $>99.9\%$ 纯度导电 CNT (由 Nanointegris 供应的改性 IsoNanotubes-S) 的 1,2-二氯乙烷 (DCE) 溶液中达 10 分钟。

[0059] 然后是 (5) 使 CNT 在 DCE 中弥散。CNT 经历若干超声处理步骤以将 CNT 缠绕为聚合物来使其在 DCE 内弥散, 然后进行若干超离心步骤以移除未弥散的 CNT 和过多的聚合物。在 CNT 沉积之后, 将晶片 160 在热甲苯中清洗达 60 分钟, 然后在 $<10^{-5}$ 托下进行真空退火达 >30 分钟。

[0060] 接下来, 类似于栅极电极, 限定和图案化 (6) 源极 110 和 (7) 漏极 120。源极 110 和漏极 120 在两个单独的步骤中图案化以便减小最小分辨率。(8) 在沉积 CNT 沟道 140 之后, 使 PMMA 图案化以覆盖晶体管沟道区 140, 且使用氧等离子体移除过多的 CNT (即, 在晶体管沟道区 140 外部且因此不受 PMMA 保护的 CNT)。这之后是 (9) e 束光刻步骤、e 束蒸镀和剥离以限定较大的探测垫和互连线材。

[0061] 上文描述的制造工艺流程是可用于形成背栅 CNFET 100 的一个示例性过程。可取决于背栅 FET 100 的设计而修改或移除所使用的各种工艺、参数和材料。还可引入额外处理步骤, 例如额外图案化和蚀刻步骤, 用于如上文所描述将栅极 130 嵌入到衬底 160 中。

[0062] 实验结果

[0063] 为了实现配合在 30nm 的 CGP 内的 CNFET 100, 以 $L_C = 20\text{nm}$ 、 $L_G = 18\text{nm}$ 、 $L_{SP} = -4\text{nm}$ (即, 背栅 130 与源极 110 和漏极 120 的 4nm 有意重叠) 来图案化示例性 CNFET 100, 其中物理沟道长度 ($L_{CH} = \text{CGP} - L_C$) 为 10nm 。图 5A-5E 中展示所制造 CNFET 100 的扫描电子显微法 (SEM) 和透射电子显微法 (TEM) 图像。重要的是, 在无 L_G 和 L_C 的额外缩放的情况下实现此经缩放 CGP。这突显了此方法可如何将对于 L_C 和 L_G 的冲突的约束 (较长 L_C 和 L_G 可产生改进的接触电阻和静电控制) 与因需要强力地缩放 CGP (理想地缩放 L_C 和 L_G) 而强加的约束解耦。图 6A-6C 展示典型的 CNFET 100 和来自 30nm CGP CNFET 100 制造的 CNFET 反相器的测得电压转移曲线的电表征, 其示出功能操作。

[0064] VLSI 系统级能效益处

[0065] 除背栅 CNFET 100 在缩放方面提供的益处之外, 背栅 FET 几何形状还可同时减小寄生电容 (例如, 栅极到源极/漏极电容 (参看栅极到源极/漏极间隔物电容: 图 2A 中的 C_{GTP})), 从而对于数字极大规模集成 (VLSI) 电路产生额外 EDP 益处。减小的寄生电容是归因于栅极

130与下方的源极110和漏极120之间的电耦合减小(即,考虑到栅极130和源极110和/或漏极120之间的物理分离和重叠面积;请参见图2A和2B)。相比而言,对于形成大“平行板”电容器的顶栅和GAA几何形状,栅极直接位于源极和漏极之间。

[0066] 图8A展示,在30nm的CGP下,背栅FET 100的寄生电容为 $0.1\text{fF}/\mu\text{m}$ 。相比而言,顶栅FET和GAA FET的寄生电容分别为 $0.25\text{fF}/\mu\text{m}$ 和 $0.28\text{fF}/\mu\text{m}$ 。因此,顶栅FET和GAA FET的寄生电容比背栅FET 100大 $>2.5\text{x}$ 。此外,图8A展示,随着CGP继续缩小,背栅FET 100的寄生电容的有益减少量增加。寄生电容的此减少产生较低的EDP,这对于数字VLSI电路是有益的。

[0067] 为了量化这些EDP益处,使用用于合成、放置和布设以及寄生提取的标准单元布局以及工业标准工具分析来自OpenSPARC T2的处理器核心和32位市售处理器核心的数字VLSI电路的物理设计。这些处理器核心并入有现实VLSI电路中存在的未出现在小规模电路基准中的许多效应,从物理放置和布设拥塞,到电线寄生效应和缓冲器插入,以满足电路级定时约束。

[0068] 使用市售3D场解算器(Synopsys Sentaurus)确定CNFET级电容分量,以提取图9A中展示的寄生电容器的值。确切地说,这些寄生电容包含: $C_{GS,sp}$ 和 $C_{GD,sp}$ (栅极到源极/漏极接触电容)、 $C_{GS,fr}$ 和 $C_{GD,fr}$ (来自源极/漏极侧两者上的间隔区中的CNT的栅极的边缘电容),和 C_{SD} (金属接触件之间的直接源极到漏极电容)。针对每一CNFET几何结构(顶栅、背栅、环绕栅极)单独地提取这些电容中的每一个。使用SPICE兼容CNFET紧密模型计算本征栅极到沟道电容(图9A中的 C_{GC})。这些CNFET级电容结合标准单元级电容(例如,对于本地金属互连件,使用Mentor Graphics Calibre提取)一起使用以表征标准单元库功率/定时,且接着在放置和布设期间提取金属布设寄生效应(Synopsys IC编译器)。

[0069] VLSI电路的物理设计流程如下:跨多个装置级性能量度在3nm节点(图8B中的细节)处量化每一VLSI规模电路模块(即,来自OpenSparc T2处理器核心和针对32位市售处理器核心)的物理设计的电路级性能量度,所述多个装置级性能量度包含(但不限于):供电电压($V_{DD}=375\text{mV}$ 到 500mV)、亚阈值斜率(SS)降级(从0%到60%),以及用以基于CNFET几何结构和材料性质对外在要素建模的互连模拟器(例如,在源极/漏极金属接触插塞的尺寸和电阻率方面)。对于参数的每一组合(例如,对于每一 V_{DD} 、SS、顶栅相比于底栅),使用以下设计流程来量化所有VLSI电路模块的相对EDP(例如,如图10中):

[0070] 1. 标准单元库表征:使用标准单元布局(从15nm节点Nangate开放单元库导出)用于提取标准单元寄生效应,且接着结合以实验方式校准的紧密晶体管模型使用所提取网表来表征每一标准库单元的功率和定时(使用Cadence Spectre)

[0071] 2. 合成:使用Synopsys设计编译器,合成目标时钟频率范围(1GHz到10GHz)内的每一电路模块,因为优化电路EDP之后的操作时钟频率可根据装置级参数(例如, V_{DD})而不同。

[0072] 3. 放置&布设:使用Synopsys IC编译器针对每一合成网表(针对每一目标频率)执行放置和布设,考虑到例如缓冲器插入等物理电路优化以满足电路定时约束。

[0073] 4. 功率/定时分析:在横跨0.1GHz直到10GHz的范围(以0.1GHz为增量)的若干再靶向时钟频率上针对上文放置和布设的每一物理设计(使用Synopsys PrimeTime)执行功率和定时分析(即,重新调整靶向不同时钟频率的步骤2和3中的定时约束),因为在与合成及放置和布设期间指定的时钟频率分离的时钟频率下操作可能更加能量有效。

[0074] 图10展示跨OpenSparc T2和32位市售处理器核心的模块的减小的EDP(相对于每

一模块的GAA CNFET的经改进EDP正规化)。因寄生电容减小的缘故,背栅CNFET 100提供 $2.2 \times$ EDP益处相比于GAA CNFET和 $1.6 \times$ 相比于顶栅CNFET的平均值。重要的是,这些益处是除顶栅CNFET相比于Si FET提供的相当大的EDP益处以外的益处。

[0075] 图11展示每循环能量作为背栅CNFET 100相比于顶栅和GAA CNFET的时钟频率的函数。通常,较低EDP对应于较高时钟频率下的每循环较低能量。如所展示,与顶栅和GAA CNFET相比,在给定时钟频率下,背栅CNFET 100展现较低的每循环能量。这直接对应于图10中展示的EDP益处。

[0076] 额外考虑因素

[0077] 产生较低EDP的减小的寄生效应还可胜过源于针对GAA几何形状的改进的静电控制的电位增益。举例来说,背栅CNFET 100的亚阈值摆幅(SS)可从 $\sim 60\text{mV}/$ 十进制降级到 $\sim 100\text{mV}/$ 十进制,同时与具有如图12中所演示接近 $60\text{mV}/$ 十进制的几乎理想的SS的GAA CNFET相比仍维持EDP益处。

[0078] 除展示到 30nm CGP的可缩放性之外,此方法还允许使用已经以实验方式实现的技术参数(图13)缩放到亚 20nm CGP。举例来说, $9\text{nm}L_G$ 、 $9\text{nm}L_C$,以及栅极与源极和漏极的 3nm 的重叠($-L_{SP}$)将产生 15nm 的CGP。重要的是,即使在假定背栅FET 100的栅极与源极和漏极重叠时,在相同CGP下寄生效应仍可小于常规顶栅FET(图13)。 3nm 的重叠(1)在给定了 L_C 和 L_G 的以实验方式实现的尺寸的情况下实现 15nm CGP,以及(2)超出预期光刻重叠准确性,从而确保栅极的一些区段在整个沟道下方以维持静电控制。对于这些强力缩放的亚 20nm CGP,相比于 30nm CGP的EDP益处降级与 30nm CGP顶栅CNFET(图14)相比仍维持EDP益处。

[0079] 如上文所描述,本文中所描述的背栅FET 100架构提供一种实现经缩放技术节点的方法,其可实现持续缩放到亚 3nm 技术节点。在一个示例性背栅FET 100中,CNT的低温溶液处理可用于实现背栅FET 100。此方法不仅实现额外缩放,而且确保显著的能效益处,方式是将CNT提供的EDP益处与同减小背栅FET中的寄生电容相关联的EDP益处组合。此方法适用于广范围的新兴沟道材料,例如一维和二维纳米材料,尤其是在沟道材料满足以下条件的情况下:(1) $<400^\circ\text{C}$ 沟道沉积和后续FET处理的约束和(2)薄主体厚度(以维持沟道的良好的静电控制)。此外,CGP缩放可在背栅FET 100中实现,而不需要缩放物理栅极长度(L_G)或接触件长度(L_C),且与其它路径互补以维持每节点的面积减小。因此,除了演示使用适于亚 3nm 技术节点的材料和处理对 30nm CGP的FET缩放,此操作还说明用于持续缩放超出硅基技术的限制的有前景且可行的路径。

[0080] 结论

[0081] 本文中所描述的所有参数、尺寸、材料和配置意图为示例性的,且实际参数、尺寸、材料和/或配置将取决于本发明教导所用于的一个或多个特定应用。应理解,前述实施例仅借助于实例呈现,并且在所附权利要求书和其等效物的范围内,可以用与具体描述和要求的不同的方式实践本发明实施例。本公开的发明实施方案针对本文所述的每个单独的特征、系统、制品、材料、套件和/或方法。另外,两个或更多个此类特征、系统、物品、材料、套件和/或方法(如果此类特征、系统、物品、材料、套件和/或方法并非互不一致)的任何组合包含在本公开的发明性范围内。

[0082] 另外,各种发明概念可体现为一种或多种方法,已提供其至少一个实例。作为方法的一部分执行的动作可在一些情况下以不同方式排序。相应地,在一些本发明的实施方案

中,可以不同于具体说明的次序的次序执行给定方法的相应动作,其可包含同时执行一些动作(即使此类动作在说明性实施例中展示为循序动作)。

[0083] 本文提及的所有公开案、专利申请案、专利和其它参考文献都以全文引用的方式并入。

[0084] 应理解,如本文中定义和使用的定义都优先于字典定义、以引用的方式并入的文档中的定义和/或定义的术语的普通含义。

[0085] 如本文在说明书和权利要求中所使用的不定冠词“一”除非明确相反指示,否则应理解为意味着“至少一个”。

[0086] 如本文在说明书和权利要求书中所用,短语“和/或”应理解为意指如此结合的要素中的“任一个或两个”,即,要素在一些情况下结合存在并且在其它情况下分开存在。用“和/或”列出的多个要素应以相同方式解释,即,要素中的“一个或多个”如此结合。除了由“和/或”子句具体指出的元件之外,还可以任选地存在其它元件,无论与具体指出的那些元件相关还是无关。因此,作为非限制性实例,当结合开放式语言(例如“包括”)使用时,提及“A和/或B”在一个实施例中可以仅指A(任选地包含除B之外的要素);在另一个实施例中仅指B(任选地包含除A之外的要素);在又一个实施例中,兼指A和B(任选地包含其它要素);等等。

[0087] 如本文在本说明书和权利要求书中所用,“或”应理解为具有与如上所定义的“和/或”相同的含义。举例来说,当在列表中分隔多个项目时,“或”或“和/或”将解释为包含性的,即,包含至少一个,但也包含数个要素或要素列表中的一个以上要素和任选地额外未列出的项目。只有明确相反指示的术语,如“仅仅……中的一个”或“恰好……中的一个”或当在权利要求书时使用“由……组成”将指的是包括多个元件或元件列表中的恰好一个元件。一般来说,如本文中所述的术语“或”当前面是例如“任一”、“……中的一个”、“仅……中的一个”或“恰好……中的一个”等排他性术语时,仅应解释为指示排他性替代方案(即,“一个或另一个但并非两者”)。“基本上由……组成”当在权利要求书中使用时,应具有如其在专利法领域中所用的普通含义。

[0088] 如本文在说明书和权利要求书中所使用的,在提及一个或多个元件的列表时,短语“至少一个”应理解为指选自该元件列表中的任何一个或多个元件的至少一个元件,但不一定包括元件列表中具体列出的每个元件中的至少一个,并且不排除元件列表中的元件的任何组合。此定义还允许除了要素列表内具体识别的短语“至少一个”所指的要素之外的要素可任选地存在,无论其是否与具体识别的那些要素相关。因此,作为非限制性实例,在一个实施例中,“A和B中的至少一个”(或,等效地,“A或B中的至少一个”或,等效地,“A和/或B中的至少一个”)可以指代至少一个,任选地包含多于一个A,不存在B(并且任选地包含除了B之外的要素);在另一个实施例中,可以指代至少一个,任选地包含多于一个B,不存在A(并且任选地包含除了A之外的要素);在又一实施例中,可以指代至少一个,任选地包含多于一个A,和至少一个,任选地包含多于一个B(并且任选地包含其它要素);等等。

[0089] 在权利要求书中以及在上述说明书中,例如“包括”、“包含”、“带有”、“具有”、“含有”、“涉及”、“容纳”、“由……组成”等所有连接词应理解为是开放的,即,意指包含但不限于。如美国专利局专利审查程序手册第2111.03节所述,只有过渡短语“由…组成”和“基本上由…组成”才应分别是封闭的或半封闭的过渡短语。

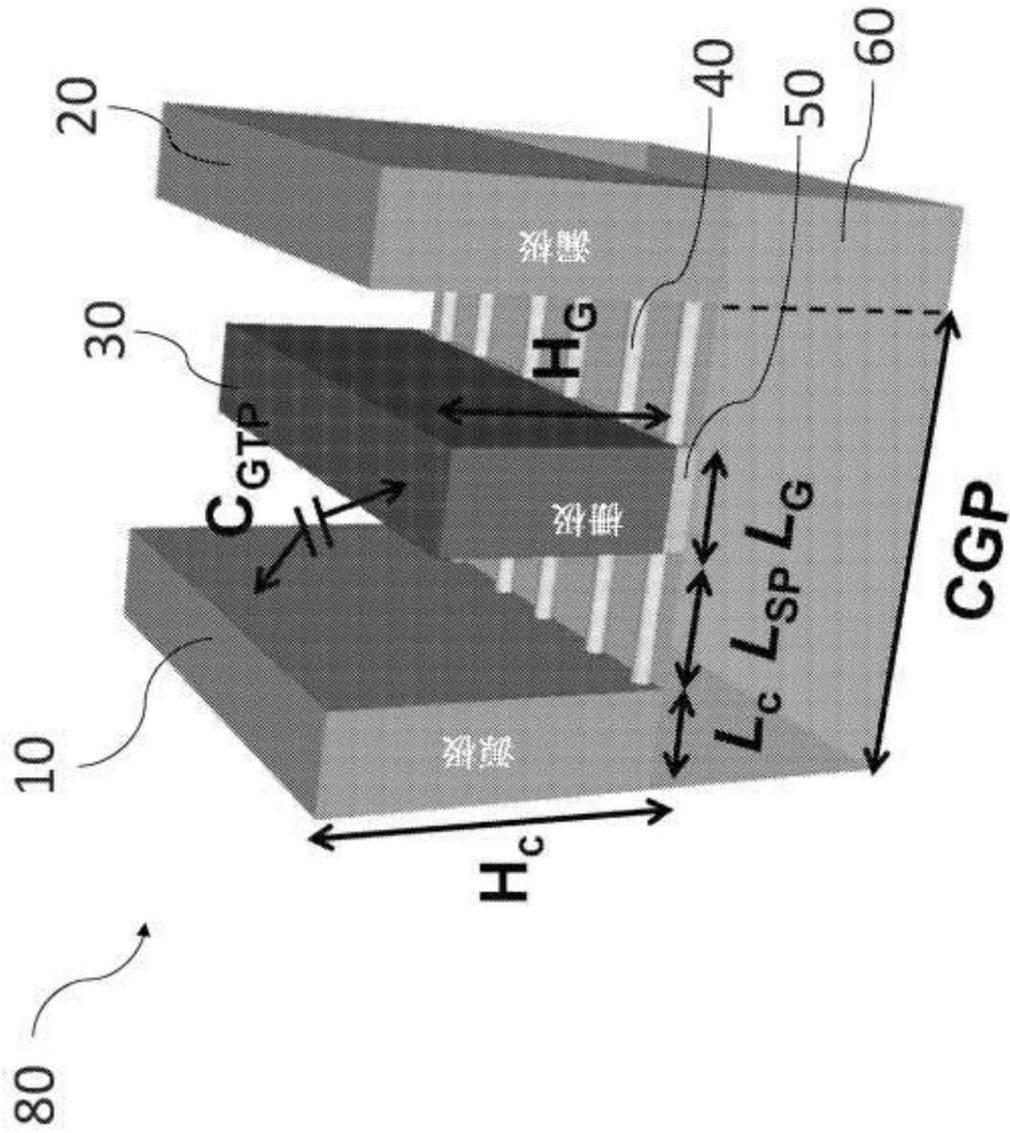


图1A

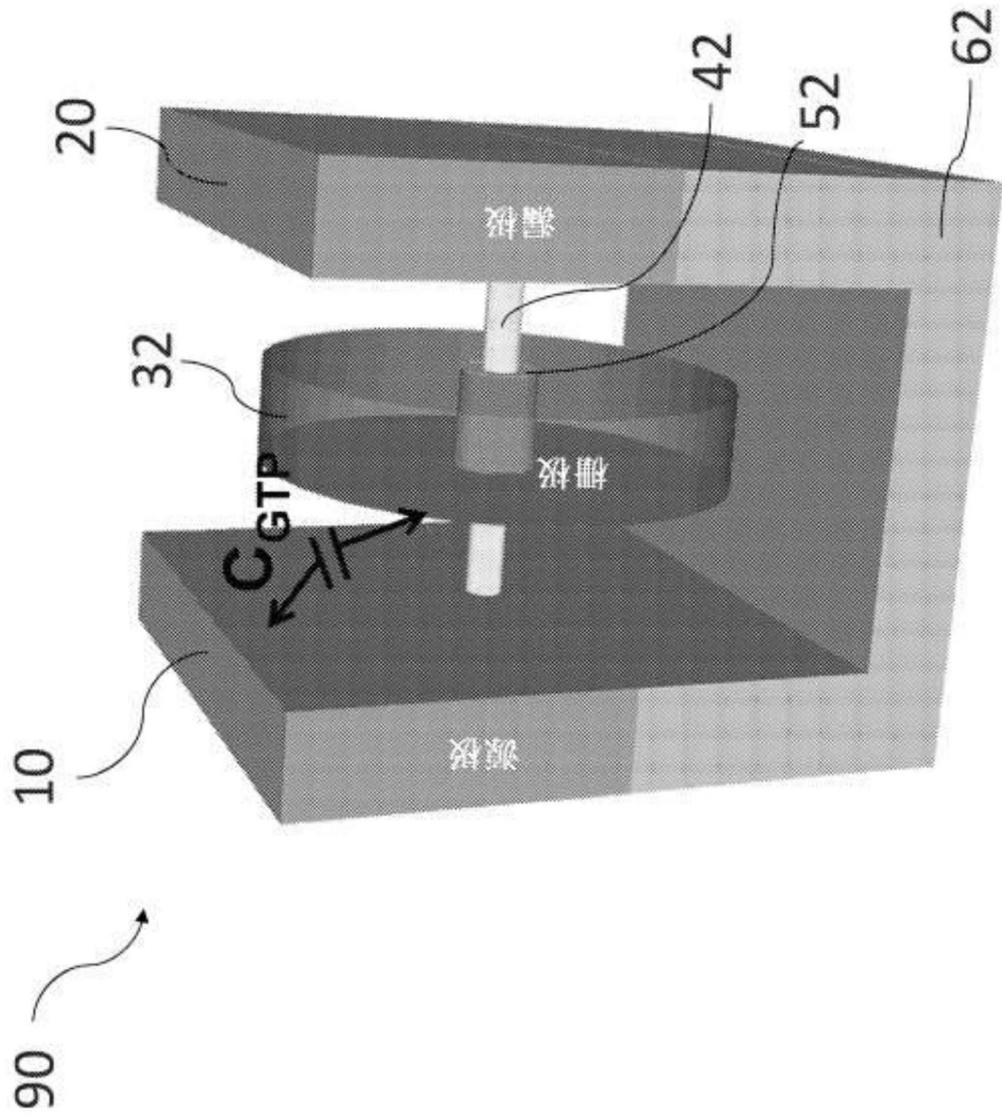


图1B

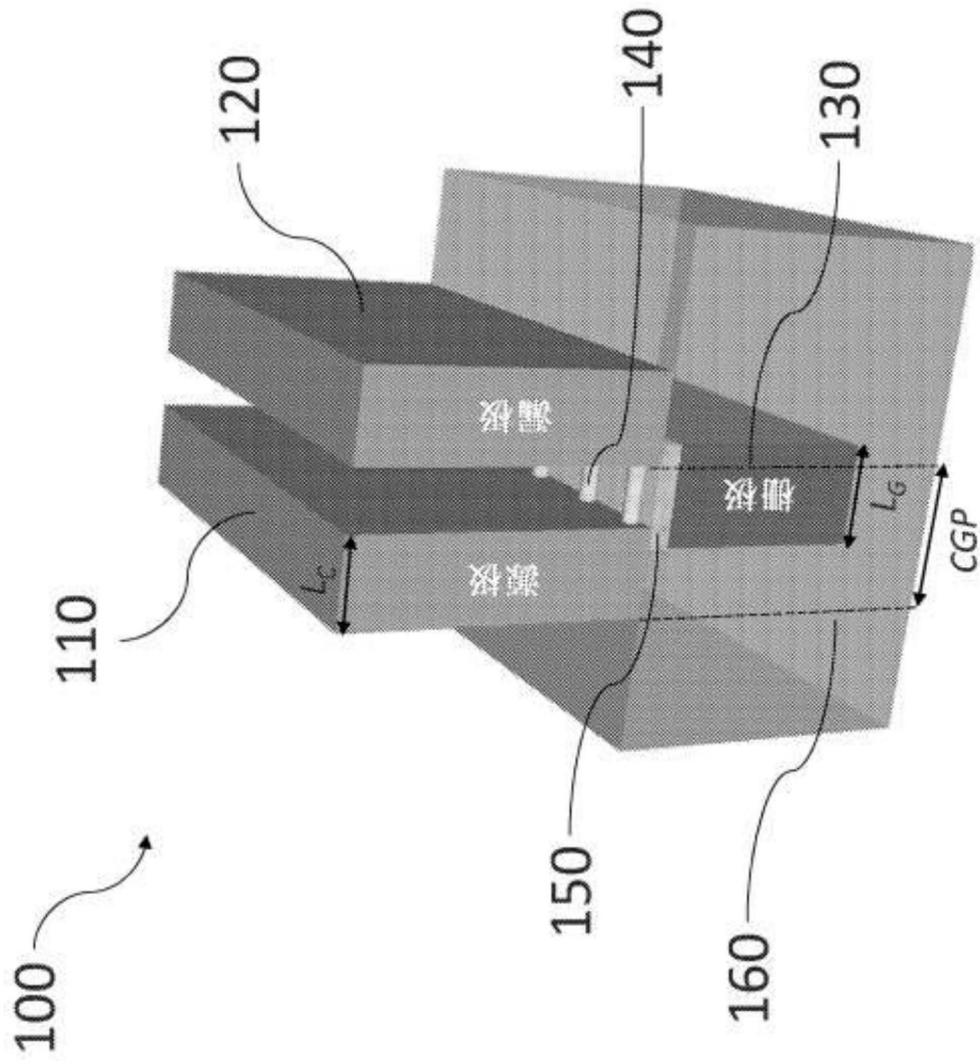
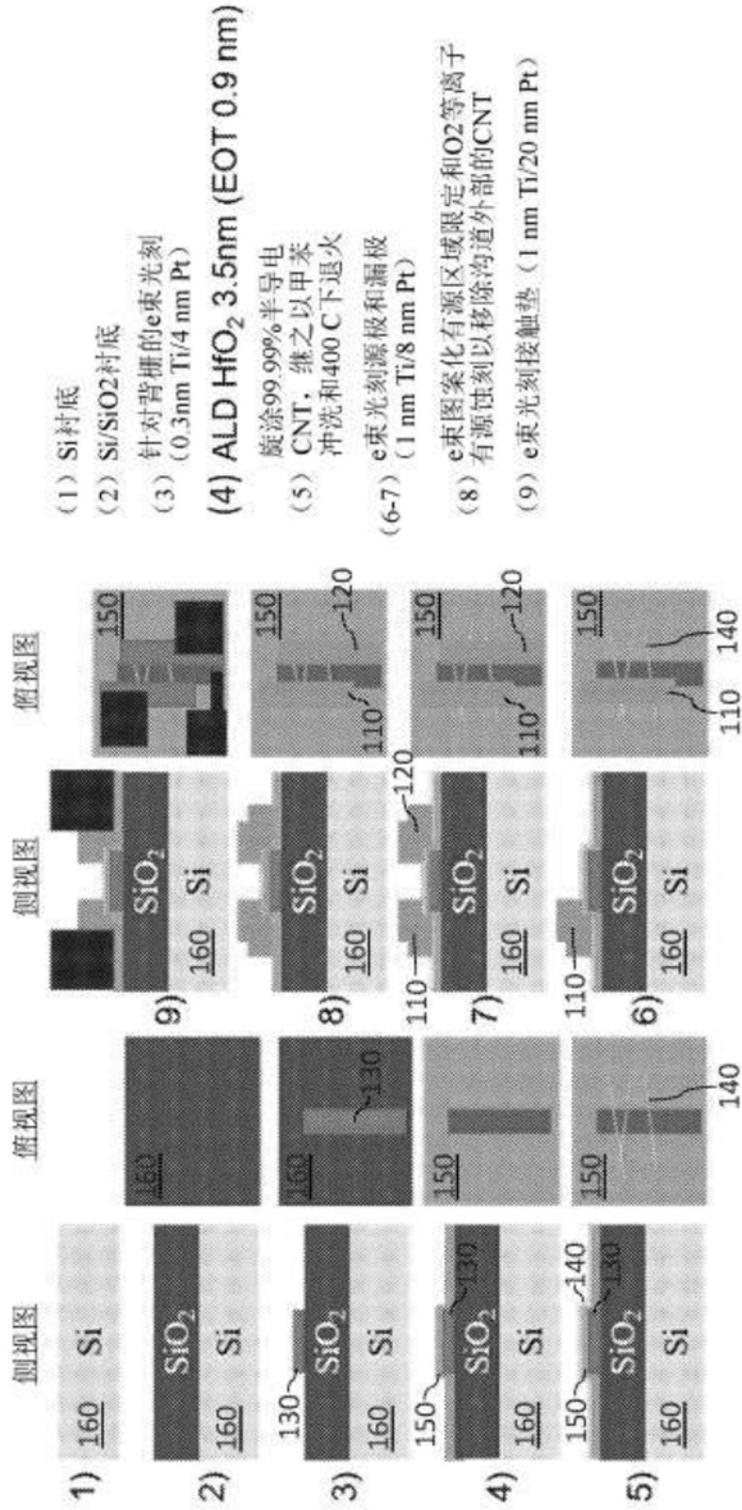


图2B



- (1) Si衬底
- (2) Si/SiO₂衬底
- (3) 针对背栅的e束光刻 (0.3nm Ti/4 nm Pt)
- (4) ALD HfO₂ 3.5nm (EOT 0.9 nm)
- 旋涂99.999%半导体
- (5) CNT, 继之以甲苯冲洗和400 C下退火
- (6-7) e束光刻源极和漏极 (1 nm Ti/8 nm Pt)
- (8) e束图案化有源区域限定和O₂等离子有源区刻以移除沟道外部的CNT
- (9) e束光刻接触垫 (1 nm Ti/20 nm Pt)

图3

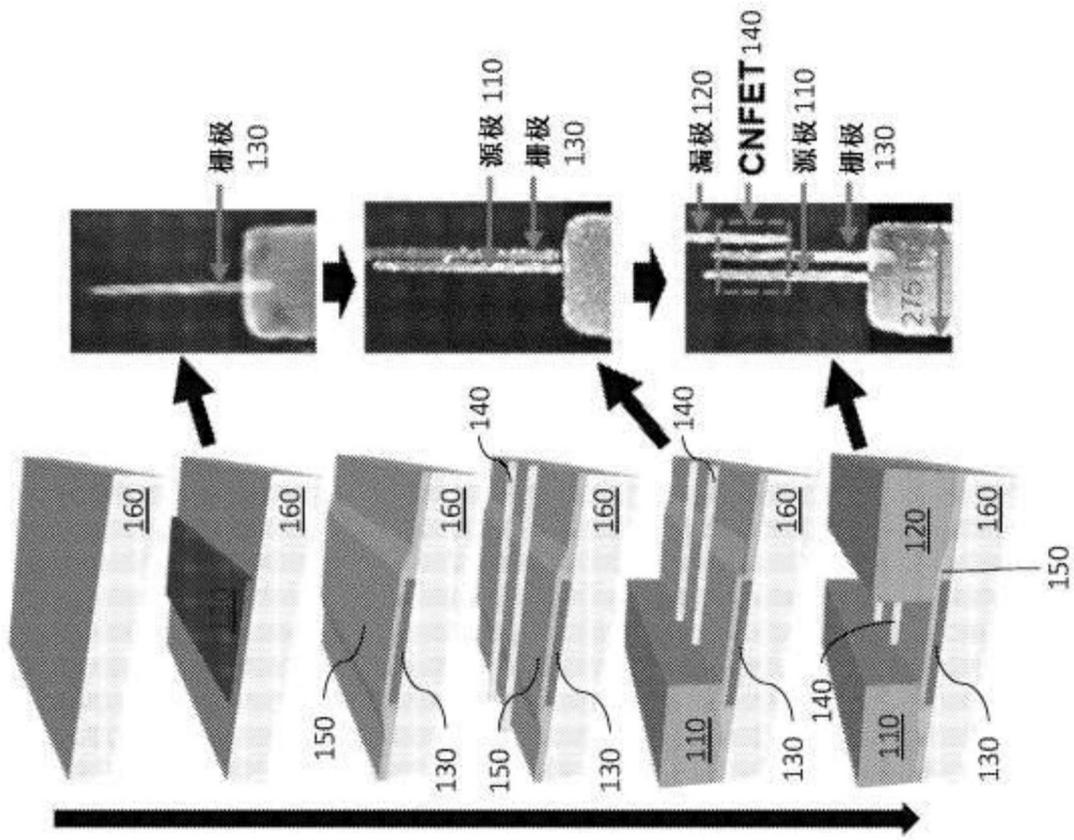


图4

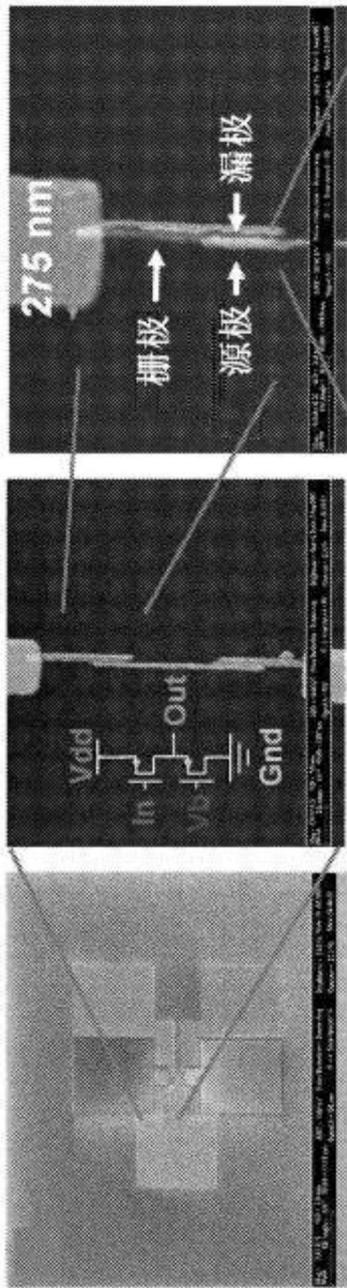


图5A

图5B

图5C

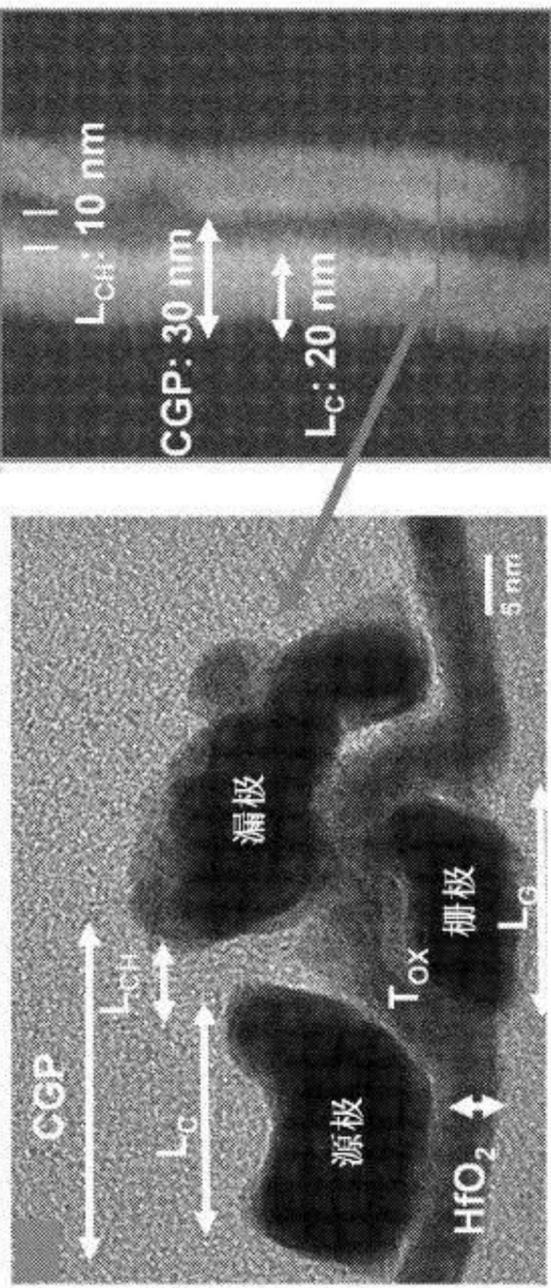


图5E

图5D

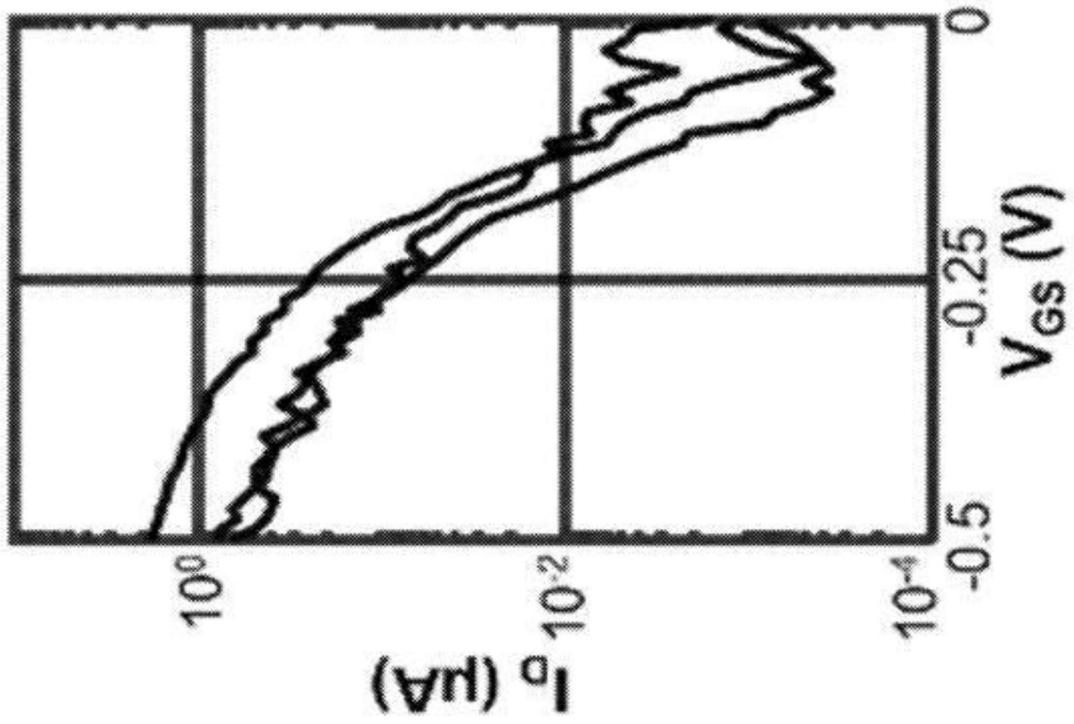


图6A

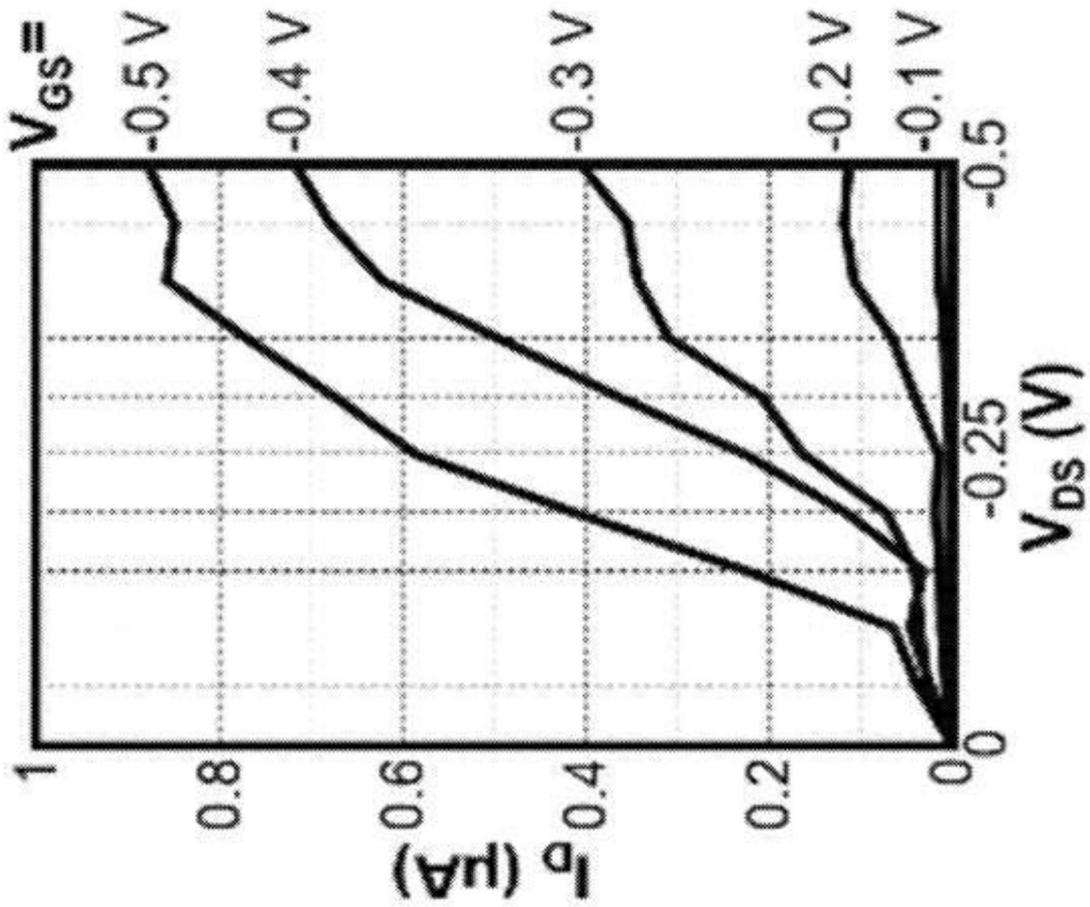


图6B

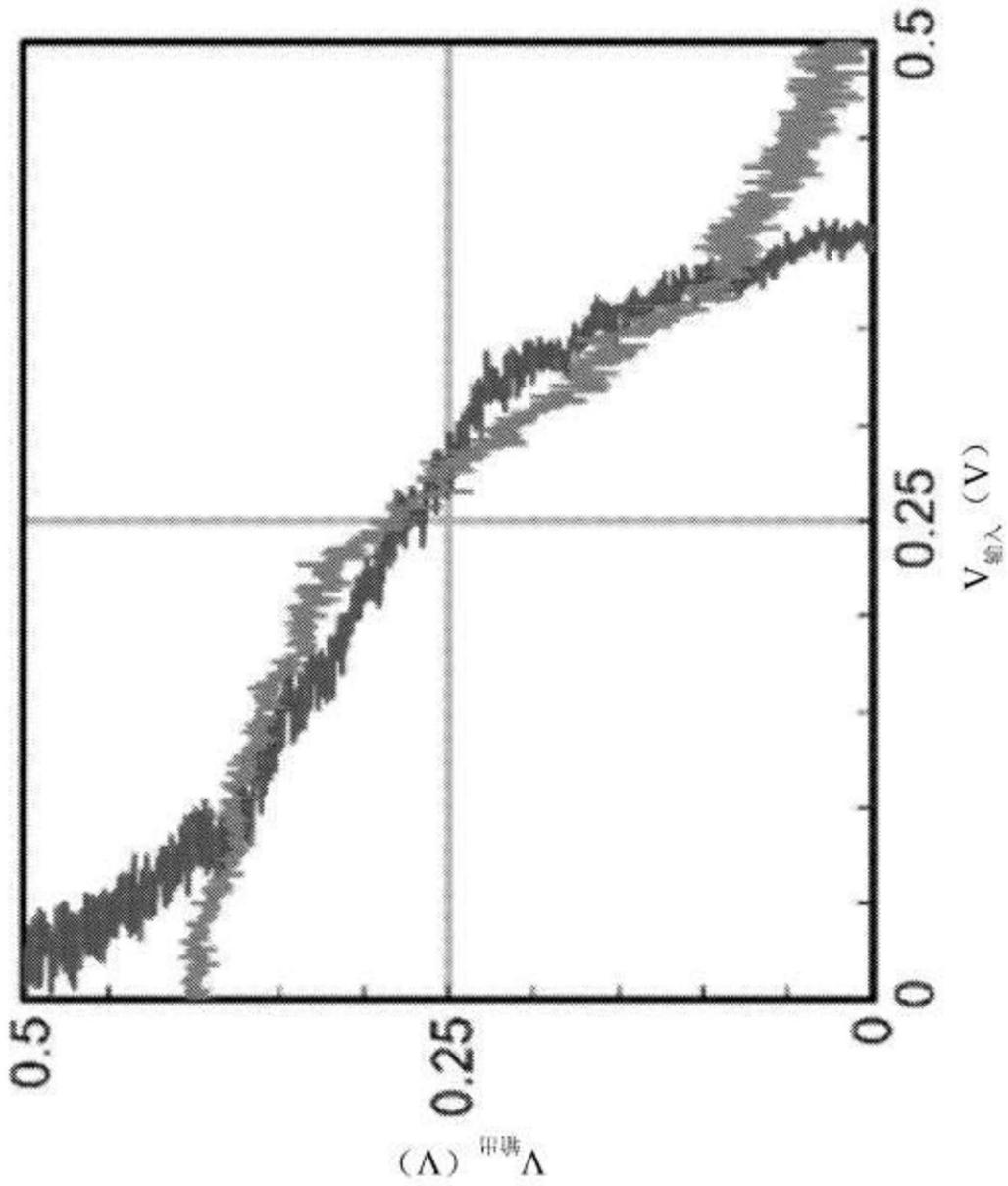


图6C

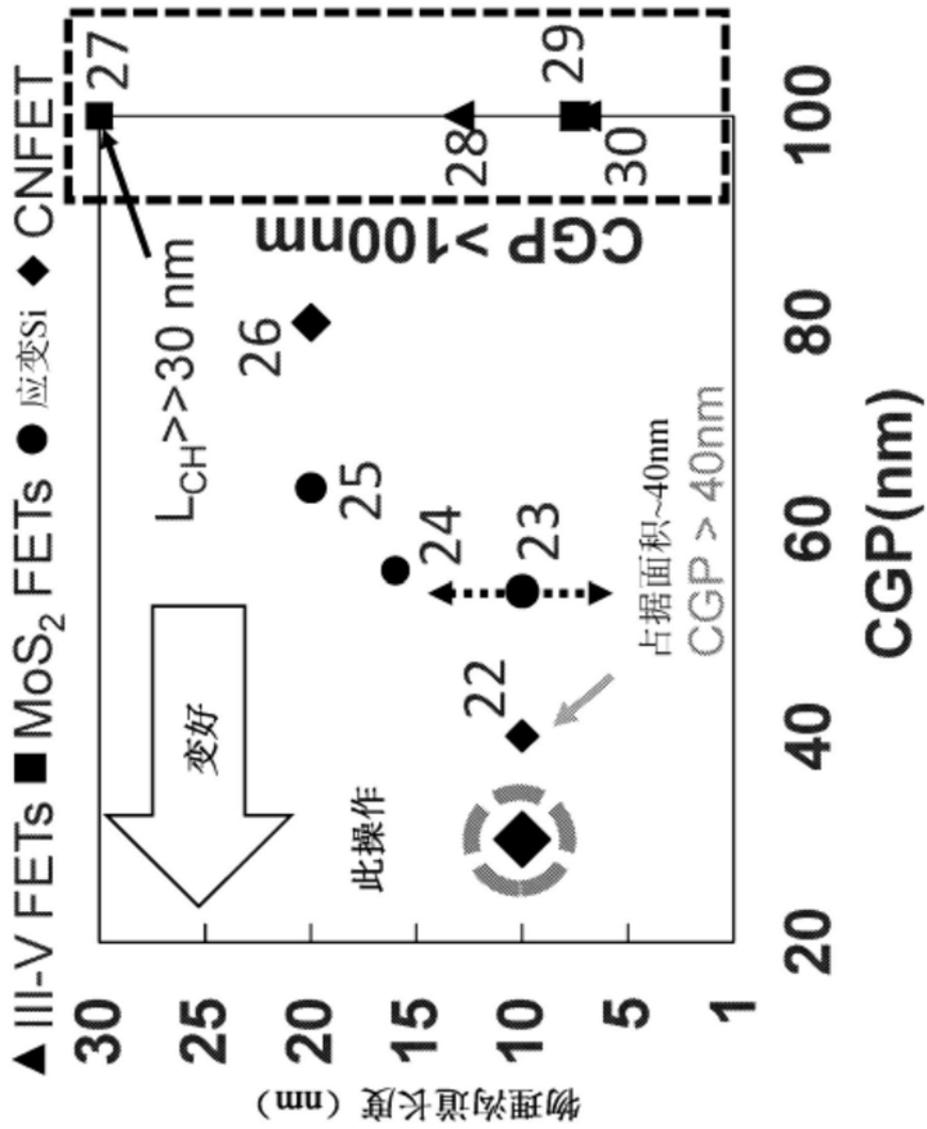


图7

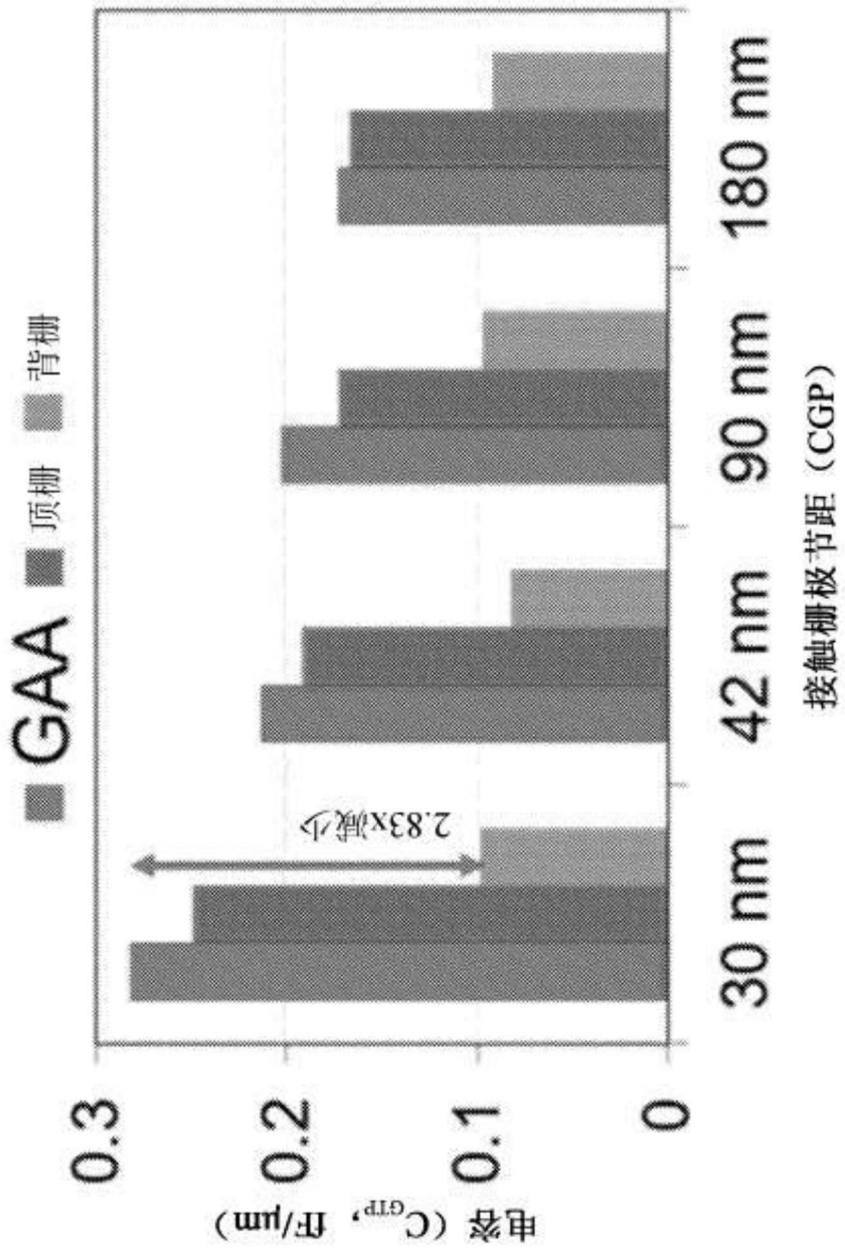


图8A

CGP (nm)	30	42	90	180
L_G (nm)	9	9	24	45
L_{SP} (nm)	6	12	20	45
L_C (nm)	9	9	26	45
H_G (nm)	20	30	40	90
H_C (nm)	40	60	80	180
T_{Ox} (nm)	2	2	3	4
$K_{\text{同层物}}$	5.5	5.5	5.5	5.5
K_{Ox}	10.3	10.3	10.3	10.3

图8B

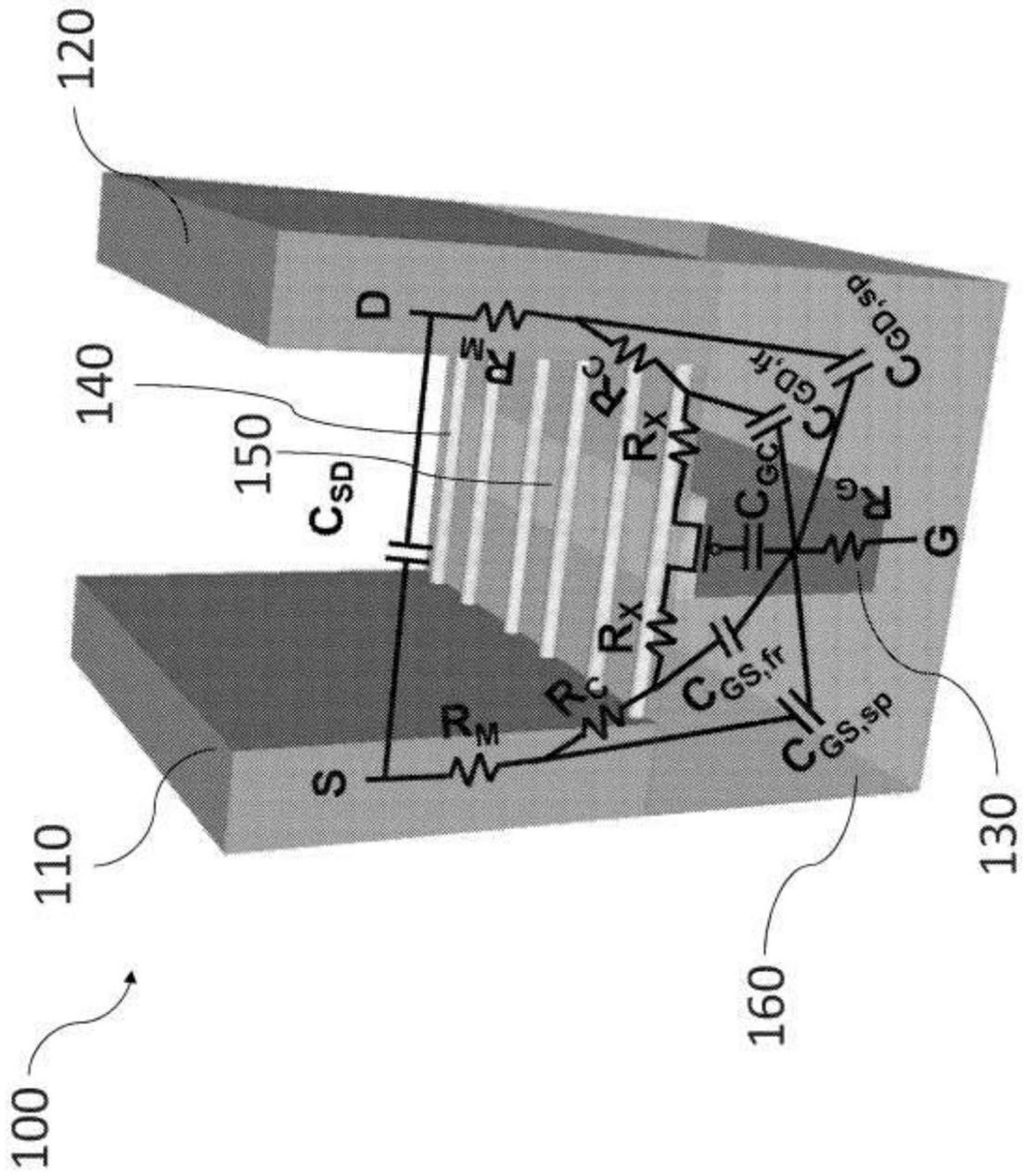


图9A

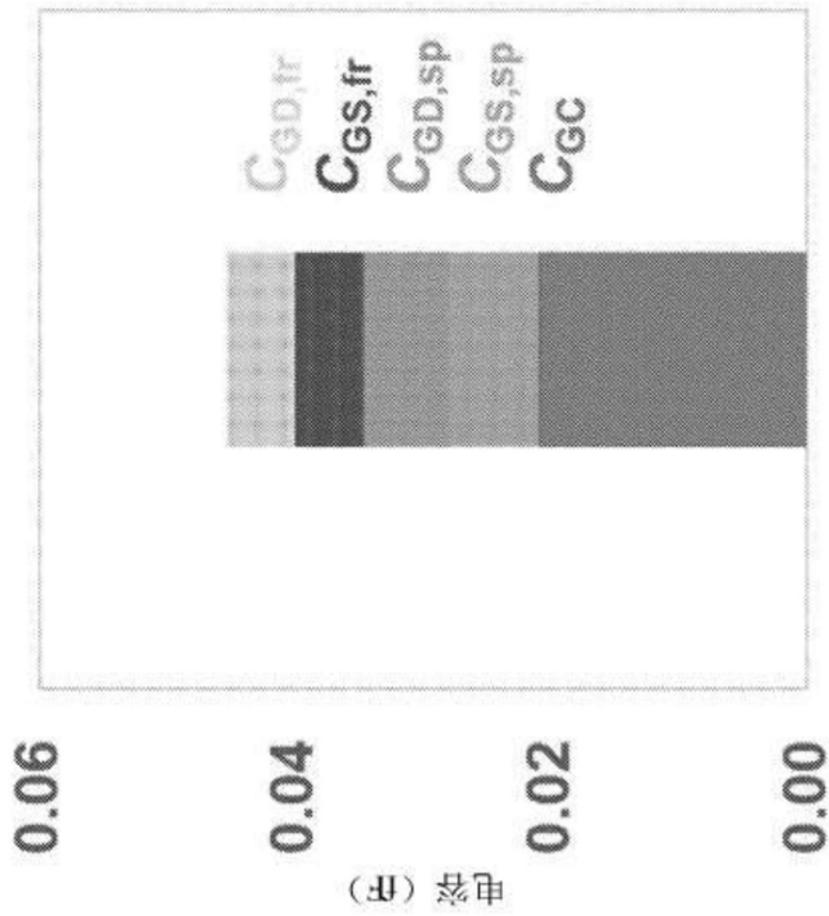


图9B

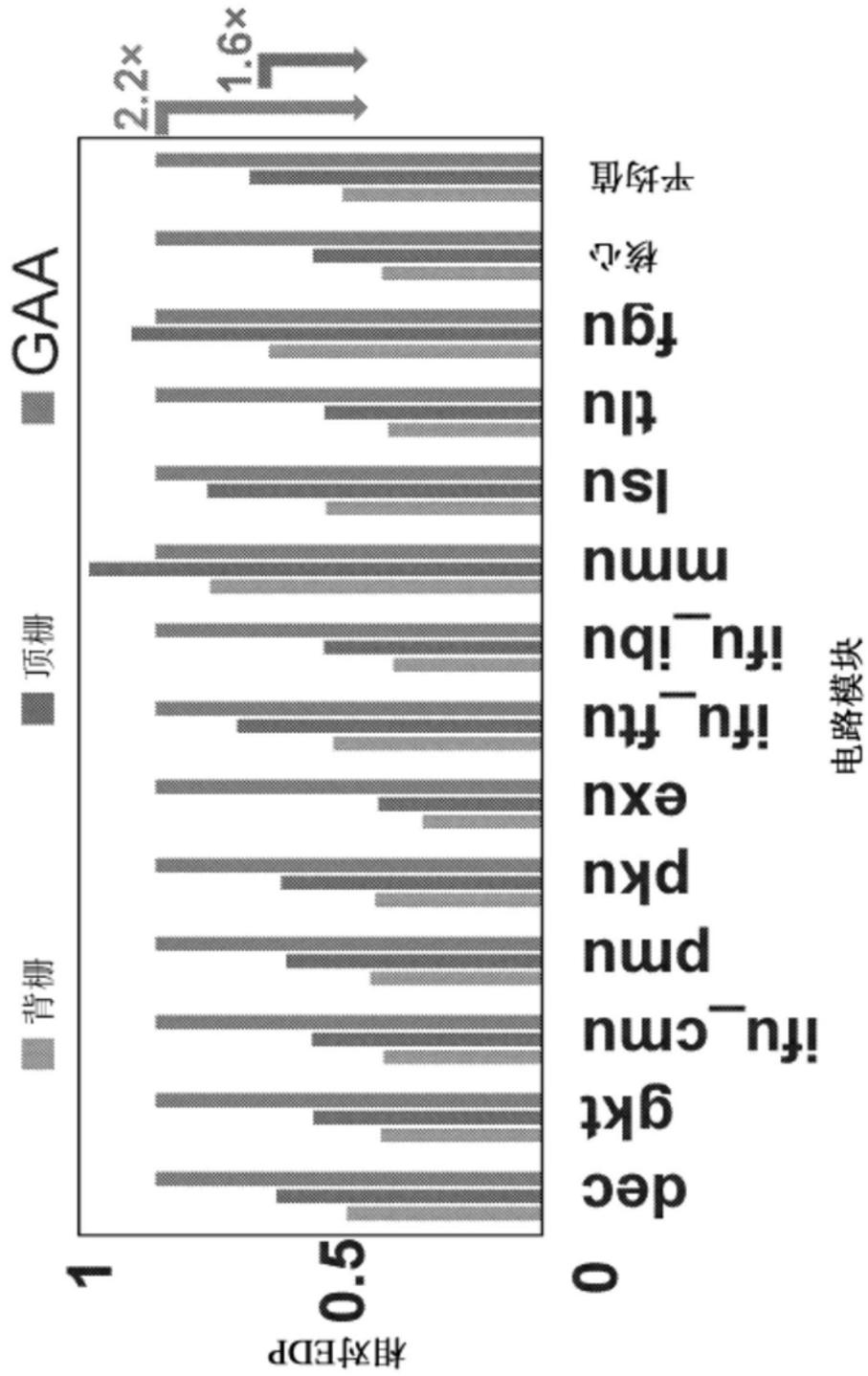


图10

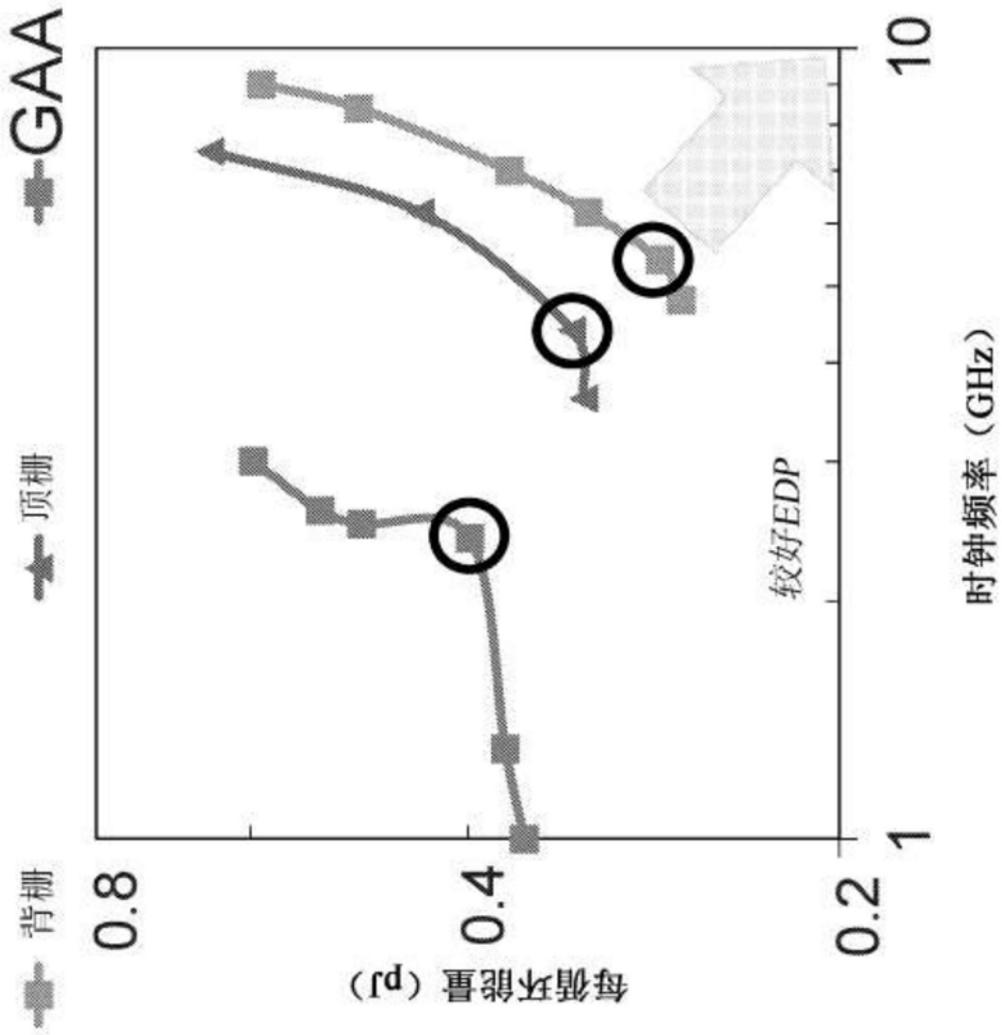


图11

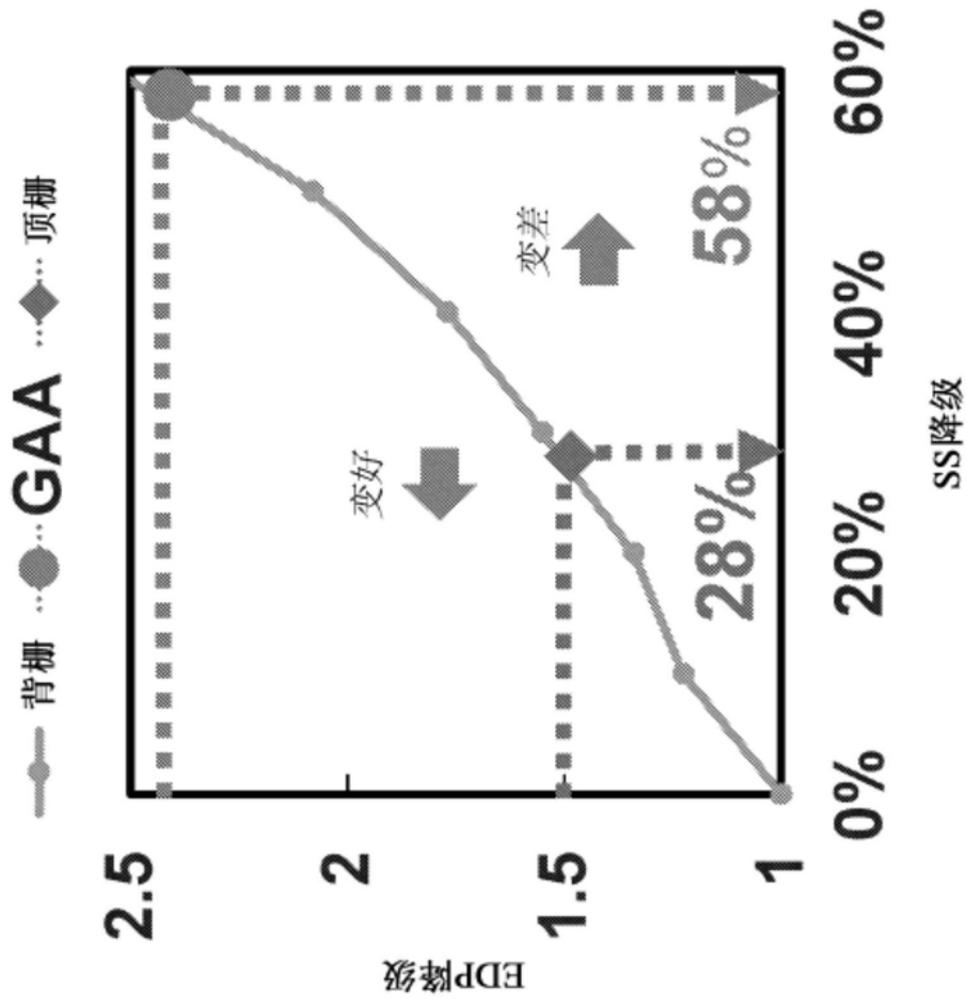


图12

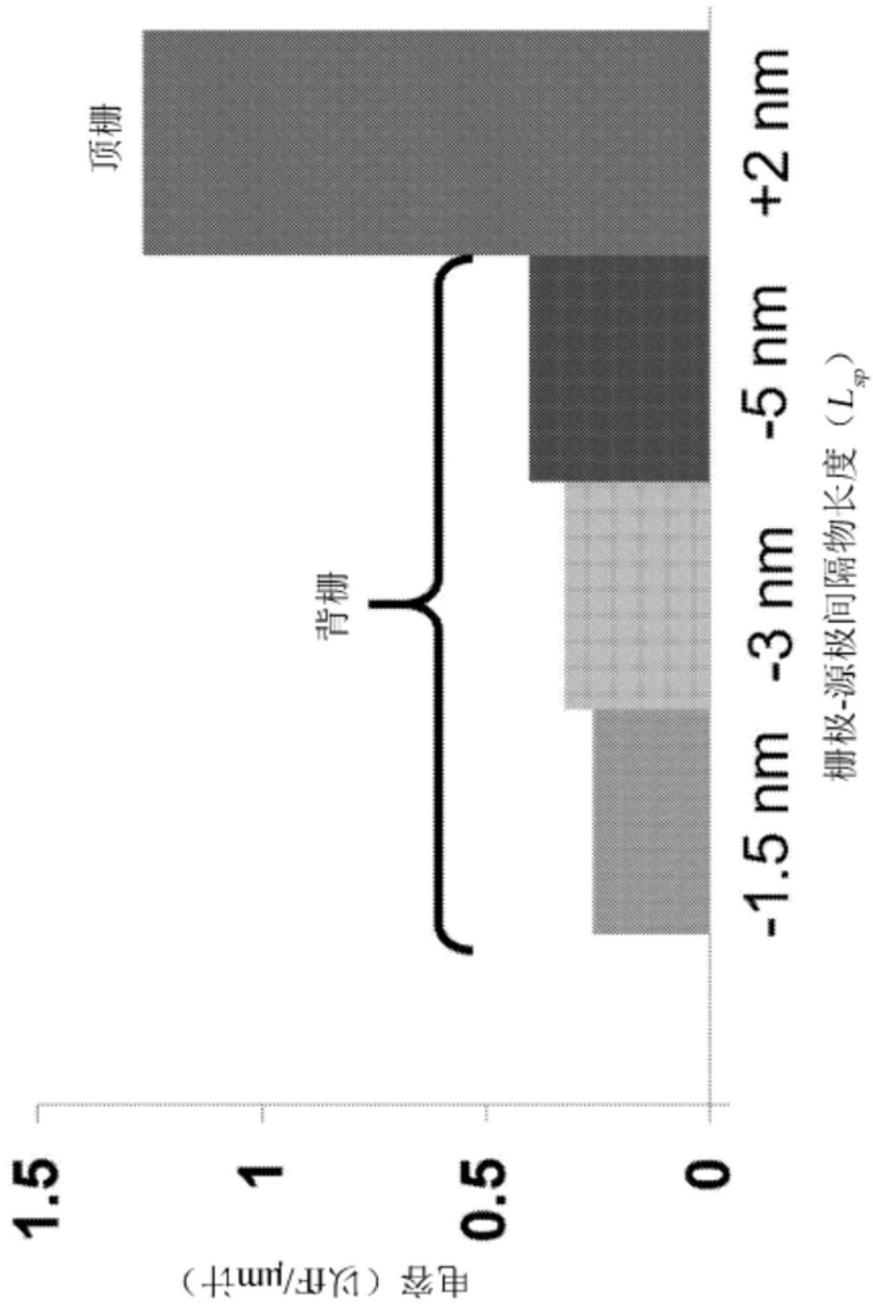


图13A

CGP (nm)	15	15	15	15	15
L _G (nm)	9	12	16	16	5
L _{SP} (nm)	-1.5	-3	-5	-5	+2
L _C (nm)	9	9	9	9	6
H _G (nm)	15	15	15	15	15
H _C (nm)	30	30	30	30	30
T _{Ox} (nm)	2	2	2	2	2
K _{间隔物}	5.5	5.5	5.5	5.5	5.5
K _{Ox}	10.3	10.3	10.3	10.3	10.3

图13B

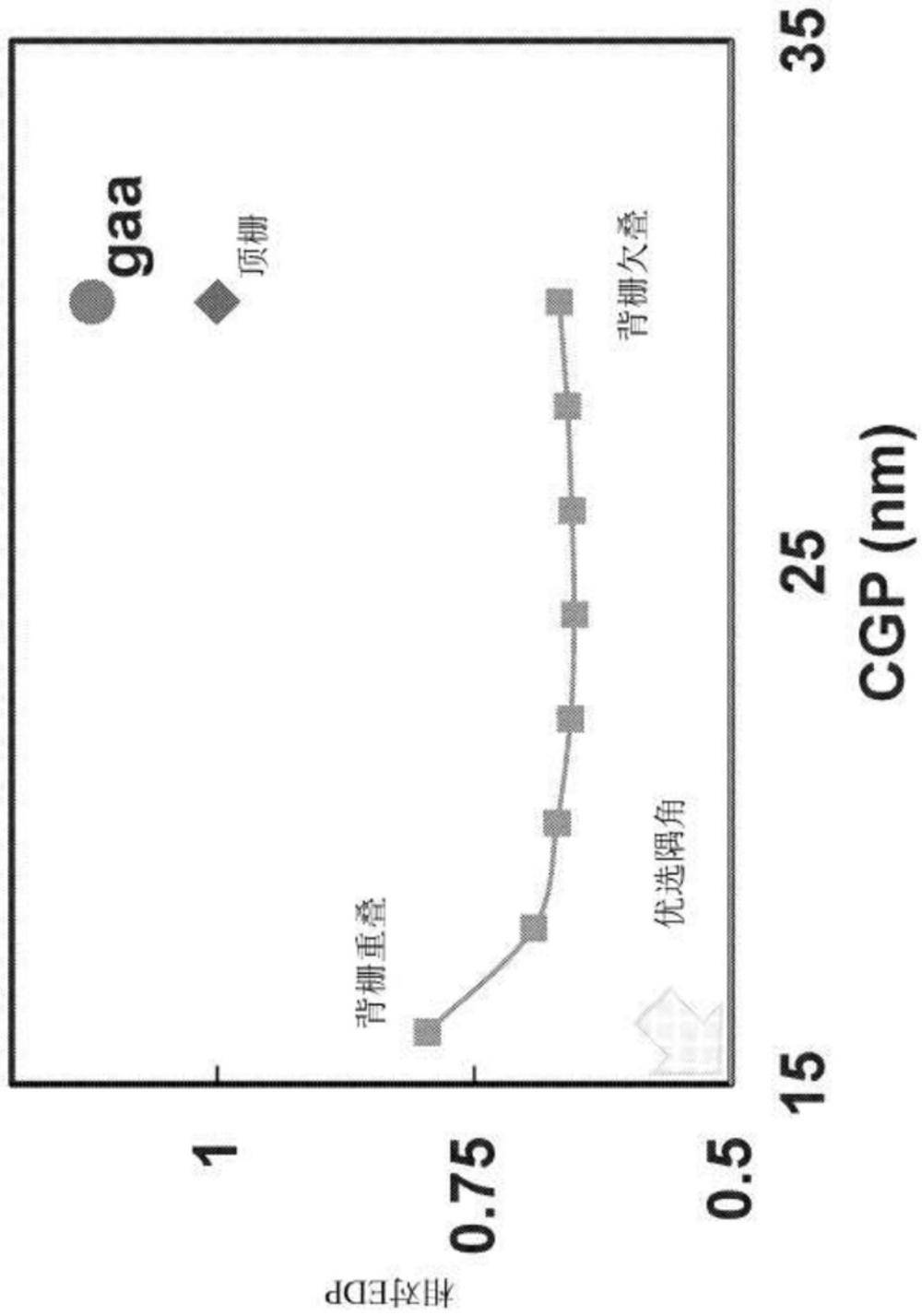


图14