



(10) **DE 10 2004 052 617 B4** 2010.08.05

(12)

Patentschrift

(21) Aktenzeichen: **10 2004 052 617.6**
(22) Anmeldetag: **29.10.2004**
(43) Offenlegungstag: **04.05.2006**
(45) Veröffentlichungstag
der Patenterteilung: **05.08.2010**

(51) Int Cl.⁸: **H01L 21/336** (2006.01)
H01L 29/78 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:
**Advanced Micro Devices, Inc., Sunnyvale, Calif.,
US**

(74) Vertreter:
**Grünecker, Kinkeldey, Stockmair &
Schwanhäusser, 80802 München**

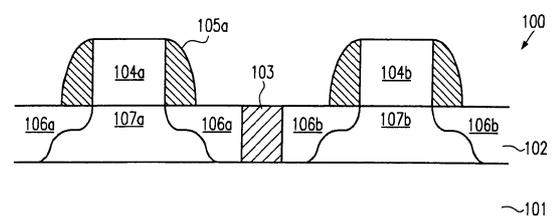
(72) Erfinder:
**Horstmann, Manfred, 01833
Dürrröhrsdorf-Dittersbach, DE; Pruefer, Ekkehard,
01277 Dresden, DE; Buchholtz, Wolfgang, 01445
Radebeul, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

US 63 10 367 B1
US 2004/01 04 405 A1

(54) Bezeichnung: **Verfahren zur Herstellung eines Halbleiterbauelements und Halbleiterbauelement mit Halbleitergebieten, die unterschiedlich verformte Kanalgebiete aufweisen**

(57) Hauptanspruch: Verfahren mit:
Bilden einer Platzhalterstruktur über einem ersten Halbleitergebiet, das in einer auf einem Substrat angeordneten Halbleiterschicht gebildet ist;
Bilden einer zweiten Platzhalterstruktur über einem zweiten Halbleitergebiet, das in der Halbleiterschicht gebildet ist;
Abscheiden einer dielektrischen Schicht mit einer spezifizierten intrinsischen Spannung über der Halbleiterschicht, um die erste und die zweite Platzhalterstruktur zu umschließen;
Modifizieren eines Bereichs der dielektrischen Schicht, der die zweite Platzhalterstruktur umschließt, um die intrinsische Spannung des Bereichs zu ändern, wobei das Modifizieren des Bereichs der dielektrischen Schicht durch Entfernen des Bereichs und Ersetzen des Bereiches mit einem Schichtbereich mit einer anderen intrinsischen Spannung und/oder Entspannen der intrinsischen Spannung des Bereichs auf ein gewünschtes Maß erreicht wird; und
Ersetzen der ersten und der zweiten Platzhalterstruktur durch ein leitendes Material, wobei das leitende Material in eine der ersten und der zweiten Platzhalterstruktur entsprechende Öffnung der dielektrischen Schicht gefüllt wird.



Beschreibung

Gebiet der vorliegenden Erfindung

[0001] Im Allgemeinen betrifft die vorliegende Erfindung die Herstellung integrierter Schaltungen und dabei die Herstellung von Halbleitergebieten mit einer erhöhten Ladungsträgerbeweglichkeit, etwa ein Kanalgebiet eines Feldeffekttransistors, durch Erzeugen einer Verformung in dem Halbleitergebiet.

Beschreibung des Stands der Technik

[0002] Die Herstellung integrierter Schaltungen erfordert das Ausbilden einer großen Anzahl von Schaltungselementen auf einer vorgegebenen Chipfläche gemäß einer spezifizierten Schaltungsanordnung. Für diesen Zweck werden im Wesentlichen kristalline Halbleitergebiete mit oder ohne zusätzliche Dotierstoffmaterialien an speziellen Substratpositionen definiert, um als „aktive“ Gebiete zu dienen, d. h. zumindest zeitweilig als leitende Bereiche zu dienen. Im Allgemeinen werden gegenwärtig mehrere Prozesstechnologien angewendet, wobei für komplexe Schaltungen, etwa Mikroprozessoren, Speicherchips und dergleichen, die MOS-Technologie gegenwärtig der vielversprechendste Ansatz auf Grund des üblichen Verhaltens im Hinblick auf die Arbeitsgeschwindigkeit und/oder die Leistungsaufnahme und/oder die Kosteneffizienz ist. Während der Herstellung komplexer integrierter Schaltungen unter Einsatz der MOS-Technologie werden Millionen Transistoren, d. h. n-Kanaltransistoren und/oder p-Kanaltransistoren, auf einem Substrat ausgebildet, das eine kristalline Halbleiterschicht aufweist. Ein MOS-Transistor enthält, unabhängig davon, ob ein n-Kanaltransistor oder ein p-Kanaltransistor betrachtet wird, sogenannte PN-Übergänge, die durch eine Grenzfläche stark dotierter Drain- und Source-Gebiete mit einem geringer dotierten oder nicht dotierten Kanalgebiet gebildet sind, das zwischen dem Drain- und dem Source-Gebiet angeordnet ist. Die Leitfähigkeit des Kanalgebiets, d. h. die Stromtreiberfähigkeit des leitenden Kanals, wird durch eine Gateelektrode gesteuert, die benachbart zu dem Kanalgebiet ausgebildet und davon durch eine dünne Isolierschicht getrennt ist. Die Leitfähigkeit des Kanalgebiets beim Ausbilden eines leitenden Kanals auf Grund des Anlegens einer geeigneten Steuerspannung an die Gateelektrode hängt von der Dotierstoffkonzentration, der Beweglichkeit der Ladungsträger und – für eine gegebene Ausdehnung des Kanalgebiets in der Transistorbreitenrichtung – von dem Abstand zwischen dem Source-Gebiet und dem Drain-Gebiet ab, wobei dieser Abstand auch als Kanallänge bezeichnet wird. Somit beeinflusst im Zusammenhang mit der Fähigkeit, in rascher Weise einen leitenden Kanal unterhalb der Isolierschicht beim Anlegen der Steuerspannung an die Gateelektrode aufzubauen, die Leitfähigkeit des Kanalgebiets we-

sentlich das Verhalten der MOS-Transistoren. Da somit die Geschwindigkeit des Ausbildens des Kanals, d. h. die Leitfähigkeit der Gateelektrode, und der Kanalwiderstand im Wesentlichen die Transistoreigenschaften beeinflussen, macht die Verkleinerung der Gatelänge – und damit verknüpft die Verkleinerung des Kanalwiderstands und ein Anstieg des Gatewiderstands – die Kanallänge zu einem wesentlichen Entwurfskriterium zum Erreichen einer Erhöhung der Arbeitsgeschwindigkeit der integrierten Schaltungen.

[0003] Die ständig fortschreitende Verringerung der Transistorabmessungen zieht jedoch eine Reihe von damit verknüpften Problemen nach sich, die es zu lösen gilt, um nicht die Vorteile aufzuwiegen, die durch das ständige Verkleinern der Kanallänge von MOS-Transistoren gewonnen wurden. Ein wesentliches Problem in dieser Hinsicht ist die Entwicklung verbesserter Photolithographie- und Ätzstrategien, um zuverlässig und reproduzierbar Schaltungselemente mit kritischen Abmessungen, etwa die Gateelektrode der Transistoren, für eine neue Bauteilgeneration herzustellen. Ferner sind äußerst anspruchsvolle Dotierstoffprofile sowohl in der vertikalen Richtung als auch in der lateralen Richtung in den Drain- und Source-Gebieten erforderlich, um für einen geringen Schicht- und Kontaktwiderstand in Verbindung mit einer gewünschten Kanalsteuerbarkeit zu sorgen. Ferner ist die vertikale Position der PN-Übergänge in Bezug auf die Gateisolierschicht ebenso ein wichtiges Entwurfskriterium im Hinblick auf die Steuerung der Leckströme, da das Reduzieren der Kanallänge auch eine Verringerung der Tiefe der Drain- und Sourcegebiete in Bezug auf die Grenzfläche erfordert, die von der Gateisolationsschicht und dem Kanalgebiet gebildet wird, wodurch anspruchsvolle Implantationstechniken erforderlich sind. Gemäß anderer Lösungen werden epitaktisch gewachsene Gebiete mit einem spezifizierten Versatz zu der Gateelektrode gebildet, die als erhöhte Drain- und Source-Gebiete bezeichnet werden, um eine erhöhte Leitfähigkeit der erhöhten Drain- und Source-Gebiete bereitzustellen, wobei gleichzeitig ein flacher PN-Übergang in Bezug auf die Gateisolationsschicht bewahrt bleibt.

[0004] In anderen konventionellen Lösungen wird die Problematik eines erhöhten Widerstandes von Polysiliziumgateelektroden in äußerst großenreduzierten Bauelementen dahingehend berücksichtigt, dass das momentan verwendete dotierte Polysilizium durch ein Metall als Gateelektrodenmaterial ersetzt wird, wobei dennoch eine selbstjustierende Prozesssequenz für die Ausbildung der Drain- und Sourcegebiete und die Gateelektrode beibehalten wird. Dies kann erreicht werden, indem ein Ersatzgate gebildet wird, das in Verbindung mit zu entfernenden Seitenwandabstandselementen als eine Implantationsmaske während der Herstellung der Drain- und Source-Gebiete dient. Nach dem Einbetten des Ersatzga-

tes in einem Zwischenschichtdielektrikum kann das Ersatzgate durch ein äußerst leitfähiges Gatematerial, etwa einem Metall, ersetzt werden. Mit dieser Vorgehensweise für eine „eingelegte“ Gateelektrode kann das Transistorverhalten deutlich verbessert werden, das Problem der eingeschränkten Kanalleitfähigkeit wird jedoch durch diese Lösung nicht angesprochen.

[0005] Da ferner die ständige Größenreduzierung der kritischen Abmessungen, d. h. der Gatelänge der Transistoren, das Anpassen und möglicherweise die Neuentwicklung äußerst komplexer Prozesstechniken im Hinblick auf die oben genannten Prozessschritte erfordert, wurde vorgeschlagen, das Bauteilverhalten der Transistorelemente auch durch Erhöhen der Ladungsträgerbeweglichkeit in dem Kanalgebiet für eine gegebene Kanallänge zu erhöhen, wodurch die Möglichkeit geschaffen wird, eine Leistungsverbesserung zu erreichen, die vergleichbar zum Fortschreiten zu einer neuen Technologie mit größenreduzierten Bauelementen vergleichbar ist, während viele der zuvor genannten Prozessanpassungen, die mit einer Bauteilskalierung einhergehen, vermieden werden. Im Prinzip können mindestens zwei Mechanismen, kombiniert oder separat, angewendet werden, um die Beweglichkeit der Ladungsträger in dem Kanalgebiet zu erhöhen. Erstens, die Dotierstoffkonzentration in dem Kanalgebiet kann verringert werden, wodurch Streuereignisse der Ladungsträger verringert werden und damit die Leitfähigkeit erhöht wird. Das Verkleinern der Dotierstoffkonzentration in dem Kanalgebiet beeinflusst jedoch deutlich die Schwellwertspannung des Transistorbauelements, wodurch aktuell eine Verringerung der Dotierstoffkonzentration eine wenig attraktive Lösung darstellt, sofern nicht andere Mechanismen entwickelt werden, um eine gewünschte Schwellwertspannung einzustellen. Zweitens, die Gitterstruktur in dem Kanalgebiet kann modifiziert werden, beispielsweise durch Erzeugen einer Zugspannung oder einer Druckspannung, um eine entsprechende Verformung in dem Kanalgebiet hervorzurufen, was zu einer modifizierten Beweglichkeit für Elektronen bzw. Löcher führt. Beispielsweise erhöht das Erzeugen einer Zugverformung in dem Kanalgebiet die Beweglichkeit von Elektronen, wobei abhängig von der Größe und der Richtung der Zugverformung ein Anstieg der Beweglichkeit von bis zu 120% oder mehr erreicht werden kann, was sich wiederum direkt in eine entsprechende Zunahme der Leitfähigkeit überträgt. Andererseits kann eine Zugverformung in dem Kanalgebiet die Beweglichkeit von Löchern erhöhen, wodurch die Möglichkeit geschaffen wird, das Verhalten von p-Transistoren zu verbessern. Die Einführung einer Spannungs- oder Verformungsprozesstechnik in die Herstellung integrierter Schaltungen ist eine äußerst vielversprechende Lösung für künftige Bauteilgenerationen, da beispielsweise verformtes Silizium als eine „neue“ Art von Halbleiter betrachtet werden

kann, die die Herstellung schneller leistungsfähiger Halbleiterbauelemente ermöglicht, ohne dass teure Halbleitermaterialien und Herstellungstechniken erforderlich sind.

[0006] Folglich wurde vorgeschlagen, beispielsweise eine Silizium/Germanium-Schicht oder eine Silizium/Kohlenstoff-Schicht in oder unter dem Kanalgebiet vorzusehen, um eine Zugspannung oder Druckspannung zu erzeugen, die zu einer entsprechenden Verformung führt. Obwohl das Transistorverhalten deutlich durch das Einführen von spannungserzeugenden Schichten in oder unterhalb des Kanalgebiets verbessert werden kann, müssen deutliche Anstrengungen unternommen werden, um die Herstellung entsprechender Spannungsschichten in den konventionellen und gut erprobten MOS-Technikablauf zu integrieren. Beispielsweise müssen zusätzliche epitaktische Wachstumstechniken entwickelt und in den Prozessablauf integriert werden, um die germanium- oder kohlenstoffenthaltenden Spannungsschichten an geeigneten Positionen in oder unterhalb des Kanalgebiets auszubilden. Somit steigt die Prozesskomplexität deutlich an, wodurch auch die Produktionskosten und die Möglichkeit für eine Verringerung der Produktionsausbeute ansteigen.

[0007] Die US 2004/0104405 A1 offenbart ein CMOS-Bauteil, das Gatestrukturen aufweist, die mit dünnen dielektrischen spannungsinduzierenden Schichten bedeckt sind, die für NMOS- und PMOS-Transistoren unterschiedlich sein können.

[0008] Die US 6 310 367 B1 offenbart MOS-Transistoren, die eine zugverspannte Siliziumschicht und eine druckverspannte Siliziumgermaniumschicht aufweisen. Die verspannten Schichten werden innerhalb oder unterhalb des Kanalgebietes gebildet. Die Gateelektroden der Transistoren können mittels einer herkömmlichen Gateaustauschtechnik, die Siliziumdioxidmaskenschichten verwendet, gebildet werden.

[0009] Angesichts zuvor beschriebenen Situation besteht die Aufgabe der Erfindung ein Bedarf für eine alternative Technik anzugeben, die das Erzeugen unterschiedlicher Spannungsbedingungen in unterschiedlichen Halbleitergebieten ermöglicht, während die Möglichkeit geboten wird, dass verbesserte Transistorarchitekturen einschließlich äußerst leitfähiger Gateelektroden gebildet werden.

Überblick über die Erfindung

[0010] Im Allgemeinen richtet sich die vorliegende Erfindung an eine Technik, die die Kombination der Prozessstrategien, die die Möglichkeit zur Ausbildung verbesserter Transistorarchitekturen, etwa Transistorelemente mit sogenannten „eingelegten“ Gateelektroden, mit einer verbesserten Spannungs- oder Verformungsprozesstechnik kombinieren, um

zumindest zwei unterschiedliche Größen oder Arten von Verformung in zwei unterschiedlichen Halbleitergebieten bereitzustellen. Folglich können unterschiedliche Gebiete innerhalb einer Chipfläche oder innerhalb des gesamten Substrats, das mehrere einzelne Chipflächen trägt, unterschiedlich verformte Halbleitergebiete erhalten, um damit individuell die Ladungsträgerbeweglichkeit und damit die Leitfähigkeit der Gebiete auf spezifizierte Prozess- und Bauteilerfordernisse anzupassen. Insbesondere unterschiedliche Transistorarten, etwa n-Transistoren bzw. n-Kanaltransistoren und p-Transistoren bzw. p-Kanaltransistoren, können eine unterschiedliche Art oder einen unterschiedlichen Betrag an Verformung in den entsprechenden Kanalgebieten erhalten, wobei gleichzeitig bei Bedarf die Gateleitfähigkeit verbessert werden kann, auf Grund der Möglichkeit, dass eingelegte Gateelektrodenstrukturen auf der Grundlage äußerst leitfähiger Materialien, etwa Metalle, gebildet werden.

[0011] Die Aufgabe der vorliegenden Erfindung wird durch die Verfahren der Ansprüche 1 und 17 und durch die Vorrichtung nach Anspruch 27 gelöst.

Kurze Beschreibung der Zeichnungen

[0012] Weitere Ausführungsformen der vorliegenden Erfindung sind in den angefügten Patentansprüchen definiert und gehen auch aus der folgenden detaillierten Beschreibung hervor, wenn diese mit Bezug zu den begleitenden Zeichnungen studiert wird; es zeigen:

[0013] [Fig. 1a](#) bis [Fig. 1h](#) schematisch Querschnittsansichten eines Halbleiterbauelements während diverser Herstellungsphasen, wobei eine unterschiedliche Verformung an unterschiedlichen Halbleitergebieten durch entsprechende Spannungsschichten, die in der Nähe der Halbleitergebiete ausgebildet sind, gemäß einer Prozessstrategie erzeugt wird, die das Herstellen eingelegter Gateelektrodenstrukturen ermöglicht;

[0014] [Fig. 2](#) schematisch ein Halbleiterbauelement im Querschnitt während eines Herstellungsstadiums, in welchem eine intrinsische Spannung einer Spannungsschicht lokal gemäß weiterer anschaulicher Ausführungsformen modifiziert wird; und

[0015] [Fig. 3a](#) und [Fig. 3b](#) schematisch ein Halbleiterbauelement im Querschnitt in einer Herstellungsphase, während welcher Ionenspezies an bestimmten Positionen angeordnet werden, um das Übertragen der mechanischen Spannung in entsprechende Halbleitergebiete gemäß weiterer anschaulicher Ausführungsformen der vorliegenden Erfindung zu verbessern.

Detaillierte Beschreibung

[0016] Die vorliegende Erfindung beruht auf dem Konzept, dass eine Verformung in einem Halbleitergebiet, etwa einem Kanalgebiet eines Transistorelements, in äußerst effizienter Weise mittels einer Materialschicht mit einer spezifizierten intrinsischen Spannung erzeugt werden kann, die nahe an dem interessierenden Halbleitergebiet angeordnet ist. Durch Bereitstellen einer Prozessstrategie, die eine effektive lokale Einstellung von Verformung innerhalb eines Bereichs oder innerhalb unterschiedlicher Substratbereiche, die mehrere Chipbereiche enthalten, oder gar auf sehr kleinem Maßstabe, etwa als unterschiedliche Kanalgebiete eines komplementären Transistorpaars ermöglichen, kann eine verbesserte Verformungsprozessstechnik mit einer verbesserten Transistorarchitektur kombiniert werden, wodurch eine hohe Gateleitfähigkeit in Verbindung mit einer hohen Ladungsträgerbeweglichkeit und damit Kanalleitfähigkeit selbst für äußerst großenreduzierte Transistorbauelement bereitgestellt wird. Mit Bezug zu den begleitenden Zeichnungen werden nunmehr weitere anschauliche Ausführungsformen der vorliegenden Erfindung detaillierter beschrieben.

[0017] [Fig. 1a](#) zeigt schematisch eine Querschnittsansicht eines Halbleiterbauelements **100**, das ein Substrat **101** aufweist, das ein beliebiges geeignetes Substrat zur Herstellung von Schaltungselementen von integrierten Schaltungen, etwa Mikroprozessoren, Speicherchips, und dergleichen repräsentiert. Das Substrat **101** kann ein Halbleitervollsubstrat, etwa ein Siliziumsubstrat, repräsentieren, oder kann in speziellen Ausführungsformen ein SOI-(Silizium auf Isolator)Substrat repräsentieren, wobei eine Halbleiterschicht **102** die kristalline Siliziumschicht, die auf einer Isolierschicht (nicht gezeigt) in dem Substrat **101** gebildet ist, repräsentieren kann. Da die meisten der modernen integrierten Schaltungen, die gemäß der MOS-Technologie hergestellt werden, auf der Grundlage von Silizium hergestellt werden, wird in der folgenden detaillierten Beschreibung häufig auf Silizium im Hinblick auf die Halbleiterschicht **102** verwiesen, wobei es zu beachten gilt, dass andere geeignete Halbleitermaterialien, etwa Galliumarsenid, Germanium, Silizium/Germanium oder andere III-V oder II-VI Halbleitermaterialien ebenso in der vorliegenden Erfindung verwendbar sind. In ähnlicher Weise kann die Halbleiterschicht **102** einen oberen Bereich eines Halbleitervollsubstrats repräsentieren, obwohl diese als eine separate Schicht gezeigt ist.

[0018] Das Halbleiterbauelement **100** umfasst eine erste Platzhalterstruktur **104a**, die aus einem geeigneten Material, etwa Siliziumdioxid, amorphem Kohlenstoff und dergleichen gebildet ist. Die erste Platzhalterstruktur **104a** ist über einem ersten Halbleitergebiet **107a** gebildet, das ein erstes Kanalgebiet repräsentieren kann, wenn mittels des ersten Platzhal-

ters **104a** ein Transistor herzustellen ist. Erste dotierte Gebiete **106a**, die symmetrisch oder asymmetrisch in Bezug auf das erste Halbleitergebiet **107a** angeordnet sein können, sind in der Schicht **102** ausgebildet und können in der gezeigten Ausführungsformen in Form von Drain- und Source-Gebieten vorgesehen sein. D. h., das vertikale und das laterale Dotierstoffprofil der ersten dotierten Gebiete **106a** kann entsprechend den Bauteilerfordernissen eines speziellen Transistortyps gestaltet sein. Somit repräsentieren in speziellen Ausführungsformen die dotierten Gebiete **106a** ein erstes Drain- und Source-Gebiet mit einem Dotierstoffmaterial darin, das diesen Gebieten eine spezifizierte Art einer Leitfähigkeit verleiht. In dieser Ausführungsform können die Gebiete **106a** n-dotiert sein und die Gebiete **106a** können in Verbindung mit dem ersten Halbleitergebiet **107a** die Eigenschaften eines n-Kanaltransistors aufweisen. Ferner sind Seitenwandabstandselemente **105a** an Seitenwänden des ersten Platzhalters **104a** ausgebildet, wobei das Seitenwandabstandselement **105a** sich hinsichtlich der Materialzusammensetzung von dem ersten Platzhalter **104a** so unterscheiden kann, um in speziellen Ausführungsformen eine gewünschte hohe Ätzselektivität in nachfolgenden Ätzprozeduren zu zeigen. Beispielsweise kann das Seitenwandabstandselement **105a** aus amorphen Kohlenstoff, Siliziumnitrid, Siliziumdioxid und dergleichen hergestellt sein.

[0019] In ähnlicher Weise kann eine zweite Platzhalterstruktur **104b** über einem zweiten Halbleitergebiet **107b** ausgebildet sein, das in einigen Ausführungsformen das Kanalgebiet eines zweiten Transistorelements repräsentiert. Ferner können dotierte Gebiete **106b** benachbart zu dem zweiten Halbleitergebiet **107b** gebildet sein, um damit in speziellen Ausführungsformen das Draingebiet und das Sourcegebiet und das Kanalgebiet eines spezifizierten Transistortyps zu definieren. Beispielsweise kann das von den dotierten Gebieten **106b** umschlossene zweite Halbleitergebiet **107b** in der Nähe des ersten Halbleitergebiets **107a** angeordnet sein, das von den entsprechenden dotierten Gebieten **106a** umschlossen wird, wobei aber das erste Halbleitergebiet **107a** von dem zweiten Halbleitergebiet **107b** durch eine Isolationsstruktur **103** getrennt ist, die in Form einer Grabenisolationsstruktur vorgesehen sein kann, wie sie typischerweise in modernen Halbleiterbauelementen verwendet wird. Bei Ausbildung als eine Transistorkonfiguration können die Gebiete **107b**, **106b** von der gleichen Art wie die Gebiete **107a**, **106a** sein oder eine unterschiedliche Transistorart repräsentieren, etwa einen p-Transistor oder p-Kanaltransistor. Es sollte jedoch beachtet werden, dass das erste und das zweite Halbleitergebiet **107a**, **107b** Schaltungselemente repräsentieren können, die an sehr unterschiedlichen Positionen innerhalb der gleichen Chipfläche angeordnet sind, die aber eine unterschiedliche Art oder Größe an Verformung erhal-

ten müssen, um damit für unterschiedliche elektrische Eigenschaften zu sorgen. In ähnlicher Weise können die Gebiete **107a**, **107b** unterschiedliche Schaltungselemente oder sogar unterschiedliche Chipbereiche, die an unterschiedlichen Substratgebieten angeordnet sind, etwa an einem zentralen Gebiet und einem peripheren Gebiet, wobei die Verformungsprozessstechnik für das erste und das zweite Halbleitergebiet **107a**, **107b** für ein gleichförmigeres elektrisches Verhalten von Halbleiterbauelementen sorgen kann, die auf dem zentralen Gebiet und dem peripheren Gebiet des Substrats **101** hergestellt sind. Hinsichtlich der Materialzusammensetzung des zweiten Platzhalters **104** und eines Seitenwandabstandselements **105b**, das an dessen Seitenwänden gebildet ist, gelten die gleichen Kriterien, wie sie zuvor mit Bezug zu den entsprechenden Komponenten **104a** und **105a** dargelegt sind.

[0020] Ein typischer Prozessablauf zur Herstellung des Halbleiterbauelements **100**, wie es in [Fig. 1a](#) gezeigt ist, kann die folgenden Prozesse aufweisen. Nach dem Bilden des Substrats **101** einschließlich der Halbleiterschicht **102**, oder nach dem Erhalt des Substrats von Substratherstellern, können Implantationssequenzen ausgeführt werden, um ein spezifiziertes vertikales Dotierstoffprofil innerhalb des ersten und des zweiten Halbleitergebiets **107a**, **107b** zu schaffen. Danach werden der erste und der zweite Platzhalter **104a**, **104b** durch gut etablierte Abscheide-, Photolithographie- und Ätztechniken hergestellt, wobei eine Länge des ersten und des zweiten Platzhalters **104a**, **104b**, d. h. die horizontale Abmessung (oder die Gatelängenabmessung) dieser Komponenten in [Fig. 1a](#), an Entwurfsanfordernisse angepasst werden kann und ungefähr 100 nm und deutlich weniger für modernste integrierte Schaltungen betragen kann. Danach können Dotierstoffgattungen eingeführt werden, um die dotierten Gebiete **106a**, **106b** darin zu bilden. Abhängig von den Bauteilerfordernissen kann das Bauelement **100** entsprechend maskiert werden, beispielsweise mittels einer Photolackmaske, um die Gebiete **106a**, **106b** individuell mit einer gewünschten Art eines Dotierstoffmaterials herzustellen. Während dieser Implantationen dienen die Platzhalter **104a**, **104b** als Implantationsmaske, um im Wesentlichen das Eindringen von Dotierstoffen in die entsprechenden Halbleitergebiete **107a**, **107b** zu vermeiden. Danach können die Seitenwandabstandselemente **105a**, **105b** durch Abscheiden einer entsprechenden Schicht aus Material und anisotropen Ätzen der Materialschicht hergestellt werden. Es sollte beachtet werden, dass typischerweise ein Beschichtungsmaterial vor einem Abstandsmaterial abgeschieden wird, um nicht unnötig die Oberfläche der Halbleiterschicht **102** zu beschädigen, wenn diese von der anisotropen Ätzatmosphäre freigelegt wird. Der Einfachheit halber ist eine entsprechende Beschichtung in [Fig. 1a](#) nicht gezeigt. Danach wird ein weiterer Implantationsprozess ausgeführt, möglicherweise

in Verbindung mit einer weiteren Photolackmaske, wobei wiederum der erste und der zweite Platzhalter **104a**, **104b** in Verbindung mit den entsprechenden Seitenwandabstandselementen **105a**, **105b** als Implantationsmaske dienen, um das gewünschte laterale Dotierstoffprofil in den dotierten Gebieten **106a** bzw. **106b** zu erhalten. Danach werden entsprechende Ausheizzyklen ausgeführt, um die Dotierstoffe in den Gebieten **106a**, **106b** zu aktivieren und geschädigte Kristallbereiche zu rekristallisieren. Alternativ können entsprechende Ausheizprozesse nach einem oder mehreren der zuvor beschriebenen Implantationen ausgeführt werden.

[0021] Es sollte beachtet werden, dass in einigen Beispielen, wenn ein äußerst anspruchsvolles laterales Dotierstoffprofil erforderlich ist, zusätzliche Seitenwandabstandselemente (nicht gezeigt) gebildet werden können, woran sich ein weiterer Implantationsschritt anschließt, um ein komplexeres Dotierstoffprofil innerhalb der Gebiete **106a**, **106b** zu erzielen. Danach können in speziellen Ausführungsformen die Seitenwandabstandselemente **105a**, **105b** durch einen selektiven Ätzprozess auf der Grundlage gut etablierter Prozessrezepte entfernt werden. Beispielsweise können die Abstandselemente **105a**, **105b**, wenn diese Siliziumnitrid aufweisen, selektiv durch heiße Phosphorsäure entfernt werden. In anderen Beispielen können die Abstandselemente **105a**, **105b** mittels eines Plasmaätzprozesses entfernt werden, wobei in einigen Ausführungsformen die Beschichtung (nicht gezeigt), die typischerweise als eine Ätzstoppschicht verwendet wird, während des Implantationsprozesses bewahrt werden kann und nunmehr als eine Ätzstoppschicht während des Entfernens der Abstandselemente **105a**, **105b** verwendet werden kann. In anderen Ausführungsformen können die Abstandselemente **105a**, **105b** während der weiteren Bearbeitung des Bauelements **100** beibehalten werden.

[0022] [Fig. 1b](#) zeigt schematisch das Bauelement **100** in einem fortgeschrittenen Herstellungsstadium. Hierbei umfasst das Bauelement **100** eine dielektrische Schicht **108** mit einer spezifizierten intrinsischen Spannung, wobei die Schicht so ausgebildet ist, um den ersten und den zweiten Platzhalter **104a**, **104b** zu umschließen. Der Begriff „intrinsische Spannung“ soll so verstanden werden, dass diese eine gewisse Art von Spannung, d. h. Zugspannung oder Druckspannung, oder eine Änderung davon, d. h. Orientierungsabhängige Zug- oder Druckspannung, sowie die Größe der Spannung, spezifiziert. Somit kann in einer Ausführungsform die dielektrische Schicht **108** eine intrinsische Zugspannung mit einer Größe von ungefähr 0,1 bis 1,0 GPa (Gigapascal) aufweisen. Die dielektrische Schicht **108** kann aus einem beliebigen geeigneten Material, etwa Siliziumnitrid, aufgebaut sein. In einer anschaulichen Ausführungsform umfasst das Bauelement **100** ferner eine konfor-

me Ätzstoppschicht **109** mit einer unterschiedlichen Materialzusammensetzung im Vergleich zu der dielektrischen Schicht **108** und besitzt ferner eine deutlich geringere Dicke im Vergleich zu der dielektrischen Schicht **108**. Beispielsweise kann die Ätzstoppschicht **109** aus Siliziumdioxid aufgebaut sein.

[0023] Die Ätzstoppschicht **109**, falls diese vorgesehen ist, kann durch gut etablierte plasmaunterstützte CVD-Techniken auf der Grundlage von Vorstufenmaterialien, etwa TEOS oder Silan hergestellt werden. Die dielektrische Schicht **108** kann durch plasmaunterstützte CVD-Techniken auf der Grundlage gut bekannter Prozessrezepte hergestellt werden, wobei Prozessparameter so eingestellt werden können, um die gewünschte intrinsische Spannung zu erzielen. Zum Beispiel kann Siliziumnitrid mit hoher Druckspannung oder Zugspannung abgeschieden werden, wobei die Art und die Größe der Spannung wirksam durch Steuern von Prozessparametern, etwa der Abscheidetemperatur, dem Abscheidedruck, der Anlagenkonfiguration, der zum Einstellen eines Ionenbeschusses während des Abscheideprozesses dienenden Vorspannungsleistung, der Plasmaleistung und dergleichen, eingestellt werden. Beispielsweise fördert ein höherer Ionenbeschuss, d. h. eine erhöhte Vorspannungsleistung, während des Abscheidens des Siliziumnitrids das Erzeugen einer Druckspannung unter der Voraussetzung, dass die verbleibenden Parameter gleich bleiben. Nach dem Abscheiden der dielektrischen Schicht **108** kann in einigen speziellen Ausführungsformen die sich ergebende Oberflächenstruktur durch beispielsweise chemisch-mechanisches Polieren (CMP) gemäß gut etablierter Prozessrezepte eingeebnet werden. Dabei kann auch überschüssiges Material der dielektrischen Schicht **108** zu einem spezifizierten Grade abgetragen werden, um eine im Wesentlichen ebene Oberfläche zu erhalten, oder in einigen anschaulichen Ausführungsformen kann der Materialabtrag fortgesetzt werden, bis die Oberseitenflächen des ersten und des zweiten Platzhalters **104a**, **104b** freigelegt sind. In anderen Ausführungsformen kann jedoch die weitere Bearbeitung ohne Einebnen der Schicht **108** fortgesetzt werden.

[0024] [Fig. 1c](#) zeigt schematisch das Bauelement **100** in einem weiter fortgeschrittenen Herstellungsstadium, in welchem ein Bereich der Schicht **108**, der den zweiten Platzhalter **104b** umschlossen hat, entfernt ist, während der erste Platzhalter **104a** noch, zumindest lateral, von der verbleibenden dielektrischen Schicht **108** umschlossen ist, die nunmehr als **108a** bezeichnet ist. Ferner ist eine Lackmaske **110** auf dem Bauelement **100** so ausgebildet, um den zweiten Platzhalter **104b** und den entsprechenden Bereich der Schicht **102** einschließlich der Ätzstoppschicht **109**, falls diese vorgesehen ist, freizulegen.

[0025] Die Lackmaske **110** kann entsprechend Pho-

tolithographietechniken gebildet werden, die auch beim unterschiedlichen Dotieren von p- und n-Transistoren verwendet werden und damit sind entsprechende Prozesse gut etabliert. Danach kann die dielektrische Schicht **108** selektiv durch einen anisotropen Ätzprozess geätzt werden, um schließlich die dielektrische Schicht **108a** mit der spezifizierten intrinsischen Spannung zu bilden. Während des anisotropen Ätzprozesses kann die Ätzstoppschicht **109**, falls diese vorgesehen ist, einen ungewünschten Materialabtrag und/oder eine Schädigung freigelegter Bereiche der Halbleiterschicht **102** verhindern.

[0026] **Fig. 1d** zeigt schematisch das Bauelement **100** mit einer zweiten dielektrischen Schicht **111** mit einer zweiten spezifizierten intrinsischen Spannung, die den dielektrischen Schichtbereich **108a** und den zweiten Platzhalter **104b** und die freigelegte Halbleiterschicht **102** oder die Ätzstoppschicht **109** bedeckt. Es sollte beachtet werden, dass der freigelegte Bereich der Ätzstoppschicht **109** vor dem Abscheiden der zweiten dielektrischen Schicht **111** entfernt werden kann, wenn der freigelegte Bereich der Ätzstoppschicht **109** als ungeeignet erachtet wird, auf Grund einer Schädigung, die von dem vorhergehenden anisotropen Ätzprozess der dielektrischen Schicht **108** hervorgerufen wurde. In diesem Falle kann eine weitere Ätzstoppschicht ähnlich der Schicht **109** abgeschieden werden, die dann ebenso den dielektrischen Schichtbereich **108** (in gestrichelten Linien gezeigt) bedeckt und auch freigelegte Bereiche der Halbleiterschicht **102** und des zweiten Platzhalters **104b** bedecken kann. Der Einfachheit halber ist dieser Bereich der Ätzstoppschicht weiterhin als **109** bezeichnet. Das Vorsehen der Ätzstoppschicht **109** auf der Halbleiterschicht **102** kann bei der Herstellung von Kontaktöffnungen in einer späteren Prozessphase vorteilhaft sein. In anderen Ausführungsformen kann jedoch die Ätzstoppschicht **109** weggelassen werden.

[0027] Die zweite dielektrische Schicht **111**, die aus einem beliebigen geeigneten Material, etwa Siliziumnitrid, aufgebaut sein kann, kann durch gut etablierte Abscheiderezepte abgeschieden werden, wobei Prozessparameter so gesteuert werden, um die gewünschte intrinsische Spannung entsprechend den Bauteilerfordernissen zu erhalten. Wie zuvor dargelegt ist, kann Siliziumnitrid in effizienter Weise auf der Grundlage gut bekannter Prozessrezepte mit einem weiten Bereich an Druckspannung oder Zugspannung, der beispielsweise von 1,0 GPa Druckspannung bis 1,0 GPa Zugspannung liegt, abgeschieden werden. In einer speziellen Ausführungsform ist die intrinsische Spannung der zweiten dielektrischen Schicht **111** so gestaltet, um dem zweiten Halbleitergebiet **107b** eine Druckspannung zu verleihen, wenn dieses Gebiet ein Kanalgebiet eines p-Transistors repräsentiert. Danach kann überschüssiges Material der dielektrischen Schicht **111** und möglicherweise

der Schichtbereich **108a**, wenn die dielektrische Schicht **108** nicht eingeebnet wurde oder bis zu einem gewissen Niveau eingeebnet wurde, das deutlich über dem ersten Platzhalter **104a** liegt, wie dies in den **Fig. 1c** und **Fig. 1d** gezeigt ist, entfernt werden mittels eines CMP-Prozesses, wodurch auch die Oberflächenstruktur des Bauelements **100** eingeebnet wird.

[0028] **Fig. 1e** zeigt schematisch das Bauelement **100** nach dem oben beschriebenen Prozessverlauf. Somit umfasst das Bauelement **100** im Wesentlichen eine planare Oberflächenstruktur, wobei der Schichtbereich **108a** den ersten Platzhalter **104a** lateral umschließt und wobei ein zweiter Schichtbereich **111b** lateral den zweiten Platzhalter **104b** umschließt. Somit erzeugt eine im Wesentlichen homogen wirkende intrinsische Spannung des Schichtbereichs **108a**, die hierin als eine mit **118a** gekennzeichnete Zugspannung gezeigt ist, eine entsprechend Deformation und damit Verformung in dem ersten Halbleitergebiet **107a**, d. h. in dem vorliegenden Beispiel eine Zugverformung, die typischerweise die Beweglichkeit von Elektronen in diesem Gebiet erhöht. In ähnlicher Weise erzeugt der Schichtbereich **111b** mit der im Wesentlichen homogen wirkenden zweiten intrinsischen Spannung, die in diesem Beispiel in Form einer Druckspannung **121b** gezeigt ist, entsprechend eine Deformation oder Verformung innerhalb des zweiten Halbleitergebiets **107b**, die in dem vorliegenden Beispiel eine Druckverformung ist, wodurch die Beweglichkeit von Löchern erhöht wird. Es sollte beachtet werden, dass andere Konfigurationen für das Erzeugen unterschiedlicher Verformung in den Halbleitergebieten **107a**, **107b** möglich sind. Beispielsweise kann die intrinsische Spannung **118a** eine Druckspannung und die intrinsische Spannung **121b** eine Zugspannung sein, oder die intrinsischen Spannungen **118a** und **121b** können beide Zugspannungen oder beide Druckspannungen sein und können sich in ihren Größen unterscheiden. In anderen Beispielen kann die intrinsische Spannung **118a** oder **121b** so ausgewählt werden, um im Wesentlichen keine Verformung in dem entsprechenden Halbleitergebiet hervorzurufen, wohingegen das andere Halbleitergebiet eine gewünschte Intensität an Verformung erhält. Diese Konfiguration kann vorteilhaft beim Bereitstellen gleichförmigerer elektrischer Eigenschaften von p-Transistoren und n-Transistoren, wobei die Beweglichkeit in den p-Transistoren erhöht werden soll, während das Leistungsverhalten der n-Transistoren nicht beeinträchtigt werden sollte.

[0029] **Fig. 1f** zeigt schematisch das Bauelement **100**, wobei die Platzhalter **104a**, **104b** entfernt sind. Ferner sind entsprechende Gateisolationsschichten **113a**, **113b** über dem ersten und dem zweiten Halbleitergebiet **107a**, **107b** gebildet.

[0030] Das Entfernen der Platzhalter **104a**, **104b**

kann durch einen selektiven Ätzprozess erreicht werden, der einen Plasmaätzprozess und/oder einen nasschemischen Ätzprozess beinhaltet. Beispielsweise können die Platzhalter **104a**, **104b**, wenn diese aus Siliziumdioxid oder amorphen Kohlenstoff hergestellt sind, in effizienter Weise selektiv in Bezug auf die Schichtbereiche **108a**, **111b**, wenn diese aus Siliziumnitrid aufgebaut sind, und in Bezug auf das Material der ersten und zweiten Halbleitergebiete **107a**, **107b** auf der Grundlage gut etablierter Prozessrezepte geätzt werden. Beispielsweise kann der Prozess des Entfernens einen Plasmaätzprozess für das selektive Entfernen des wesentlichen Anteils des ersten und des zweiten Platzhalters **104a**, **104b** enthalten, während der verbleibende Anteil dieser Platzhalter dann durch einen äußerst isotropen oder nasschemischen Ätzprozess abgetragen wird, um nicht unnötig die Gebiete **107a**, **107b** zu schädigen. In anderen Ausführungsformen können zusätzlich oder alternativ geschädigte Oberflächenbereiche der Gebiete **107a**, **107b** beispielsweise durch thermische Oxidation oder nasschemische Oxidation oxidiert werden und der oxidierte Bereiche kann mittels eines äußerst selektiven nasschemischen Ätzprozesses beispielsweise auf der Grundlage von Flußsäure (HF) entfernt werden, ohne die Gebiete **107a**, **107b** nennenswert zu schädigen.

[0031] Nach dem Entfernen der Platzhalter **104a**, **104b** können die Gateisolationsschichten **113a**, **113b** durch Oxidation und/oder Abscheiden entsprechend den Entwurfserfordernissen hergestellt werden. Beispielsweise können die Gateisolationsschichten **113a**, **113b** durch thermische oder nasschemische Oxidation in Übereinstimmung mit gut etablierten Rezepten gebildet werden, um eine fein eingestellte Schichtdicke zu erreichen, wie sie für moderne Transistorelemente erforderlich ist. Hierbei kann eine Dicke der Gateisolationsschicht im Bereich von 1,5 bis mehrere Nanometer liegen. In anderen Ausführungsformen kann ein äußerst dünnes thermisches Oxid gebildet werden, woran sich das Abscheiden eines geeigneten dielektrischen Materials anschließt, um die gewünschte endgültige Dicke der Gateisolationsschichten **113a**, **113b** zu erhalten. Eine entsprechende abgeschiedene Schicht ist durch die gestrichelten Linien dargestellt und ist als **112** bezeichnet. Es sollte beachtet werden, dass die Gateisolationsschichten **113a**, **113b** lediglich durch die abgeschiedene Schicht **112** gebildet werden können. In einigen anschaulichen Ausführungsformen kann vor der Herstellung der Gateisolationsschichten **113a**, **113b** eine dielektrische Schicht, etwa die Schicht **112**, in einer äußerst konformen Weise und mit einer präzise definierten Schichtdicke abgeschieden werden, wenn die anfängliche Länge **112a** der Öffnung, die durch den Platzhalter **104a** definiert ist, als zu groß für einen Sollwert der herzustellenden Gateelektrode erachtet wird. Danach kann das Material, das an der Unterseite dieser Öffnung abgeschieden ist, d. h. auf dem Ge-

biet **107a**, mittels eines anisotropen Ätzprozesses entfernt werden, ähnlich wie er in typischen Herstellungstechniken für Seitenwandabstandselementen verwendet wird. Auf diese Weise kann die Gatelänge der Transistorstrukturen fein eingestellt werden, um Fluktuationen bei der Photolithographie zu kompensieren oder um die Auflösung der Photolithographie zu verbessern. Danach können die entsprechenden Gateisolationsschichten in der oben beschriebenen Weise gebildet werden.

[0032] [Fig. 1g](#) zeigt schematisch das Halbleiterbauelement **100**, wobei eine Schicht eines leitenden Materials **123** über der Struktur aus [Fig. 1f](#) gebildet ist. Die Schicht **123** kann dotiertes Polysilizium aufweisen, oder in Ausführungsformen für modernste Halbleiterbauelemente ein Metall oder eine Metallverbindung umfassen. Beispielsweise kann die Schicht **123** Wolfram, Wolframsilizid, Aluminium, Nickel, Kupfer oder Verbindungen davon und dergleichen aufweisen. Abhängig von der für die Schicht **123** verwendeten Materialart können entsprechende Abscheidetechniken eingesetzt werden. Beispielsweise können Polysilizium, Aluminium, Wolfram, Wolframsilizid und dergleichen in effizienter Weise auf der Grundlage gut etablierter CVD-Techniken abgeschieden werden. In anderen Fällen können Plattierungsverfahren, etwa Elektroplattieren oder stromloses Plattieren eingesetzt werden, um die entsprechenden Öffnungen über dem ersten und dem zweiten Halbleitergebiet **107a**, **107b** zuverlässig zu füllen. Danach kann ein überschüssiges Material der Schicht **123** durch eine geeignete Technik, etwa Ätzen, chemisch-mechanisches Polieren oder eine Kombination davon entfernt werden.

[0033] [Fig. 1h](#) zeigt schematisch das Halbleiterbauelement **100**, wobei das überschüssige Material der Schicht **123** entfernt ist und wobei ein weiteres Zwischenschichtdielektrikum **126** als die oberste Schicht der sich ergebenden Struktur ausgebildet ist. Somit umfasst das Bauelement **100** eine Gateelektrodenstruktur **124a** über dem ersten Halbleitergebiet **107a** und eine zweite Gateelektrodenstruktur **124b** über dem zweiten Halbleitergebiet **107b**, wodurch ein erstes Transistorelement **130a** und ein zweites Transistorelement **130b** definiert sind. Wie ferner in [Fig. 1h](#) gezeigt ist, liefert der Schichtbereich **108a** die erste intrinsische Spannung **118a**, die im Wesentlichen homogen auf die Gateelektrodenstruktur **124a** bis zu einer Höhe **125a** wirkt, wohingegen der zweite Schichtbereich **111b** die zweite intrinsische Spannung **121** liefert, die im Wesentlichen homogen auf die zweite Gateelektrodenstruktur **124b** bis zu deren Höhe **125b** wirkt. Folglich werden in Abhängigkeit von den Spannungen **118a**, **121b** entsprechende Deformationen oder Verformungen in den entsprechenden Halbleitergebieten oder Kanalgebieten **107a**, **107b** hervorgerufen. Somit ist die Ladungsträgerbeweglichkeit in diesen Kanalgebieten einzeln durch entsprechen-

des Steuern der Spannung **118a**, **121b** einstellbar. Insbesondere ist die Transistorkonfiguration, wie sie in [Fig. 1h](#) gezeigt ist, im Wesentlichen planar und ermöglicht eine selbstjustierende Herstellung der dotierten Gebiete **106a**, **106b**, d. h. der entsprechenden Drain- und Source-Gebiete, in Bezug auf die zugeordneten Gateelektrodenstrukturen **124a**, **124b**. Des Weiteren können die Gateelektrodenstrukturen **124a**, **124b** aus einem äußerst leitfähigen Material, etwa einem Metall, einer Metallverbindung, hochdotiertem Polysilizium oder einer Kombination davon und dergleichen hergestellt werden. In speziellen Ausführungsformen sind die Gateelektrodenstrukturen **124a**, **124b** im Wesentlichen aus einem Metall aufgebaut.

[0034] [Fig. 2](#) zeigt schematisch ein Halbleiterbauelement **200** in einem Zwischenherstellungsstadium gemäß weiterer anschaulicher Ausführungsformen der vorliegenden Erfindung. In [Fig. 2](#) sind identische oder ähnliche Komponenten, wie sie in den [Fig. 1d](#) und [Fig. 1e](#) gezeigt sind, durch die gleichen Bezugszeichen bezeichnet, mit der Ausnahme einer führenden „2“ anstelle einer „1“. Somit umfasst das Bauelement **200** das Substrat **201**, wobei die Halbleiterschicht **202**, die darauf ausgebildet ist, das erste und das zweite Halbleitergebiet **207a**, **207b** mit einschließt, und wobei die zugeordneten dotierten Gebiete **206a**, **206b** vorgesehen sind. Die Platzhalter **204a**, **204b** sind lateral in die dielektrische Schicht **208** eingebettet, die eine spezifizierte intrinsische Spannung aufweist. Ferner ist die Lackmaske **210** über der dielektrischen Schicht **208** so ausgebildet, um jenen Bereich des Bauelements **200** freizulegen, der dem zweiten Halbleitergebiet **207b** entspricht. Hinsichtlich der Herstellung des Bauelements **200**, wie es in [Fig. 2](#) gezeigt ist, sei auf die Beschreibung mit Bezug zu den [Fig. 1a](#), [Fig. 1b](#) und [Fig. 1c](#) verwiesen.

[0035] Ferner unterliegt das Bauelement **200** einem Ionenbeschuss **240**, um die Spannungseigenschaften eines Schichtbereichs **208b** der dielektrischen Schicht **208** zu modifizieren, der nicht von der Lackmaske **210** bedeckt ist. Beispielsweise können schwere inerte Ionen, etwa Xenon, Argon, Silizium oder dergleichen, in den Bereich **208b** implantiert werden, wodurch die spezifizierte intrinsische Spannung, zumindest teilweise, entspannt wird. Folglich behält der Schichtbereich **208a** die spezifizierte intrinsische Spannung, wodurch eine spezifizierte Verformung innerhalb des ersten Halbleitergebiets **207a** hervorgerufen wird, während die entsprechende Verformung in dem zweiten Halbleitergebiet **207b** deutlich davon abweichen kann, abhängig von dem Grad der Entspannung innerhalb des Schichtbereichs **208b**. Beispielsweise kann die dielektrische Schicht **208** mit einer hohen Druckspannung abgeschieden werden, beispielsweise wenn die Gebiete **206a**, **207a** eine p-Transistorkonfiguration repräsentieren sollen,

um damit die Löcherbeweglichkeit in dem ersten Halbleitergebiet **207a** zu erhöhen. Durch Entspannen der anfänglichen Druckspannung in dem Schichtbereich **208b** auf ein spezifiziertes Maß, kann dann das Maß an Verringerung der Elektronenbeweglichkeit innerhalb des zweiten Halbleitergebiets **207b**, wenn dieses als ein n-Kanalgebiet gestaltet ist, in Übereinstimmung mit den Entwurfserfordernissen eingestellt werden. Wie bereits zuvor dargelegt ist, müssen das erste und das zweite Halbleitergebiet **207a**, **207b** nicht notwendigerweise unterschiedliche Arten von Kanalgebieten repräsentieren, sondern können auch gleichartige Kanalgebiete repräsentieren, wobei z. B. ein Unterschied des Funktionsverhaltens oder ein gewünschtes Maß an Einstellung der Bauteilgleichförmigkeit durch die Prozesstechnik erreicht werden kann, wie sie in [Fig. 2](#) beschrieben ist.

[0036] Die weitere Bearbeitung des Bauelements **200** kann dann so fortgesetzt werden, wie dies auch mit Bezug zu dem Bauelement **100** beschrieben ist, das in den [Fig. 1e](#) bis [Fig. 1h](#) gezeigt ist.

[0037] [Fig. 3a](#) zeigt schematisch ein Halbleiterbauelement **300** gemäß weiterer anschaulicher Ausführungsformen der vorliegenden Erfindung. Das Bauelement **300** kann ein ähnliches Bauelement repräsentieren, wie es in [Fig. 1e](#) gezeigt ist, so dass ähnliche oder gleiche Komponenten durch die gleichen Bezugszeichen bezeichnet sind, mit Ausnahme einer führenden „3“ anstelle einer „1“. Somit wird eine detaillierte Beschreibung dieser Komponenten hier weggelassen. Ferner unterliegt das Bauelement **300** einer Ionenimplantation **350** zum Einführen einer leichten Ionengattung, etwa Wasserstoff, Helium oder Sauerstoff in die Halbleiterschicht **302** oder das Substrat **301**. Die Ionenimplantation **350** wird mit einer hohen Dosis und einer geeigneten Energie ausgeführt, um eine hohe Verunreinigungskonzentration an einer gewünschten Tiefe innerhalb der Schicht **302** und/oder des Substrats **301** zu erreichen. Beispielsweise kann die ursprünglich implantierte Spitzenkonzentration so gewählt sein, um eine Konzentration im Bereich von ungefähr 10^{21} bis 10^{23} Atome/cm³ zu erreichen. Typische Implantationsparameter für Helium oder Wasserstoff können ungefähr 3 bis 15 keV betragen, abhängig von der gewünschten Eindringtiefe, bei einer Dosis von ungefähr 5×10^{15} bis 2×10^{16} Ionen/cm². Danach kann eine Wärmebehandlung ausgeführt werden, beispielsweise bei Temperaturen von ungefähr 350°C bis 1000°C und typischerweise bei ungefähr 700°C bis 950°C für eine Zeitdauer von einigen Minuten, um „Bläschen“ oder „Hohlräume“ **351** in der Schicht **302** und/oder dem Substrat **301** zu erzeugen. Da die Ionenimplantation **350** durch die Schichtbereiche **308a**, **311b** hindurch ausgeführt wird, wobei die Platzhalter **304a**, **304b** noch vorhanden sind, wird eine im Wesentlichen gleichförmige Tiefe für die Bläschen **351** erreicht. Da eine leichte inerte Gattung eingeführt wird,

ist der Abbremsmechanismus während der Implantation im Wesentlichen auf einer Wechselwirkung zwischen Kristallelektronen basierend, so dass Schäden in den Schichten **308a**, **311b** und damit eine Spannungsrelaxation vernachlässigbar ist. Auf Grund der Bläschen **351** wird ein gewisses Maß an mechanischer Entkopplung der Gebiete **306a**, **307a**, **306a**, **307b** von der verbleibenden Schicht **302** und/oder dem Substrat **301** erreicht, wodurch das Übertragen von Spannung von den Schichtbereichen **308a**, **311b** in die entsprechenden Gebiete **307a**, **307b** deutlich verbessert wird. Somit ist die Verformungsprozess-technik für die Gebiete **307a**, **307b** deutlich verbessert und daher kann die Ladungsträgebeweglichkeit und die Kanalleitfähigkeit effizienter verbessert werden.

[0038] Es sollte beachtet werden, dass in anderen Ausführungsformen die Ionenimplantation **350** in einem früheren Herstellungsstadium ausgeführt werden kann, beispielsweise vor der Ausbildung der Schichtbereiche **308a**, **311b** und möglicherweise vor der Herstellung der Platzhalter **304a**, **304b**, wodurch Relaxationswirkungen vermieden werden, obwohl diese ohnehin nur sehr klein sein können, wie dies zuvor erläutert ist. Die Bläschen **351** können dann während Ausheizsequenzen zum Aktivieren der Dotierstoffe in dem Gebiet **306a**, **306b** erzeugt werden.

[0039] [Fig. 3b](#) zeigt schematisch das Halbleiterbauelement **300**, wobei die Platzhalter **304a**, **304b** vor der Ionenimplantation **350** entfernt sind. In diesem Falle kann die Implantationsenergie so eingestellt werden, um die leichte Ionengattung in der Halbleiterschicht **302** anzuordnen, ohne im Wesentlichen die Gebiete **306a**, **306b** zu beeinflussen. Somit können die Halbleitergebiete **307a**, **307b** in äußerst effizienter Weise von der verbleibenden Halbleiterschicht **302** mittels der Bläschen **351** entkoppelt werden. Somit ist auch Spannung, die auf die Gebiete **307a**, **307b** übertragen wird, deutlich erhöht. Ferner können die Bläschen **351** selbst als eine Quelle von mechanischen Spannungen dienen, wodurch auch eine entsprechende Verformung in den entsprechenden Gebieten **307a**, **307b** hervorgerufen wird. Auf diese Weise werden zwei effektive verformungsinduzierende Mechanismen kombiniert.

[0040] Es gilt also: die vorliegende Erfindung stellt ein Halbleiterbauelement und eine Technik zur Herstellung dieses Bauelements bereit, wobei unterschiedliche Halbleitergebiete eine unterschiedliche Verformung erhalten können, während der Herstellungsprozess das Herstellen planarer Transistorarchitekturen, die äußerst leitfähige Gateelektroden erhalten, ermöglicht. Zu diesem Zweck wird eine dielektrische Schicht, die die Gateelektrodenstrukturen diverser Transistorelemente lateral umschließt, lokal so modifiziert, dass zumindest zwei unterschiedliche Verformungskomponenten in den entsprechenden

Kanalgebieten erhalten werden. Somit können komplementäre Transistorpaare hergestellt werden, wobei jeder Transistor ein unterschiedlich verformtes Kanalgebiet aufweist. Die Modifizierung der verformungshervorrufenden Spannungsschicht kann erreicht werden, indem ein spezifizierter Bereich der Schicht entfernt und dieser mit einem Schichtbereich einer anderen intrinsischen Spannung ersetzt wird, und/oder indem die intrinsische Spannung auf ein gewünschtes Maß entspannt wird. Ferner werden auf Grund der Kombination der verbesserten Spannungs- und Verformungsprozess-technik mit einem Prozess für eingelegte Gateelektrodenstrukturen äußerst leitfähige Gateelektrodenstrukturen erreicht, wodurch eine verbesserte Gateleitfähigkeit und Kanalleitfähigkeit selbst für äußerst größenreduzierte Bauelemente mit einer Gatelänge von 100 nm und deutlich darunter bereit gestellt wird. Des Weiteren kann die lokale Stressmodifizierung vorteilhafterweise mit Mechanismen zum effektiven Entkoppeln der Kanalgebiete von dem umgebenden Material kombiniert werden, wodurch die Effizienz der Spannungsübertragung in die entsprechenden Kanalgebiete deutlich verbessert wird.

Patentansprüche

1. Verfahren mit:

Bilden einer Platzhalterstruktur über einem ersten Halbleitergebiet, das in einer auf einem Substrat angeordneten Halbleiterschicht gebildet ist;

Bilden einer zweiten Platzhalterstruktur über einem zweiten Halbleitergebiet, das in der Halbleiterschicht gebildet ist;

Abscheiden einer dielektrischen Schicht mit einer spezifizierten intrinsischen Spannung über der Halbleiterschicht, um die erste und die zweite Platzhalterstruktur zu umschließen;

Modifizieren eines Bereichs der dielektrischen Schicht, der die zweite Platzhalterstruktur umschließt, um die intrinsische Spannung des Bereichs zu ändern, wobei das Modifizieren des Bereichs der dielektrischen Schicht durch Entfernen des Bereichs und Ersetzen des Bereiches mit einem Schichtbereich mit einer anderen intrinsischen Spannung und/oder Entspannen der intrinsischen Spannung des Bereichs auf ein gewünschtes Maß erreicht wird; und

Ersetzen der ersten und der zweiten Platzhalterstruktur durch ein leitendes Material, wobei das leitende Material in eine der ersten und der zweiten Platzhalterstruktur entsprechende Öffnung der dielektrischen Schicht gefüllt wird.

2. Das Verfahren nach Anspruch 1, das ferner umfasst: Formen dotierter Gebiete in der Halbleiterschicht benachbart zu dem ersten und dem zweiten Halbleitergebiet.

3. Das Verfahren nach Anspruch 2, wobei das

Bilden der dotierten Gebiete umfasst: Einführen mindestens einer Dotierstoffgattung mittels eines Ionenimplantationsprozesses, wobei die erste und die zweite Platzhalterstruktur als eine Implantationsmaske verwendet werden.

4. Das Verfahren nach Anspruch 3, wobei das Bilden der dotierten Gebiete umfasst: Einführen einer ersten Dotierstoffgattung eines ersten Leitfähigkeitstyps benachbart zu der ersten Platzhalterstruktur und Einführen einer zweiten Dotierstoffgattung eines zweiten Leitfähigkeitstyps benachbart zu der zweiten Platzhalterstruktur, um dotierte Gebiete einer ersten Leitfähigkeitsart benachbart zu der ersten Platzhalterstruktur und dotierte Gebiete einer zweiten Leitfähigkeitsart benachbart zu der zweiten Platzhalterstruktur zu bilden.

5. Das Verfahren nach Anspruch 3, wobei das Bilden der dotierten Gebiete umfasst: Bilden mindestens eines Seitenwandabstandselements an Seitenwänden jeweils der ersten und der zweiten Platzhalterstruktur und Verwenden des mindestens einen Seitenwandabstandselements als eine Implantationsmaske zumindest während eines Schrittes des Ionenimplantationsprozesses.

6. Das Verfahren nach Anspruch 5, das ferner Entfernen des mindestens einen Seitenwandabstandselements vor dem Abscheiden der dielektrischen Schicht umfasst.

7. Das Verfahren nach Anspruch 1, wobei das Modifizieren des die zweite Platzhalterstruktur umgebenden Bereichs das Entfernen des Bereichs umfasst.

8. Das Verfahren nach Anspruch 7, das ferner umfasst: Abscheiden einer zweiten dielektrischen Schicht über der Halbleiterschicht, wobei die zweite dielektrische Schicht eine zweite intrinsische Spannung aufweist, die sich von der intrinsischen Spannung der dielektrischen Schicht unterscheidet.

9. Das Verfahren nach Anspruch 8, das ferner Entfernen von Material der zweiten dielektrischen Schicht zum Freilegen einer oberen Fläche der zweiten Platzhalterstruktur umfasst.

10. Das Verfahren nach Anspruch 7, das ferner umfasst: Einebnen einer Oberfläche der dielektrischen Schicht vor dem Entfernen des Bereichs, der die zweite Platzhalterstruktur umgibt.

11. Das Verfahren nach Anspruch 1, das ferner Abscheiden einer Ätzstoppschicht vor dem Abscheiden der dielektrischen Schicht umfasst.

12. Das Verfahren nach Anspruch 1, wobei Modifizieren des die zweite Platzhalterstruktur umgeben-

den Bereichs das selektive Entspannen der intrinsischen Spannung in dem Bereich umfasst.

13. Das Verfahren nach Anspruch 12, wobei die intrinsische Spannung mittels Ionenbeschusses des Bereichs selektiv entspannt wird.

14. Das Verfahren nach Anspruch 1, das ferner umfasst: Implantieren einer inerten Gattung in einen Bereich benachbart zu dem ersten Halbleitergebiet und/oder dem zweiten Halbleitergebiet und Wärmebehandeln des Substrats, um Hohlräume zu bilden, die durch die inerte Gattung hervorgerufen werden.

15. Das Verfahren nach Anspruch 14, wobei die inerte Gattung vor dem Ersetzen der ersten und der zweiten Platzhalterstruktur implantiert wird.

16. Das Verfahren nach Anspruch 14, wobei die inerte Gattung als ein Zwischenschritt des Vorgangs des Ersetzens der ersten und der zweiten Platzhalterstruktur implantiert wird.

17. Verfahren mit:
Bilden einer ersten Platzhalterstruktur über einem ersten Kanalgebiet eines ersten Transistors;
Bilden einer zweiten Platzhalterstruktur über einem zweiten Kanalgebiet eines zweiten Transistors;
Bilden eines ersten Drain- und Sourcegebiets benachbart zu dem ersten Kanalgebiet;
Bilden eines zweiten Drain- und Sourcegebiets benachbart zu dem zweiten Kanalgebiet;
Bilden einer ersten dielektrischen Schicht mit einer ersten intrinsischen Spannung über dem ersten Drain- und Source-Gebiet;
Bilden einer zweiten dielektrischen Schicht mit einer zweiten intrinsischen Spannung, die sich von der ersten intrinsischen Spannung unterscheidet, über dem zweiten Drain- und Source-Gebiet; und
Ersetzen der ersten Platzhalterstruktur durch eine erste Gateelektrodenstruktur und Ersetzen der zweiten Platzhalterstruktur durch eine zweite Gateelektrodenstruktur, wobei die erste Gateelektrodenstruktur in einer Öffnung der ersten dielektrischen Schicht und die zweite Gateelektrodenstruktur in einer Öffnung der zweiten dielektrischen Schicht gebildet wird.

18. Das Verfahren nach Anspruch 17, wobei das Bilden der zweiten dielektrischen Schicht umfasst: Bilden der zweiten dielektrischen Schicht über dem zweiten Drain- und Source-Gebiet, selektives Entfernen zumindest eines Teils der ersten dielektrischen Schicht über dem zweiten Drain- und Source-Gebiet, Abscheiden von dielektrischem Material mit einer intrinsischen Spannung, die sich von der ersten intrinsischen Spannung unterscheidet, und Einebnen einer Struktur, die sich aus dem Abscheiden des dielektrischen Materials ergibt.

19. Das Verfahren nach Anspruch 17, wobei Bilden der dielektrischen Schicht umfasst: Abscheiden der ersten dielektrischen Schicht über dem zweiten Drain- und Source-Gebiet und Modifizieren der ersten dielektrischen Schicht über dem zweiten Drain- und Source-Gebiet, um die zweite dielektrische Schicht zu bilden.

20. Das Verfahren nach Anspruch 19, wobei das Modifizieren der ersten dielektrischen Schicht über dem zweiten Drain- und Source-Gebiet einen selektiven Ionenbeschuss umfasst.

21. Das Verfahren nach Anspruch 17, wobei das erste Drain- und Source-Gebiet n-dotiert ist und wobei das zweite Drain- und Source-Gebiet p-dotiert ist.

22. Das Verfahren nach Anspruch 21, wobei die erste intrinsische Spannung eine Zugspannung ist.

23. Das Verfahren nach Anspruch 21, wobei die zweite intrinsische Spannung eine Druckspannung ist.

24. Das Verfahren nach Anspruch 21, wobei die erste intrinsische Spannung eine Zugspannung und die zweite intrinsische Spannung eine Druckspannung ist.

25. Das Verfahren nach Anspruch 17, wobei das Ersetzen der ersten und der zweiten Platzhalterstruktur durch eine erste und eine zweite Gateelektrodenstruktur umfasst: selektives Entfernen der ersten und der zweiten Platzhalterstruktur, Bilden einer ersten Gateisolationsschicht auf dem ersten Kanalgebiet und Bilden einer zweiten Gateisolationsschicht auf dem zweiten Kanalgebiet und Abscheiden eines leitenden Materials.

26. Das Verfahren nach Anspruch 25, wobei das Abscheiden des leitenden Materials Abscheiden eines metallenthaltenden Materials umfasst.

27. Halbleiterbauelement mit:
 einem ersten Transistorelement mit einer ersten Gateelektrode mit einer ersten Höhe;
 einem zweiten Transistorelement mit einer zweiten Gateelektrode mit einer zweiten Höhe;
 einer ersten dielektrischen Schicht mit einer ersten intrinsischen Spannung, die lateral die erste Gateelektrode umschließt, wobei die erste intrinsische Spannung homogen bis zu der ersten Höhe wirksam ist;
 einer zweiten dielektrischen Schicht mit einer zweiten intrinsischen Spannung, die lateral die zweite Gateelektrode umschließt, wobei die zweite intrinsische Spannung sich von der ersten intrinsischen Spannung unterscheidet und homogen bis zu der zweiten Höhe wirksam ist.

28. Das Halbleiterbauelement nach Anspruch 27, wobei eine Länge der ersten und/oder zweiten Gateelektrode ungefähr 100 nm oder weniger beträgt.

29. Das Halbleiterbauelement nach Anspruch 28, wobei die Gateelektrode aus einem Metall gebildet ist.

30. Das Halbleiterbauelement nach Anspruch 27, wobei der zweite Transistor ein p-Transistor und wobei die zweite intrinsische Spannung eine Druckspannung ist.

31. Das Halbleiterbauelement nach Anspruch 30, wobei der erste Transistor ein n-Transistor und wobei die erste intrinsische Spannung eine Zugspannung ist.

Es folgen 5 Blatt Zeichnungen

Anhängende Zeichnungen

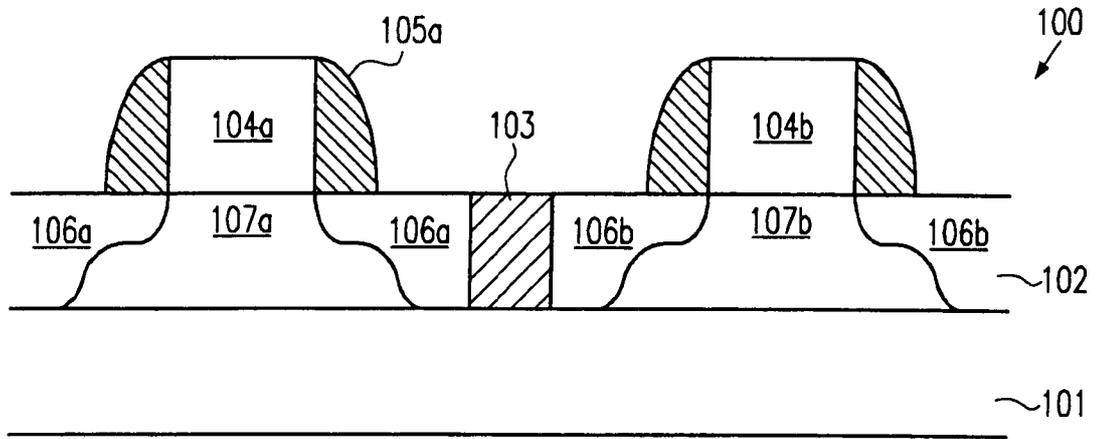


Fig.1a

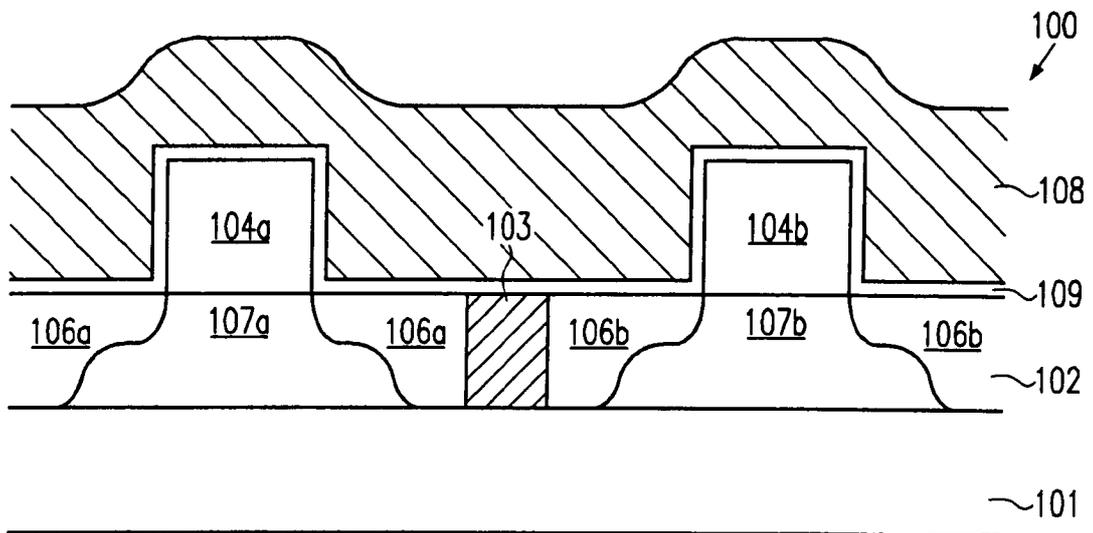


Fig.1b

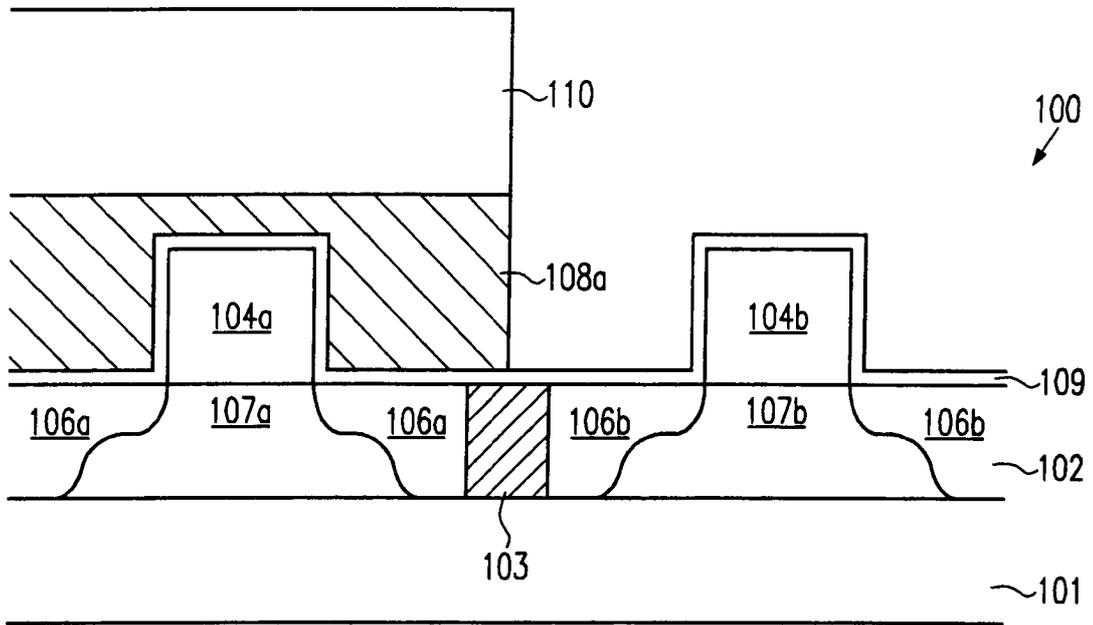


Fig.1c

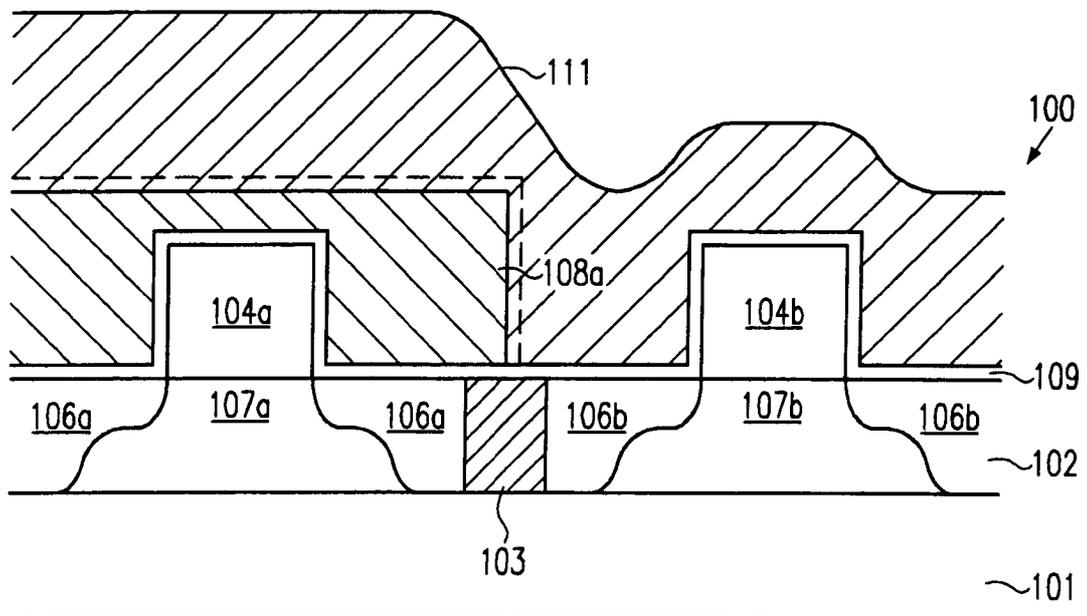


Fig.1d

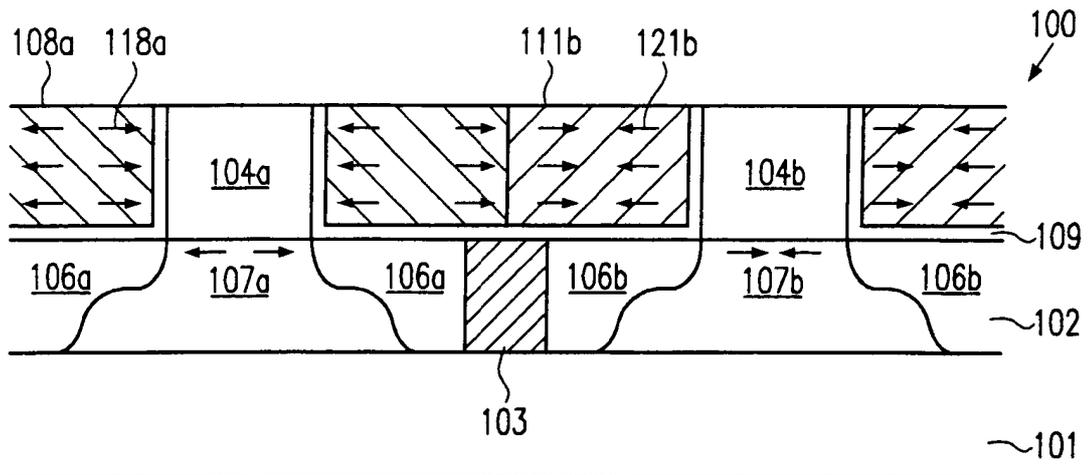


Fig.1e

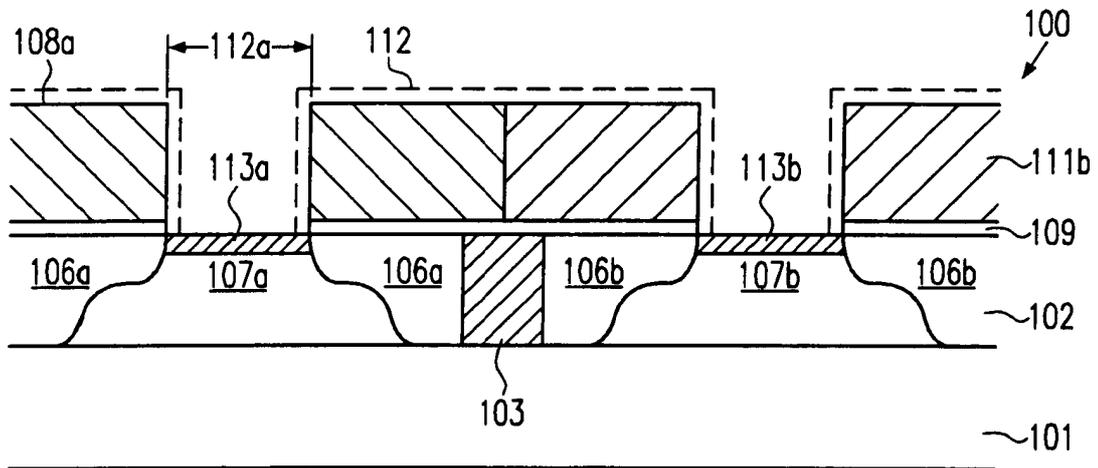


Fig.1f

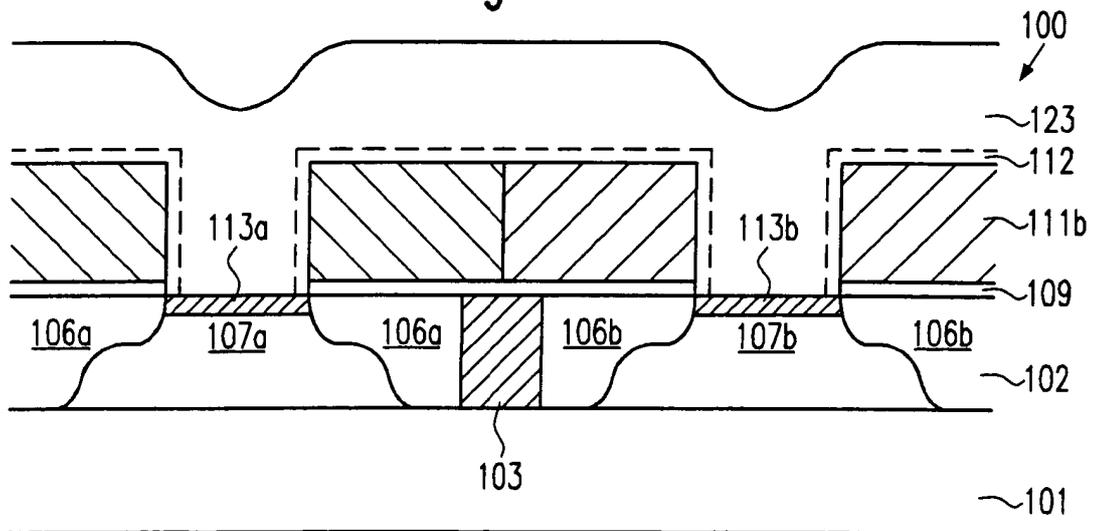


Fig.1g

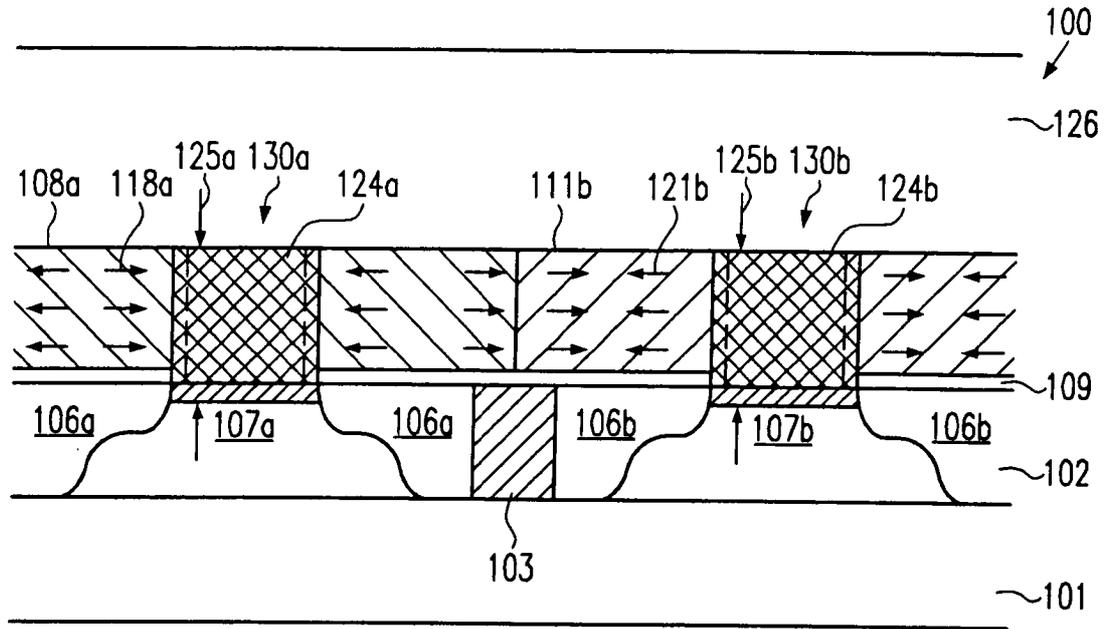


Fig.1h

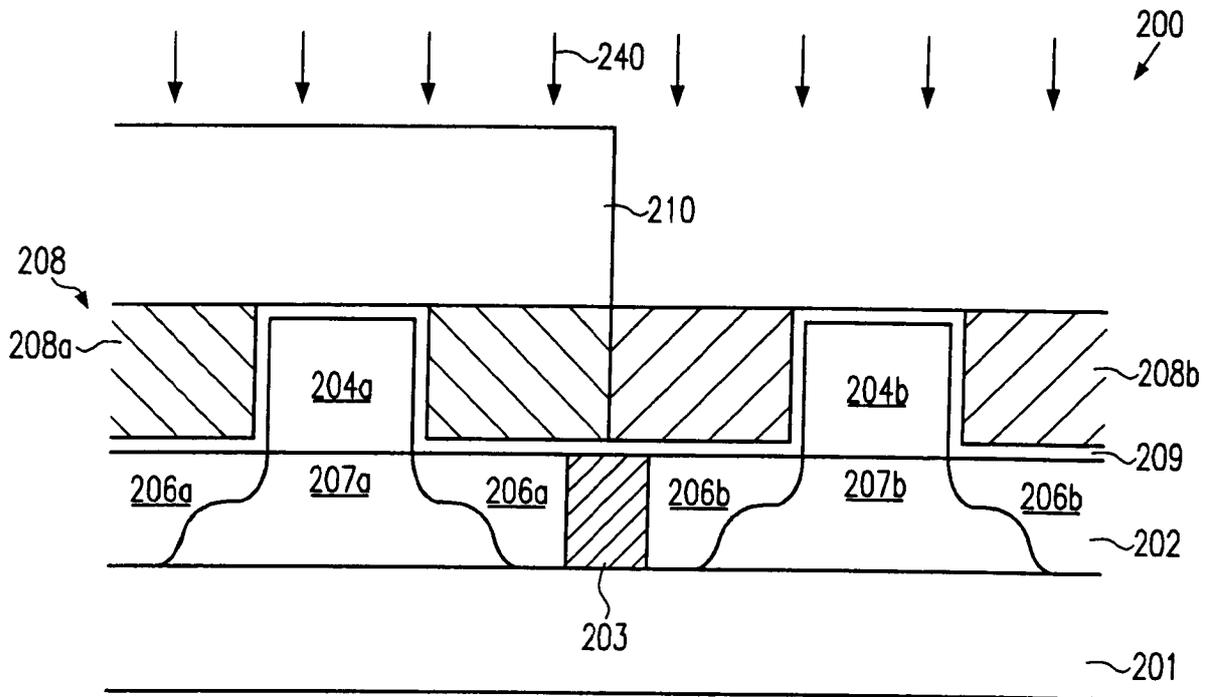


Fig.2

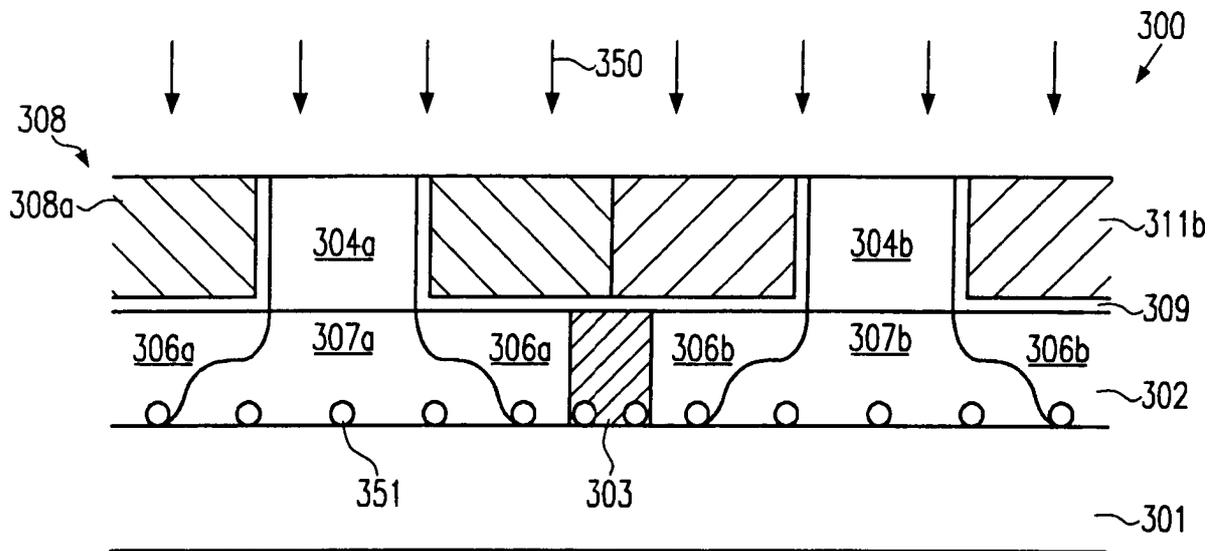


Fig.3a

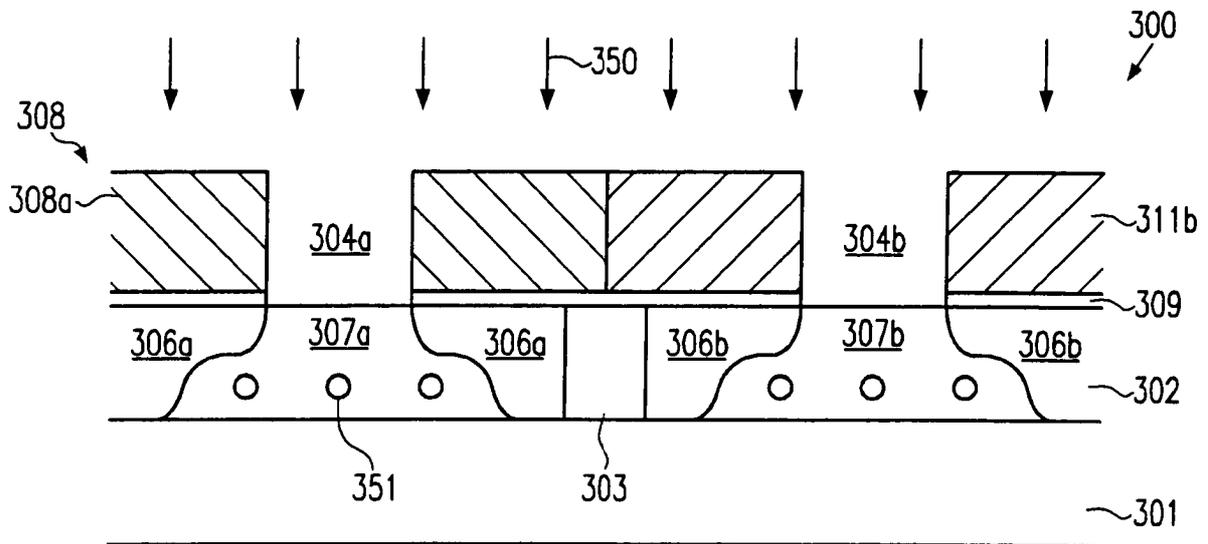


Fig.3b