

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7498638号
(P7498638)

(45)発行日 令和6年6月12日(2024.6.12)

(24)登録日 令和6年6月4日(2024.6.4)

(51)国際特許分類 F I
H 0 2 M 3/28 (2006.01) H 0 2 M 3/28 H

請求項の数 10 (全21頁)

(21)出願番号	特願2020-174024(P2020-174024)	(73)特許権者	000116024 ローム株式会社 京都府京都市右京区西院溝崎町2 1 番地
(22)出願日	令和2年10月15日(2020.10.15)	(74)代理人	110001933 弁理士法人 佐野特許事務所
(65)公開番号	特開2022-65435(P2022-65435A)	(72)発明者	名手 智 京都市右京区西院溝崎町2 1 番地 ロー ム株式会社内
(43)公開日	令和4年4月27日(2022.4.27)	(72)発明者	赤松 陽平 京都市右京区西院溝崎町2 1 番地 ロー ム株式会社内
審査請求日	令和5年9月6日(2023.9.6)	審査官	安池 一貴

最終頁に続く

(54)【発明の名称】 電源制御装置、絶縁型スイッチング電源

(57)【特許請求の範囲】

【請求項 1】

絶縁型スイッチング電源を形成するトランスの一次電圧をサンプリングして帰還電圧を生成するように構成された帰還電圧生成部と、

前記帰還電圧とスロープ状の基準電圧との比較結果に応じて前記トランスの一次電流をオンするように構成されたオンタイミング設定部と、

前記一次電流がオンしてから所定のオン時間が経過した後に前記一次電流をオフするように構成されたオフタイミング設定部と、

を有し、

前記一次電圧のサンプリングタイミングは、前記一次電流のオンタイミングを基準として設定されている、電源制御装置。

10

【請求項 2】

前記オンタイミング設定部は、前記基準電圧として、第1基準電圧と、前記第1基準電圧と同期したスロープ状であってかつ前記第1基準電圧よりも早いタイミングで前記帰還電圧と交差するように調整された第2基準電圧と、を備え、

前記一次電流のオンタイミングは、前記帰還電圧と前記第1基準電圧との交差タイミングにより決定され、前記一次電圧のサンプリングタイミングは、前記帰還電圧と前記第2基準電圧との交差タイミングにより決定される、請求項1に記載の電源制御装置。

【請求項 3】

前記オンタイミング設定部は、

20

前記一次電流をオン/オフするためのパルス信号を鈍らせて前記第1基準電圧及び前記第2基準電圧をそれぞれ生成するように構成された第1アンプ及び第2アンプと、
前記帰還電圧と前記第1基準電圧とを比較して前記一次電流のオンタイミングを設定するための第1セット信号を生成するように構成された第1コンパレータと、
前記帰還電圧と前記第2基準電圧とを比較して前記一次電圧のサンプリングタイミングを設定するための第2セット信号を生成するように構成された第2コンパレータと、
を含む、請求項2に記載の電源制御装置。

【請求項4】

前記オンタイミング設定部は、前記帰還電圧の入力を受けて、これに応じた第1帰還電圧と、前記第1帰還電圧よりも早いタイミングで前記基準電圧と交差するように調整された第2帰還電圧と、を生成するように構成され、

10

前記一次電流のオンタイミングは、前記第1帰還電圧と前記基準電圧との交差タイミングにより決定され、前記一次電圧のサンプリングタイミングは、前記第2帰還電圧と前記基準電圧との交差タイミングにより決定される、請求項1に記載の電源制御装置。

【請求項5】

前記オンタイミング設定部は、
前記帰還電圧から前記第1帰還電圧を生成するように構成されたバッファと、
前記第1帰還電圧を分圧して前記第2帰還電圧を生成するように構成された分圧器と、
前記一次電流をオン/オフするためのパルス信号を鈍らせて前記基準電圧を生成するように構成されたアンプと、

20

前記第1帰還電圧と前記基準電圧とを比較して前記一次電流のオンタイミングを設定するための第1セット信号を生成するように構成された第1コンパレータと、

前記第2帰還電圧と前記基準電圧とを比較して前記一次電圧のサンプリングタイミングを設定するための第2セット信号を生成するように構成された第2コンパレータと、
を含む、請求項4に記載の電源制御装置。

【請求項6】

前記オンタイミング設定部は、前記絶縁型スイッチング電源のスイッチング周波数が一定となるように前記一次電流のオンタイミングを補正する補正回路を含む、請求項1～5のいずれか一項に記載の電源制御装置。

【請求項7】

30

前記帰還電圧生成部は、前記一次電流がオフしてから少なくとも所定のマスク時間が経過するまで前記一次電圧のサンプリングを待機する、請求項1～6のいずれか一項に記載の電源制御装置。

【請求項8】

前記一次電圧は、前記トランスの一次巻線に現れるスイッチ電圧である、請求項1～7のいずれか一項に記載の電源制御装置。

【請求項9】

請求項1～8のいずれか一項に記載の電源制御装置と、
一次巻線に直流入力電圧が印加されるように構成されたトランスと、
前記トランスの二次巻線に現れる誘起電圧を整流及び平滑して直流出力電圧を生成するように構成された整流平滑回路と、
を有する、絶縁型スイッチング電源。

40

【請求項10】

請求項9に記載の絶縁型スイッチング電源を有する、車両。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書中に開示されている発明は、電源制御装置及びこれを用いた絶縁型スイッチング電源に関する。

【背景技術】

50

【 0 0 0 2 】

従来、絶縁型スイッチング電源（例えばフライバック電源）は、車両を始めとする様々なアプリケーションに搭載されている。

【 0 0 0 3 】

なお、上記に関連する従来技術の一例としては、特許文献 1 を挙げる事ができる。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 文献 】 特開 2 0 0 9 - 9 5 2 2 4 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

しかしながら、従来の絶縁型スイッチング電源は、そのロードレギュレーション（＝負荷変動に対する出力安定度）について、更なる改善の余地があった。

【 0 0 0 6 】

本明細書中に開示されている発明は、本願の発明者らにより見出された上記の課題に鑑み、ロードレギュレーションに優れた電源制御装置及びこれを用いた絶縁型スイッチング電源を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 7 】

本明細書中に開示されている電源制御装置は、例えば、絶縁型スイッチング電源を形成するトランスの一次電圧をサンプリングして帰還電圧を生成するように構成された帰還電圧生成部と、前記帰還電圧とスロープ状の基準電圧との比較結果に応じて前記トランスの一次電流をオンするように構成されたオンタイミング設定部と、前記一次電流がオンしてから所定のオン時間が経過した後に前記一次電流をオフするように構成されたオフタイミング設定部と、を有し、前記一次電圧のサンプリングタイミングは、前記一次電流のオンタイミングを基準として設定された構成（第 1 の構成）とされている。

【 0 0 0 8 】

なお、上記第 1 の構成から成る電源制御装置において、前記オンタイミング設定部は、前記基準電圧として、第 1 基準電圧と、前記第 1 基準電圧と同期したスロープ状であってかつ前記第 1 基準電圧よりも早いタイミングで前記帰還電圧と交差するように調整された第 2 基準電圧とを備え、前記一次電流のオンタイミングは、前記帰還電圧と前記第 1 基準電圧との交差タイミングにより決定され、前記一次電圧のサンプリングタイミングは、前記帰還電圧と前記第 2 基準電圧との交差タイミングにより決定される構成（第 2 の構成）にしてもよい。

【 0 0 0 9 】

上記第 2 の構成から成る電源制御装置において、前記オンタイミング設定部は、前記一次電流をオン/オフするためのパルス信号を鈍らせて前記第 1 基準電圧及び前記第 2 基準電圧をそれぞれ生成するように構成された第 1 アンプ及び第 2 アンプと、前記帰還電圧と前記第 1 基準電圧とを比較して前記一次電流のオンタイミングを設定するための第 1 セット信号を生成するように構成された第 1 コンパレータと、前記帰還電圧と前記第 2 基準電圧とを比較して前記一次電圧のサンプリングタイミングを設定するための第 2 セット信号を生成するように構成された第 2 コンパレータを含む構成（第 3 の構成）にしてもよい。

【 0 0 1 0 】

上記第 1 の構成から成る電源制御装置において、前記オンタイミング設定部は、前記帰還電圧の入力を受けて、これに応じた第 1 帰還電圧と、前記第 1 帰還電圧よりも早いタイミングで前記基準電圧と交差するように調整された第 2 帰還電圧と、を生成するように構成され、前記一次電流のオンタイミングは、前記第 1 帰還電圧と前記基準電圧との交差タイミングにより決定され、前記一次電圧のサンプリングタイミングは、前記第 2 帰還電圧と前記基準電圧との交差タイミングにより決定される構成（第 4 の構成）にしてもよい。

10

20

30

40

50

【 0 0 1 1 】

上記第 4 の構成から成る電源制御装置において、前記オンタイミング設定部は、前記帰還電圧から前記第 1 帰還電圧を生成するように構成されたバッファと、前記第 1 帰還電圧を分圧して前記第 2 帰還電圧を生成するように構成された分圧器と、前記一次電流をオン/オフするためのパルス信号を鈍らせて前記基準電圧を生成するように構成されたアンプと、前記第 1 帰還電圧と前記基準電圧とを比較して前記一次電流のオンタイミングを設定するための第 1 セット信号を生成するように構成された第 1 コンパレータと、前記第 2 帰還電圧と前記基準電圧とを比較して前記一次電圧のサンプリングタイミングを設定するための第 2 セット信号を生成するように構成された第 2 コンパレータと、を含む構成（第 5 の構成）にしてもよい。

10

【 0 0 1 2 】

上記第 1 ~ 第 5 いずれかの構成から成る電源制御装置において、前記オンタイミング設定部は、前記絶縁型スイッチング電源のスイッチング周波数が一定となるように前記一次電流のオンタイミングを補正する補正回路を含む構成（第 6 の構成）にしてもよい。

【 0 0 1 3 】

また、上記第 1 ~ 第 6 いずれかの構成から成る電源制御装置において、前記帰還電圧生成部は、前記一次電流がオフしてから少なくとも所定のマスク時間が経過するまで前記一次電圧のサンプリングを待機する構成（第 7 の構成）にしてもよい。

【 0 0 1 4 】

上記第 1 ~ 第 7 いずれかの構成から成る電源制御装置において、前記一次電圧は、前記トランスの一次巻線に現れるスイッチ電圧である構成（第 8 の構成）にしてもよい。

20

【 0 0 1 5 】

また、例えば、本明細書中に開示されている絶縁型スイッチング電源は、上記第 1 ~ 第 8 いずれかの構成から成る電源制御装置と、一次巻線に直流入力電圧が印加されるように構成されたトランスと、前記トランスの二次巻線に現れる誘起電圧を整流及び平滑して直流出力電圧を生成するように構成された整流平滑回路と、を有する構成（第 9 の構成）とされている。

【 0 0 1 6 】

また、例えば、本明細書中に開示されている車両は、上記第 9 の構成から成る絶縁型スイッチング電源を有する構成（第 10 の構成）とされている。

30

【 発明の効果 】

【 0 0 1 7 】

本明細書中に開示されている発明によれば、ロードレギュレーションに優れた電源制御装置及びこれを用いた絶縁型スイッチング電源を提供することが可能となる。

【 図面の簡単な説明 】

【 0 0 1 8 】

【 図 1 】 絶縁型スイッチング電源の第 1 実施形態（比較例）を示す図

【 図 2 】 コントローラの基本構成を示す図

【 図 3 】 オン時間固定制御の基本動作を示す図

【 図 4 】 第 1 実施形態のサンプリングタイミング制御（CCM）を示す図

40

【 図 5 】 第 1 実施形態のサンプリングタイミング制御（DCM）を示す図

【 図 6 】 第 1 実施形態のロードレギュレーション及び周波数特性を示す図

【 図 7 】 別方式のサンプリングタイミング制御（BCM）を示す図

【 図 8 】 別方式のサンプリングタイミング制御（DCM）を示す図

【 図 9 】 別方式のロードレギュレーション及び周波数特性を示す図

【 図 10 】 絶縁型スイッチング電源の第 2 実施形態を示す図

【 図 11 】 第 1 実施形態の課題を示す図

【 図 12 】 第 2 実施形態のサンプリングタイミング制御（CCM）を示す図

【 図 13 】 第 2 実施形態のロードレギュレーション、周波数特性及びサンプリング時間を示す図

50

【図14】絶縁型スイッチング電源の第3実施形態を示す図

【図15】第3実施形態のサンプリングタイミング制御(CCM)を示す図

【図16】車両の外観を示す図

【発明を実施するための形態】

【0019】

<第1実施形態(比較例)>

図1は、絶縁型スイッチング電源の第1実施形態(後出の第2実施形態及び第3実施形態と対比される比較例に相当)を示す図である。本実施形態の絶縁型スイッチング電源1は、一次回路系(GND1系)と二次回路系(GND2系)との間を電氣的に絶縁しつつ一次回路系に供給される直流入力電圧 V_{in} を所望の直流出力電圧 V_{out} に変換して二次回路系に供給するフライバック電源であり、半導体装置10と、トランス20と、整流平滑回路30と、を有する。

10

【0020】

なお、絶縁型スイッチング電源1に交流入力電圧 V_{ac} が供給される場合には、交流入力電圧 V_{ac} を直流入力電圧 V_{in} に変換する整流回路(ダイオードブリッジなど)を前段に設けてもよい。

【0021】

半導体装置10は、いわゆる電源制御ICであり、一次回路系に設けられて絶縁型スイッチング電源1の制御主体となる。なお、半導体装置10は、装置外部との電氣的な接続を確立するための手段として、電源端子VIN、スイッチ端子SW、及び、接地端子GNDを備えている。電源端子VINは、直流入力電圧 V_{in} の印加端に接続されている。スイッチ端子SWは、トランス20(特に後出の一次巻線21)に接続されている。接地端子GNDは、一次回路系の接地端GND1に接続されている。もちろん、半導体装置10には、必要に応じて上記以外の外部端子を適宜設けても構わない。半導体装置10の内部構成については、後ほど説明する。

20

【0022】

トランス20は、一次回路系と二次回路系との間を電氣的に絶縁しつつ、互いに磁気結合された一次巻線21(巻数 N_p)と二次巻線22(巻数 N_s)を含む。一次巻線21の第1端(巻始端)は、直流入力電圧 V_{in} の印加端に接続されている。一次巻線21の第2端(巻終端)は、半導体装置10のスイッチ端子SWに接続されている。このように、一次巻線21は、直流入力電圧 V_{in} の印加端と半導体装置10のスイッチ端子SWとの間に直列接続されている。一方、二次巻線22の第1端(巻終端)は、整流平滑回路30の入力端(後出のダイオード31のアノード)に接続されている。二次巻線22の第2端(巻始端)は、二次回路系の接地端GND2に接続されている。

30

【0023】

なお、トランス20の巻数 N_p 及び N_s については、所望の直流出力電圧 V_{out} ($=V_{in} \times (N_s / N_p) \times (T_{on} / T_{off})$)、ただし T_{on} 及び T_{off} は後出する出力スイッチ11のオン時間及びオフ時間)が得られるように任意に調整すればよい。例えば、巻数 N_p が多いほど又は巻数 N_s が少ないほど直流出力電圧 V_{out} は低くなり、逆に、巻数 N_p が少ないほど又は巻数 N_s が多いほど直流出力電圧 V_{out} は高くなる。

40

【0024】

整流平滑回路30は、二次回路系に設けられたダイオード31及びキャパシタ32を含み、トランス20の二次巻線22に現れる誘起電圧を整流及び平滑して直流出力電圧 V_{out} を生成する。ダイオード31のアノードは、二次巻線22の第1端(巻終端)に接続されている。ダイオード31のカソードとキャパシタ32の第1端は、直流出力電圧 V_{out} の出力端に接続されている。キャパシタ32の第2端は、二次回路系の接地端GND2に接続されている。

【0025】

<半導体装置(基本構成)>

引き続き、図1を参照しながら、半導体装置10の内部構成(基本構成)について説明

50

する。本構成例の半導体装置 10 は、出力スイッチ 11 とコントローラ 12 を含む。もちろん、半導体装置 10 には、必要に応じて上記以外の構成要素（各種の保護回路など）を適宜集積化しても構わない。

【0026】

出力スイッチ 11 は、直流入力電圧 V_{in} の印加端からトランス 20 の一次巻線 21 を介して一次回路系の接地端 GND_1 に至る電流経路をゲート信号 G_1 に応じて導通 / 遮断することにより、一次巻線 21 に流れる一次電流 I_p をオン / オフするスイッチ素子である。出力スイッチ 11 として N チャネル型 MOS [metal oxide semiconductor] 電界効果トランジスタ M_1 を用いた場合には、トランジスタ M_1 のドレインがスイッチ端子 SW に接続されてトランジスタ M_1 のソースが接地端子 GND に接続される。この場合、出力スイッチ 11 は、ゲート信号 G_1 がハイレベルであるときにオンとなり、ゲート信号 G_1 がローレベルであるときにオフとなる。

10

【0027】

コントローラ 12 は、図示しない出力帰還信号の入力を受け付けており、直流出力電圧 V_{out} が所望の目標値となるようにゲート信号 G_1 のデューティ制御を行う。なお、コントローラ 12 は、ゲート信号 G_1 を生成するドライバとしての機能も備えている。

【0028】

<基本動作>

絶縁型スイッチング電源 1 の基本動作について簡単に説明する。出力スイッチ 11 のオン時間 T_{on} には、直流入力電圧 V_{in} の印加端から一次巻線 21 及び出力スイッチ 11 を介して接地端 GND_1 に向けた一次電流 I_p が流れるので、一次巻線 21 に電気エネルギーが蓄えられる。

20

【0029】

その後、出力スイッチ 11 がオフされると、一次巻線 21 と磁気結合された二次巻線 22 に誘起電圧が発生し、二次巻線 22 からダイオード 31 及びキャパシタ 32 を介して接地端 GND_2 に向けた二次電流 I_s が流れる。このとき、不図示の負荷には、二次巻線 22 の誘起電圧を整流及び平滑した直流出力電圧 V_{out} が供給される。

【0030】

以降も、出力スイッチ 11 がオン / オフされることにより、上記と同様のスイッチング出力動作が繰り返される。

30

【0031】

このように、本実施形態の絶縁型スイッチング電源 1 によれば、一次回路系と二次回路系との間を電氣的に絶縁しつつ、直流入力電圧 V_{in} から所望の直流出力電圧 V_{out} を生成することができる。

【0032】

<コントローラ（基本構成）>

図 2 はコントローラ 12 の基本構成を示す図である。本構成例のコントローラ 12 は、帰還電圧生成部 121 と、オンタイミング設定部 122 と、オフタイミング設定部 123 と、D フリップフロップ 124 と、ドライバ 125 と、を含む。

【0033】

また、本図の半導体装置 10 は、先出の電源端子 V_{IN} 、スイッチ端子 SW 、及び、接地端子 GND のほかに、帰還端子 FB と基準端子 REF を有している。なお、帰還端子 FB とスイッチ端子 SW との間には、抵抗 R_X が外付けされている。一方、基準端子 REF と接地端子 GND との間には、抵抗 R_Y が外付けされている。

40

【0034】

帰還電圧生成部 121 は、トランス 20 の一次電圧（例えば、一次巻線 21 に現れるスイッチ電圧 V_{sw} ）をサンプリングして帰還電圧 V_1 を生成するように構成された回路ブロックであり、P チャネル型 MOS 電界効果トランジスタ P_1 及び P_2 と、電流源 C_S1 と、サンプル / ホールド回路 SH と、を含む。

【0035】

50

トランジスタ P 1 のソースは、電源端子 V I N に接続されている。トランジスタ P 2 のソースは、帰還端子 F B に接続されている。トランジスタ P 1 及び P 2 それぞれのゲートは、いずれもトランジスタ P 1 のドレインに接続されている。トランジスタ P 1 のドレインは、電流源 C S 1 の第 1 端に接続されている。電流源 C S 1 の第 2 端は、接地端に接続されている。トランジスタ P 2 のドレインは、基準端子 R E F (= モニタ電圧 V 0 の出力端) に接続されている。このように、トランジスタ P 1 及び P 2 と電流源 C S 1 は、スイッチ電圧 V s w に応じたモニタ電圧 V 0 を生成するモニタ電圧生成回路として機能する。

【 0 0 3 6 】

サンプル/ホールド回路 S H は、タイミング制御信号 S 0 に応じてモニタ電圧 V 0 をサンプリングすることにより帰還電圧 V 1 を生成する。

10

【 0 0 3 7 】

オンタイミング設定部 1 2 2 は、帰還電圧 V 1 とスロープ状の基準電圧 V 2 との比較結果に応じて出力スイッチ 1 1 (延いてはトランス 2 0 の一次電流 I p) をオンするように構成された回路ブロックであり、アンプ A M P 1 と、コンパレータ C M P 1 1 と、補正回路 R E V と、キャパシタ C 1 1 及び C 1 2 と、抵抗 R 1 1 ~ R 1 5 と、を含む。

【 0 0 3 8 】

抵抗 R 1 1 及び R 1 3 それぞれの第 1 端は、いずれもパルス信号 P W M (詳細は後述) の印加端に接続されている。抵抗 R 1 1 の第 2 端と抵抗 R 1 2 及びキャパシタ C 1 1 それぞれの第 1 端は、いずれも補正回路 R E V の入力端に接続されている。抵抗 R 1 2 及びキャパシタ C 1 1 それぞれの第 2 端は、いずれも接地端に接続されている。

20

【 0 0 3 9 】

抵抗 R 1 3 の第 2 端と抵抗 R 1 4 及びキャパシタ C 1 2 それぞれの第 1 端は、いずれもアンプ A M P 1 の非反転入力端 (+) に接続されている。抵抗 R 1 4 及びキャパシタ 1 2 それぞれの第 2 端と抵抗 R 1 5 の第 1 端は、いずれもアンプ A M P 1 の出力端に接続されている。アンプ A M P 1 の反転入力端 (-) は、参照電圧 V r e f の印加端に接続されている。補正回路 R E V の出力端と抵抗 R 1 5 の第 2 端は、いずれも基準電圧 V 2 の出力端として、コンパレータ C M P 1 1 の反転入力端 (-) に接続されている。なお、基準電圧 V 2 は、パルス信号 P W M を論理反転して鈍らせたスロープ状 (C R 波形) となる。

【 0 0 4 0 】

コンパレータ C M P 1 1 は、非反転入力端 (+) に入力される帰還電圧 V 1 と、反転入力端 (-) に入力される基準電圧 V 2 とを比較することにより、セット信号 S 1 (= 後出する D フリップフロップ 1 2 4 のクロック信号に相当) を生成する。セット信号 S 1 は、例えば、帰還電圧 V 1 が基準電圧 V 2 よりも高いときにハイレベルとなり、帰還電圧 V 1 が基準電圧 V 2 よりも低いときにローレベルとなる。

30

【 0 0 4 1 】

補正回路 R E V は、絶縁型スイッチング電源 1 のスイッチング周波数 $f_{sw} (= 1 / T_{sw} = 1 / (T_{on} + T_{off}))$ が一定値となるように、パルス信号 P W M の D C 成分 (= デューティ情報に相当) に基づいて基準電圧 V 2 (延いては一次電流 I p のオンタイミング) を補正する。

【 0 0 4 2 】

40

オフタイミング設定部 1 2 3 は、出力スイッチ 1 1 (延いては一次電流 I p) がオンしてから所定のオン時間 T o n が経過した後に出力スイッチ 1 1 (延いては一次電流 I p) をオフするように構成された回路ブロックであり、コンパレータ C M P 2 1 と、電流源 C S 2 と、インバータ I N V 2 1 と、キャパシタ C 2 1 及び C 2 2 と、抵抗 R 2 1 及び R 2 2 と、を含む。

【 0 0 4 3 】

電流源 C S 2 の第 1 端は、電源端に接続されている。電流源 C S 2 の第 2 端とキャパシタ C 2 1 の第 1 端は、いずれもノード電圧 V 3 の印加端に接続されている。抵抗 R 2 1 並びに R 2 2 及びキャパシタ C 2 2 それぞれの第 1 端は、いずれもノード電圧 V 4 の印加端に接続されている。抵抗 R 2 1 及びキャパシタ C 2 1 並びに C 2 2 それぞれの第 2 端は、

50

いずれも接地端に接続されている。抵抗 R_{22} の第 2 端は、パルス信号 PWM の印加端に接続されている。

【 0 0 4 4 】

コンパレータ CMP_{21} は、非反転入力端 (+) に入力されるノード電圧 V_3 と、反転入力端 (-) に入力されるノード電圧 V_4 とを比較することにより、インバータ INV_{21} を介してリセット信号 S_2 を生成する。リセット信号 S_2 は、例えば、ノード電圧 V_3 がノード電圧 V_4 よりも高いときにローレベルとなり、ノード電圧 V_3 がノード電圧 V_4 よりも低いときにハイレベルとなる。

【 0 0 4 5 】

Dフリップフロップ 124 は、クロック端に入力されるセット信号 S_1 の論理レベルが切り替わるとき（例えばローレベルに立ち下がる時）に、出力端 (Q) から出力されるパルス信号 PWM の論理レベルをデータ端 (D) の入力値（例えばハイレベル）にセットする一方、リセット端に入力されるリセット信号 S_2 の論理レベルが切り替わるとき（例えばローレベルに立ち下がる時）に、出力端 (Q) から出力されるパルス信号 PWM の論理レベルをデフォルト値（例えばローレベル）にリセットする。

10

【 0 0 4 6 】

ドライバ 125 は、パルス信号 PWM に応じて出力スイッチ 11 のゲート信号 G_1 を生成する。例えば、ドライバ 125 は、パルス信号 PWM がハイレベルであるときにゲート信号 G_1 をハイレベルとして出力スイッチ 11 をオンする一方、パルス信号 PWM がローレベルであるときにゲート信号 G_1 をローレベルとして出力スイッチ 11 をオフする。

20

【 0 0 4 7 】

< オン時間固定制御 >

図 3 は、オン時間固定制御の基本動作を示す図であり、上から順に、スイッチ電圧 V_{sw} 、帰還電圧 V_1 並びに基準電圧 V_2 、セット信号 S_1 、リセット信号 S_2 、及び、パルス信号 PWM が描写されている。

【 0 0 4 8 】

時刻 t_{101} において、リセット信号 S_2 がローレベルに立ち下がると、パルス信号 PWM がローレベルにリセットされる。その結果、出力スイッチ 11 がオフするので、スイッチ電圧 V_{sw} がローレベルからハイレベルに立ち上がる。また、時刻 t_{101} では、パルス信号 PWM の立ち下がりに伴って、基準電圧 V_2 が低下から上昇に転じる。ただし、基準電圧 V_2 が帰還電圧 V_1 よりも低いので、セット信号はハイレベルに維持される。

30

【 0 0 4 9 】

時刻 t_{102} において、基準電圧 V_2 が帰還電圧 V_1 よりも高くなると、セット信号 S_1 がローレベルに立ち下がるので、パルス信号 PWM がハイレベルにセットされる。その結果、出力スイッチ 11 がオンするので、スイッチ電圧 V_{sw} がハイレベルからローレベルに立ち下がる。また、時刻 t_{102} では、パルス信号 PWM の立ち上がりに伴って、基準電圧 V_2 が上昇から低下に転じる。

【 0 0 5 0 】

時刻 t_{103} において、出力スイッチ 11 のオンタイミング (= 時刻 t_{102}) から所定のオン時間 T_{on} が経過すると、リセット信号 S_2 がローレベルに立ち下がる。その結果、先出の時刻 t_{101} と同様、パルス信号 PWM がローレベルにリセットされるので、出力スイッチ 11 がオフしてスイッチ電圧 V_{sw} がハイレベルに立ち上がるとともに、基準電圧 V_2 が低下から上昇に転じる。

40

【 0 0 5 1 】

時刻 t_{103} 以降も、上記一連の動作が繰り返されることにより、絶縁型スイッチング電源 1 では、オン時間固定制御により、直流入力電圧 V_{in} から所望の直流出力電圧 V_{out} が生成される。

【 0 0 5 2 】

< サンプリングタイミングに関する考察 >

絶縁スイッチング電源 1 では、直流出力電圧 V_{out} の情報を含むスイッチ電圧 V_{sw}

50

をモニタすることにより、フォトカプラなどを用いることなく、一次回路系のみで出力帰還制御が行われる。スイッチ電圧 V_{sw} は、以下の (1) 式で表すことができる。なお、式中の符号 V_f はダイオード 31 の順方向降下電圧を示しており、符号 E_{SR} は二次回路系の総インピーダンス (二次巻線 22 及び基板のインピーダンス成分) を示している。

【0053】

$$V_{sw} = V_{in} + (N_p / N_s) \times (V_{out} + V_f + I_s \times E_{SR}) \quad \dots (1)$$

【0054】

上記 (1) 式から分かるように、スイッチ電圧 V_{sw} は、直流出力電圧 V_{out} だけでなく、二次電流 I_s に依存するパラメータ ($= V_f + I_s \times E_{SR}$) を含む。そのため、できる限り二次電流 I_s が流れなくなる直前のタイミングでスイッチ電圧 V_{sw} をサンプリングすることが理想的である。

10

【0055】

図4及び図5は、それぞれ、第1実施形態の絶縁型スイッチング電源1におけるスイッチ電圧 V_{sw} のサンプリングタイミング制御 (図4は電流連続モードCCM [continuous current mode]、図5は電流不連続モードDCM [discontinuous conduction mode]) を示す図であり、上から順に、ゲート信号 G_1 、スイッチ電圧 V_{sw} 、及び、タイミング制御信号 S_0 が描写されている。

【0056】

両図で示すように、第1実施形態の絶縁型スイッチング電源1では、タイミング制御信号 S_0 の立上りタイミング (= サンプリング開始タイミング) 及び立下りタイミング (= サンプリング終了タイミング) がいずれもゲート信号 G_1 の立下りタイミング (= 一次電流 I_p のオフタイミング) を基準として設定されている。

20

【0057】

より具体的に述べると、タイミング制御信号 S_0 は、ゲート信号 G_1 がローレベルに立ち下げられてから、所定のマスク時間 T_m が経過したときにハイレベルとなり、所定のサンプリング終了時間 T_e (ただし $T_m < T_e < T_{off}(min)$) が経過したときにローレベルとなる。例えば、 $T_m = 350 \text{ ns}$ であり、 $T_e = 430 \text{ ns}$ である場合には、 $T_s = 80 \mu\text{s}$ ($= T_e - T_m$) となる。なお、両図中の丸印 SP は、スイッチ電圧 V_{sw} のサンプリング値を示している。

【0058】

このように、出力スイッチ 11 (延いては一次電流 I_p) がオフしてから少なくとも所定のマスク時間 T_m が経過するまでスイッチ電圧 V_{sw} のサンプリングを待機することにより、スイッチ電圧 V_{sw} に生じるリングングの影響を受けにくくなる。

30

【0059】

ところで、出力スイッチ 11 (延いては一次電流 I_p) のオン時間 T_{on} は、スイッチング周波数 f_{sw} が一定値となるようにフィードバック制御されている。例えば、電流連続モードCCMでは $T_{on} = 1 \mu\text{s}$ (@ $D_{on} = 40\%$) となり、電流不連続モードDCMでは、 $T_{on}(min) = 350 \text{ ns}$ となる。

【0060】

このように、第1実施形態の絶縁型スイッチング電源1は、電流連続モードCCMでのスイッチング周波数 f_{sw} を一定値とするために、出力スイッチ 11 のオフタイミング基準で固定のサンプリング時間 T_s を設定することにより、出力スイッチ 11 のオンタイミングとは何ら無関係にスイッチ電圧 V_{sw} のサンプリングを行っている。

40

【0061】

図6は、第1実施形態のロードレギュレーション (上段) 及び周波数特性 (下段) を示す図である。本図で示すように、第1実施形態の絶縁型スイッチング電源1であれば、電流連続モードCCMにおいて、スイッチング周波数 f_{sw} を一定値に維持することができるので、耐ノイズ設計などが容易である反面、出力電流 I_{out} の増大に依存して直流出力電圧 V_{out} が目標値 (破線を参照) から乖離してしまう。

【0062】

50

図7及び図8は、それぞれ、先の第1実施形態とは別方式のサンプリングタイミング制御（図7は電流臨界モードBCM [boundary current mode]、図8は電流不連続モードDCMを示す図であり、上から順に、ゲート信号G1、スイッチ電圧Vsw、及び、タイミング制御信号S0が描写されている。

【0063】

本方式のサンプリングタイミング制御では、一次電流Ipが流れなくなったこと（すなわちスイッチ電圧Vswが低下し始めたこと）を検出したときに、スイッチ電圧Vswのサンプリングが行われる。

【0064】

図9は、図7及び図8による別方式のロードレギュレーション（上段）及び周波数特性（下段）を示す図である。本図で示すように、本方式のサンプリングタイミング制御を採用すれば、見た目上、直流出力電圧Voutが目標値から乖離し難くなる。ただし、スイッチング周波数fswが一定値にならないので、耐ノイズ設計などが容易でなくなる上、直流出力電圧Voutのリプル成分も大きくなってしまふ。

10

【0065】

以下では、上記の考察に鑑み、スイッチング周波数fswの変動を抑えつつ、ロードレギュレーションを向上することのできる新規な実施形態を提案する。

【0066】

<第2実施形態>

図10は、絶縁型スイッチング電源1の第2実施形態（特にオンタイミング設定部122の新規な構成）を示す図である。本実施形態の絶縁型スイッチング電源1において、オンタイミング設定部122は、アンプAMP1a及びAMP1bと、コンパレータCMP11a及びCMP11bと、バッファBUF1と、キャパシタC12a及びC12bと、抵抗R13a及びR13bと、抵抗R14a及びR14bと、抵抗Rx及びRyを含む。なお、オンタイミング設定部122は、先出の補正回路REVを含んでいてもよい。

20

【0067】

バッファBUF1（本図では多段接続されたインバータ）の入力端は、パルス信号PWMの印加端に接続されている。バッファBUF1の出力端は、抵抗R13a及びR13bそれぞれの第1端に接続されている。なお、バッファBUF1は、省略してもよい。

【0068】

抵抗Rx及びRyは、内部電源端と接地端との間に直列接続されており、相互間の接続ノードから参照電圧Vrefを出力する分圧器として機能する。

30

【0069】

抵抗R13aの第2端と抵抗R14a及びキャパシタC12aそれぞれの第1端は、いずれもアンプAMP1aの非反転入力端（+）に接続されている。抵抗R14aとキャパシタC12aそれぞれの第2端は、いずれもアンプAMP1aの出力端に接続されている。アンプAMP1aの反転入力端（-）は、参照電圧Vrefの印加端に接続されている。アンプAMP1aの出力端は、基準電圧V2aの出力端として、コンパレータCMP11aの反転入力端（-）に接続されている。

【0070】

抵抗R13bの第2端と抵抗R14b及びキャパシタC12bそれぞれの第1端は、いずれもアンプAMP1bの非反転入力端（+）に接続されている。抵抗R14bとキャパシタC12bそれぞれの第2端は、いずれもアンプAMP1bの出力端に接続されている。アンプAMP1bの反転入力端（-）は、参照電圧Vrefの印加端に接続されている。アンプAMP1bの出力端は、基準電圧V2bの出力端として、コンパレータCMP11bの反転入力端（-）に接続されている。

40

【0071】

なお、基準電圧V2a及びV2bは、いずれも共通のパルス信号PWMを論理反転して鈍らせたスロープ状（CR波形）となる。すなわち、基準電圧V2a及びV2bは、互いに同期してペア性を持ちつつ周期的に変動する。ただし、基準電圧V2bは、基準電圧V

50

2 a よりも早いタイミングで帰還電圧 V_1 と交差するように調整されている。なお、基準電圧 $V_2 a$ 及び $V_2 b$ それぞれの波形を調整する手法としては、例えば、アンプ $A M P 1 a$ 及び $A M P 1 b$ それぞれに接続される抵抗値または容量値を調整してもよいし、アンプ $A M P 1 a$ 及び $A M P 1 b$ それぞれの入力オフセットを調整してもよい。

【0072】

コンパレータ $C M P 1 1 a$ は、非反転入力端 (+) に入力される帰還電圧 V_1 と、反転入力端 (-) に入力される基準電圧 $V_2 a$ を比較することにより、セット信号 $S 1 a$ を生成する。セット信号 $S 1 a$ は、例えば、帰還電圧 V_1 が基準電圧 $V_2 a$ よりも高いときにハイレベルとなり、帰還電圧 V_1 が基準電圧 $V_2 a$ よりも低いときにローレベルとなる。なお、セット信号 $S 1 a$ は、Dフリップフロップ 124 のクロック信号に相当する。すなわち、出力スイッチ 11 (延いては一次電流 I_p) のオンタイミングは、帰還電圧 V_1 と基準電圧 $V_2 a$ との交差タイミングにより決定される。

10

【0073】

コンパレータ $C M P 1 1 b$ は、非反転入力端 (+) に入力される帰還電圧 V_1 と、反転入力端 (-) に入力される基準電圧 $V_2 b$ を比較することにより、セット信号 $S 1 b$ を生成する。セット信号 $S 1 b$ は、例えば、帰還電圧 V_1 が基準電圧 $V_2 b$ よりも高いときにハイレベルとなり、帰還電圧 V_1 が基準電圧 $V_2 b$ よりも低いときにローレベルとなる。なお、セット信号 $S 1 b$ は、タイミング制御信号 $S 0$ の基準信号に相当する。すなわち、モニタ電圧 V_0 (延いてはスイッチ電圧 V_{sw}) のサンプリングタイミングは、帰還電圧 V_1 と基準電圧 $V_2 b$ との交差タイミングにより決定される。

20

【0074】

<サンプリングタイミング>

図 11 は、先に説明した第 1 実施形態 (図 2) の課題を示す図であり、上から順に、ゲート信号 $G 1$ 、スイッチ電圧 V_{sw} 、モニタ電圧 V_0 (小破線)、帰還電圧 V_1 (一点鎖線)、基準電圧 V_2 (実線)、セット信号 $S 1$ 、及び、タイミング制御信号 $S 0$ が描写されている。

【0075】

時刻 $t 1 5 1$ において、ゲート信号 $G 1$ がローレベルに立ち下ると、出力スイッチ 11 (延いては一次電流 I_p) がオフするので、スイッチ電圧 V_{sw} がハイレベルに立ち上がる。このとき、スイッチ電圧 V_{sw} はリングングを生じるが、マスク時間 T_m が経過するまでタイミング制御信号 $S 0$ が立ち上がらないので、スイッチ電圧 V_{sw} のサンプリングが待機される。従って、帰還電圧 V_1 がリングングの影響を受けにくくなる。

30

【0076】

時刻 $t 1 5 1$ からマスク時間 T_m が経過すると、時刻 $t 1 5 2$ において、タイミング制御信号 $S 0$ がハイレベルに立ち上がり、スイッチ電圧 V_{sw} のサンプリングが始まる。

【0077】

また、時刻 $t 1 5 1$ からサンプリング終了時間 T_e が経過すると、時刻 $t 1 5 3$ において、タイミング制御信号 $S 0$ がローレベルに立ち下り、スイッチ電圧 V_{sw} のサンプリングが終了される。すなわち、時刻 $t 1 5 3$ におけるモニタ電圧 V_0 の電圧値が帰還電圧 V_1 の電圧値として保持される。この時点では、帰還電圧 V_1 が基準電圧 V_2 よりも高いので、セット信号 $S 1$ がハイレベルのままとなる。

40

【0078】

時刻 $t 1 5 4$ において、基準電圧 V_2 が帰還電圧 V_1 よりも高くなると、セット信号 $S 1$ がローレベルに立ち下る。その結果、ゲート信号 $G 1$ がハイレベルにセットされて、出力スイッチ 11 (延いては一次電流 I_p) がオンするので、スイッチ電圧 V_{sw} がローレベルに立ち下る。

【0079】

その後、時刻 $t 1 5 4$ からオン時間 T_{on} が経過すると、時刻 $t 1 5 5$ において、ゲート信号 $G 1$ がローレベルにリセットされる。これ以降も、上記一連の動作が繰り返されることにより、絶縁型スイッチング電源 1 では、オン時間固定制御により、直流入力電圧 V

50

i_n から所望の直流出力電圧 V_{out} が生成される。

【0080】

ところで、本図で示したように、第1実施形態の絶縁型スイッチング電源1は、出力スイッチ11のオフタイミング(=時刻 t_{151})を基準として、固定のサンプリング時間 T_s (= $T_e - T_m$)を設定することにより、出力スイッチ11のオンタイミング(=時刻 t_{154})とは何ら無関係に、スイッチ電圧 V_{sw} のサンプリングを行っている。そのため、スイッチ電圧 V_{sw} の実際のサンプリング終了タイミング(丸印 SP)が理想のサンプリング終了タイミング(丸印 $SP(ideal)$)から乖離していた。

【0081】

図12は、第2実施形態のサンプリングタイミング制御(CCM)を示す図であり、上から順に、ゲート信号 G_1 、スイッチ電圧 V_{sw} 、モニタ電圧 V_0 (小破線)、帰還電圧 V_1 (一点鎖線)、基準電圧 V_{2a} (実線)、基準電圧 V_{2b} (大破線)、セット信号 S_{1a} 、及び、タイミング制御信号 S_0 が描写されている。

【0082】

時刻 t_{161} において、ゲート信号 G_1 がローレベルに立ち下がると、出力スイッチ11(延いては一次電流 I_p)がオフするので、スイッチ電圧 V_{sw} がハイレベルに立ち上がる。このとき、スイッチ電圧 V_{sw} はリングングを生じるが、マスク時間 T_m が経過するまでタイミング制御信号 S_0 が立ち上がらないので、スイッチ電圧 V_{sw} のサンプリングが待機される。従って、帰還電圧 V_1 がリングングの影響を受けにくくなる。

【0083】

時刻 t_{161} からマスク時間 T_m が経過すると、時刻 t_{162} において、タイミング制御信号 S_0 がハイレベルに立ち上がり、スイッチ電圧 V_{sw} のサンプリングが始まる。ここまでの動作は、先出の第1実施形態(図11)と特に変わることはない。

【0084】

なお、時刻 t_{163} において、基準電圧 V_{2b} が帰還電圧 V_1 (=モニタ電圧 V_0) よりも高くなると、セット信号 S_{1b} (不図示)がローレベルとなるので、タイミング制御信号 S_0 がローレベルに立ち下がり、スイッチ電圧 V_{sw} のサンプリングが終了される。すなわち、時刻 t_{163} におけるモニタ電圧 V_0 の電圧値が帰還電圧 V_1 の電圧値として保持される。ただし、この時点では、帰還電圧 V_1 が基準電圧 V_{2a} よりも高いので、セット信号 S_{1a} がハイレベルのままとなる。

【0085】

時刻 t_{164} において、基準電圧 V_{2a} が帰還電圧 V_1 よりも高くなると、セット信号 S_{1a} がローレベルに立ち下がる。その結果、ゲート信号 G_1 がハイレベルにセットされて、出力スイッチ11(延いては一次電流 I_p)がオンするので、スイッチ電圧 V_{sw} がローレベルに立ち下がる。

【0086】

その後、時刻 t_{164} からオン時間 T_{on} が経過すると、時刻 t_{165} において、ゲート信号 G_1 がローレベルにリセットされる。これ以降も、上記一連の動作が繰り返されることにより、絶縁型スイッチング電源1では、オン時間固定制御により、直流入力電圧 V_{in} から所望の直流出力電圧 V_{out} が生成される。

【0087】

このように、第2実施形態の絶縁型スイッチング電源1は、出力スイッチ11のオフタイミング(=時刻 t_{161})ではなく、出力スイッチ11のオンタイミング(=時刻 t_{164})を基準として、スイッチ電圧 V_{sw} のサンプリングタイミングを設定する。そのため、スイッチ電圧 V_{sw} の実際のサンプリング終了タイミング(丸印 SP)を理想のサンプリング終了タイミング(丸印 $SP(ideal)$)に近付けることが可能となる。

【0088】

なお、本図では、帰還電圧 V_1 と基準電圧 V_{2b} との交差タイミングをサンプリング終了タイミングとしたが、例えば、上記の交差タイミングから所定時間(例えば数十 n_s)の経過後にサンプリング動作を終了してもよい。

10

20

30

40

50

【 0 0 8 9 】

また、例えば、或る周期において上記の交差タイミングに関する情報を保持しておき、次の周期におけるサンプリングタイミングを設定してもよい。具体的には、出力スイッチ 1 1 のオフタイミングから上記の交差タイミングまでの所要時間をカウントしておき、そのカウント値に基づいて、次の周期におけるサンプリング開始タイミング及びサンプリング終了タイミングの少なくとも一方を設定してもよい。

【 0 0 9 0 】

また、第 2 実施形態の発展形として基準電圧 V_2 を 3 種類以上用意しておき、モニタ電圧 V_0 (延いてはスイッチ電圧 V_{sw}) の傾き演算を行ってもよい。

【 0 0 9 1 】

図 1 3 は、第 2 実施形態のロードレギュレーション (上段)、周波数特性 (中段) 及びサンプリング時間 (下段) を示す図である。なお、図中の実線は第 2 実施形態の挙動を示しており、一点鎖線は第 1 実施形態の挙動を比較参照のために示している。

【 0 0 9 2 】

本図で示すように、第 2 実施形態の絶縁型スイッチング電源 1 であれば、電流連続モード CCM において、スイッチング周波数 f_{sw} を一定値に維持することができるので、耐ノイズ設計などが容易である。また、第 1 実施形態 (一点鎖線) と異なり、出力電流 I_{out} が増大しても直流出力電圧 V_{out} が目標値 (破線を参照) から乖離し難くなる。すなわち、スイッチング周波数 f_{sw} の変動を抑えつつ、ロードレギュレーションを向上することが可能となる。

【 0 0 9 3 】

また、出力スイッチ 1 1 のオンタイミングを基準として、スイッチ電圧 V_{sw} のサンプリングタイミングを設定する構成であれば、スイッチング周波数 f_{sw} の高周波数化 (例えば $f_{sw} = 400 \text{ kHz} \sim 2 \text{ MHz}$) にも対応し易くなる。

【 0 0 9 4 】

< 第 3 実施形態 >

図 1 4 は、絶縁型スイッチング電源 1 の第 3 実施形態 (特にオンタイミング設定部 1 2 2 の新規な構成) を示す図である。本実施形態の絶縁型スイッチング電源 1 において、オンタイミング設定部 1 2 2 は、アンプ AMP 1 と、コンパレータ CMP 1 1 c 及び CMP 1 1 d と、バッファ BUF 2 と、キャパシタ C 1 2 及び C 1 3 と、抵抗 R 1 3 及び R 1 4 と、抵抗 R X 及び R Y と、を含む。なお、オンタイミング設定部 1 2 2 は、先出の補正回路 REV を含んでいてもよい。

【 0 0 9 5 】

バッファ BUF 2 の非反転入力端 (+) とキャパシタ C 1 3 の第 1 端は、いずれも帰還電圧 V_1 の印加端に接続されている。キャパシタ C 1 3 の第 2 端は、接地端に接続されている。バッファ BUF 2 の反転入力端 (-) は、バッファ BUF 2 の出力端に接続されている。このように接続されたバッファ BUF 2 は、帰還電圧 V_1 を緩衝増幅して帰還電圧 V_{1c} を生成する。なお、バッファ BUF 2 及びキャパシタ C 1 3 は、省略してもよい。

【 0 0 9 6 】

抵抗 R X 及び R Y は、バッファ BUF 2 の出力端 (= 帰還電圧 V_{1c} の印加端) と接地端との間に直列接続されており、相互間の接続ノードから帰還電圧 V_{1d} (= 帰還電圧 V_{1c} の分圧電圧) を出力する分圧器として機能する。すなわち、帰還電圧 V_{1d} は、帰還電圧 V_{1c} よりも早いタイミングで基準電圧 V_2 と交差するように調整されている。

【 0 0 9 7 】

抵抗 R 1 3 の第 1 端は、パルス信号 PWM の印加端に接続されている。抵抗 R 1 3 の第 2 端と抵抗 R 1 4 及びキャパシタ C 1 2 それぞれの第 1 端は、いずれもアンプ AMP 1 の非反転入力端 (+) に接続されている。抵抗 R 1 4 及びキャパシタ C 1 2 それぞれの第 2 端は、いずれも、アンプ AMP 1 の出力端に接続されている。アンプ AMP 1 の反転入力端 (-) は、参照電圧 V_{ref} の印加端に接続されている。アンプ AMP 1 の出力端は、基準電圧 V_2 の出力端として、コンパレータ CMP 1 1 c 及び CMP 1 1 d それぞれの反転

10

20

30

40

50

入力端 (-) に接続されている。

【 0 0 9 8 】

コンパレータ C M P 1 1 c は、非反転入力端 (+) に入力される帰還電圧 $V 1 c$ と、反転入力端 (-) に入力される基準電圧 $V 2$ を比較することにより、セット信号 $S 1 c$ を生成する。セット信号 $S 1 c$ は、例えば、帰還電圧 $V 1 c$ が基準電圧 $V 2$ よりも高いときにハイレベルとなり、帰還電圧 $V 1 c$ が基準電圧 $V 2$ よりも低いときにローレベルとなる。なお、セット信号 $S 1 c$ は、Dフリップフロップ 1 2 4 のクロック信号に相当する。すなわち、出力スイッチ 1 1 (延いては一次電流 $I p$) のオンタイミングは、帰還電圧 $V 1 c$ と基準電圧 $V 2$ との交差タイミングにより決定される。

【 0 0 9 9 】

コンパレータ C M P 1 1 d は、非反転入力端 (+) に入力される帰還電圧 $V 1 d$ と、反転入力端 (-) に入力される基準電圧 $V 2$ を比較することにより、セット信号 $S 1 d$ を生成する。セット信号 $S 1 d$ は、例えば、帰還電圧 $V 1 d$ が基準電圧 $V 2$ よりも高いときにハイレベルとなり、帰還電圧 $V 1 d$ が基準電圧 $V 2$ よりも低いときにローレベルとなる。なお、セット信号 $S 1 d$ は、タイミング制御信号 $S 0$ の基準信号に相当する。すなわち、モニタ電圧 $V 0$ (延いてはスイッチ電圧 $V s w$) のサンプリングタイミングは、帰還電圧 $V 1 d$ と基準電圧 $V 2$ との交差タイミングにより決定される。

【 0 1 0 0 】

図 1 5 は、第 3 実施形態のサンプリングタイミング制御 (C C M) を示す図であり、上から順に、帰還電圧 $V 1 c$ 並びに $V 1 d$ (細線)、基準電圧 $V 2$ (太線)、セット信号 $S 1 c$ 、リセット信号 $S 2$ 、パルス信号 P W M、モニタ電圧 $V 0$ 、及び、スイッチ電流 $I s w$ (= 出力スイッチ 1 1 に流れる電流) が描写されている。

【 0 1 0 1 】

時刻 $t 1 7 1$ において、リセット信号 $S 2$ がローレベルに立ち下がり、パルス信号 P W M がローレベルにリセットされると、出力スイッチ 1 1 (延いては一次電流 $I p$) がオフするので、スイッチ電圧 $V s w$ (延いてはモニタ電圧 $V 0$) がハイレベルに立ち上がる。

【 0 1 0 2 】

時刻 $t 1 7 1$ からマスク時間 $T m$ が経過すると、時刻 $t 1 7 2$ において、スイッチ電圧 $V s w$ (延いてはモニタ電圧 $V 0$) のサンプリングが始まる。

【 0 1 0 3 】

なお、時刻 $t 1 7 3$ において、基準電圧 $V 2$ が帰還電圧 $V 1 d$ よりも高くなると、セット信号 $S 1 d$ (不図示) がローレベルとなるので、スイッチ電圧 $V s w$ (延いてはモニタ電圧 $V 0$) のサンプリングが終了される。すなわち、時刻 $t 1 7 3$ におけるモニタ電圧 $V 0$ の電圧値が帰還電圧 $V 1 c$ の電圧値として保持される。ただし、この時点では、帰還電圧 $V 1 c$ が基準電圧 $V 2$ よりも高いので、セット信号 $S 1 c$ がハイレベルのままとなる。

【 0 1 0 4 】

時刻 $t 1 7 4$ において、基準電圧 $V 2$ が帰還電圧 $V 1 c$ よりも高くなると、セット信号 $S 1 c$ がローレベルに立ち下がる。その結果、パルス信号 P W M がハイレベルにセットされて、出力スイッチ 1 1 (延いては一次電流 $I p$) がオンするので、スイッチ電圧 $V s w$ (延いてはモニタ電圧 $V 0$) がローレベルに立ち下がる。

【 0 1 0 5 】

その後、時刻 $t 1 7 4$ からオン時間 $T o n$ が経過すると、時刻 $t 1 7 5$ において、パルス信号 P W M がローレベルにリセットされる。これ以降も、上記一連の動作が繰り返されることにより、絶縁型スイッチング電源 1 では、オン時間固定制御により、直流入力電圧 $V i n$ から所望の直流出力電圧 $V o u t$ が生成される。

【 0 1 0 6 】

このように、第 3 実施形態の絶縁型スイッチング電源 1 は、先出の第 2 実施形態 (図 1 0) と同様、出力スイッチ 1 1 のオンタイミング (= 時刻 $t 1 7 4$) を基準として、スイッチ電圧 $V s w$ のサンプリングタイミングを設定する。そのため、スイッチ電圧 $V s w$ の実際のサンプリング終了タイミングを理想のサンプリング終了タイミング (= 出力スイッ

10

20

30

40

50

チ 1 1 のオンタイミング直前) に近付けることが可能となる。

【 0 1 0 7 】

なお、本図では、帰還電圧 V_{1d} と基準電圧 V_2 との交差タイミングをサンプリング終了タイミングとしたが、例えば、上記の交差タイミングから所定時間 (例えば数十 ns) の経過後にサンプリング動作を終了してもよい。

【 0 1 0 8 】

また、例えば、或る周期において上記の交差タイミングに関する情報を保持しておき、次の周期におけるサンプリングタイミングを設定してもよい。具体的には、出力スイッチ 1 1 のオフタイミングから上記の交差タイミングまでの所要時間をカウントしておき、そのカウント値に基づいて、次の周期におけるサンプリング開始タイミング及びサンプリング終了タイミングの少なくとも一方を設定してもよい。この点については、先出の第 1 実施形態 (図 1 0) と同様である。

10

【 0 1 0 9 】

< 車両への適用 >

図 1 6 は、電子機器が搭載される車両の外観を示す図である。本構成例の車両 X は、不図示のバッテリーから電力供給を受けて動作する種々の電子機器 $X_{11} \sim X_{18}$ を搭載している。なお、本図における電子機器 $X_{11} \sim X_{18}$ の搭載位置は、図示の便宜上、実際とは異なる場合がある。

【 0 1 1 0 】

電子機器 X_{11} は、エンジンに関連する制御 (インジェクション制御、電子スロットル制御、アイドル制御、酸素センサヒータ制御、及び、オートクルーズ制御など) を行うエンジンコントロールユニットである。

20

【 0 1 1 1 】

電子機器 X_{12} は、H I D [high intensity discharged lamp] 又は D R L [daytime running lamp] などの点消灯制御を行うランプコントロールユニットである。

【 0 1 1 2 】

電子機器 X_{13} は、トランスミッションに関連する制御を行うトランスミッションコントロールユニットである。

【 0 1 1 3 】

電子機器 X_{14} は、車両 X の運動に関連する制御 (A B S [anti-lock brake system] 制御、 E P S [electric power steering] 制御、電子サスペンション制御など) を行う制動ユニットである。

30

【 0 1 1 4 】

電子機器 X_{15} は、ドアロック又は防犯アラームなどの駆動制御を行うセキュリティコントロールユニットである。

【 0 1 1 5 】

電子機器 X_{16} は、ワイパー、電動ドアミラー、パワーウィンドウ、ダンパー (ショックアブソーバー)、電動サンルーフ、及び、電動シートなど、標準装備品またはメーカーオプション品として、工場出荷段階で車両 X に組み込まれている電子機器である。

【 0 1 1 6 】

電子機器 X_{17} は、車載 A / V [audio/visual] 機器、カーナビゲーションシステム、及び、 E T C [electronic toll collection system] など、ユーザオプション品として任意で車両 X に装着される電子機器である。

40

【 0 1 1 7 】

電子機器 X_{18} は、車載ブロア、オイルポンプ、ウォーターポンプ、バッテリー冷却ファンなど、高耐圧系モータを備えた電子機器である。

【 0 1 1 8 】

なお、先述の絶縁型スイッチング電源 1 は、電子機器 $X_{11} \sim X_{18}$ のいずれにも組み込むことが可能である。

【 0 1 1 9 】

50

< その他の変形例 >

本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態に限定されるものではなく、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

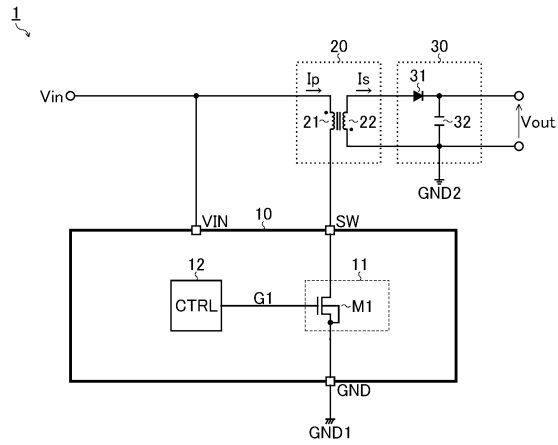
【符号の説明】

【 0 1 2 0 】

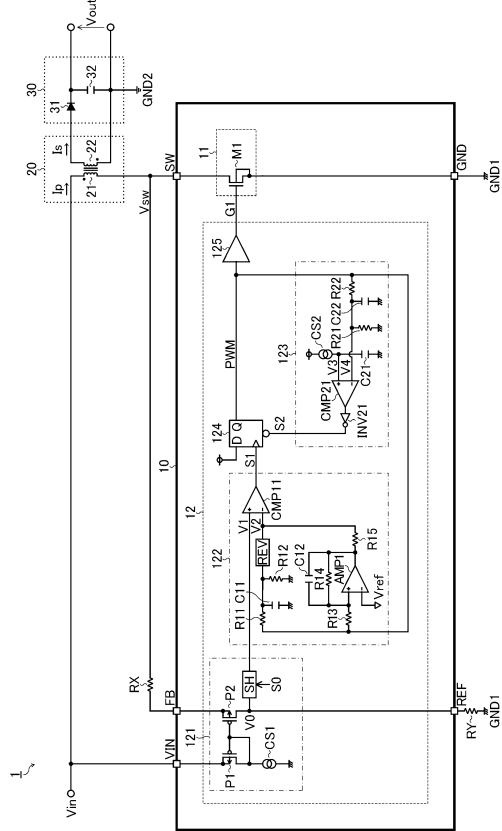
1	絶縁型スイッチング電源	
1 0	半導体装置 (電源制御 I C)	10
1 1	出力スイッチ	
1 2	コントローラ	
1 2 1	帰還電圧生成部	
1 2 2	オンタイミング設定部	
1 2 3	オフタイミング設定部	
1 2 4	Dフリップフロップ	
1 2 5	ドライバ	
2 0	トランス	
2 1	一次巻線	
2 2	二次巻線	20
3 0	整流平滑回路	
3 1	ダイオード	
3 2	キャパシタ	
A M P 1、A M P 1 a、A M P 1 b	アンプ	
B U F 1、B U F 2	バッファ	
C 1 1 ~ C 1 3、C 1 2 a、C 1 2 b、C 2 1、C 2 2	キャパシタ	
C M P 1 1、C M P 1 1 a ~ C M P 1 1 d、C M P 2 1	コンパレータ	
C S 1、C S 2	電流源	
F B	帰還端子	
G N D	接地端子	30
I N V 2 1	インバータ	
P 1、P 2	Pチャンネル型MOS電界効果トランジスタ	
R 1 1 ~ R 1 5、R 1 3 a、R 1 3 b、R 1 4 a、R 1 4 b、R 2 1、R 2 2、R		
x、R y、R X、R Y	抵抗	
R E F	基準端子	
R E V	補正回路	
S H	サンプル/ホールド回路	
S W	スイッチ端子	
V I N	電源端子	
X	車両	40
X 1 1 ~ X 1 8	電子機器	

【図面】

【図 1】



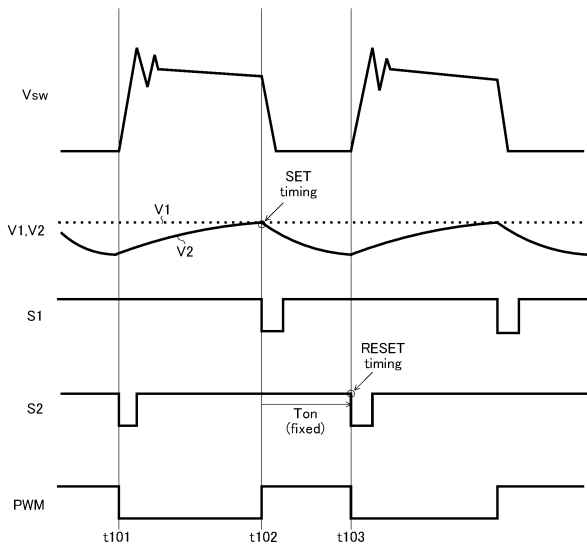
【図 2】



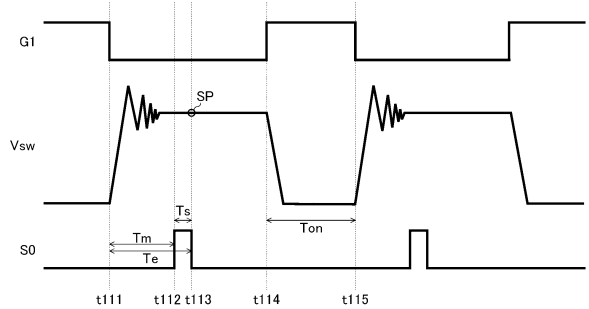
10

20

【図 3】



【図 4】

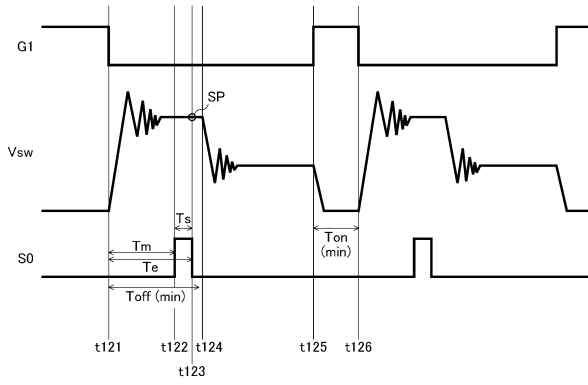


30

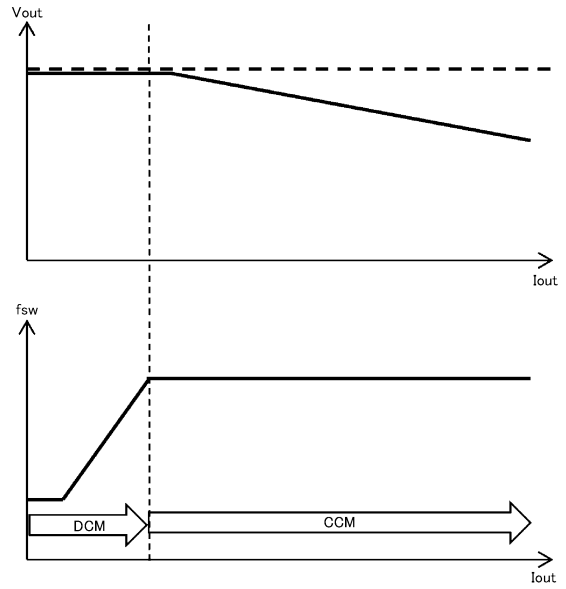
40

50

【 図 5 】



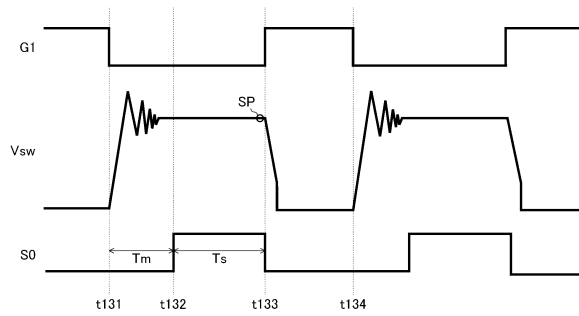
【 図 6 】



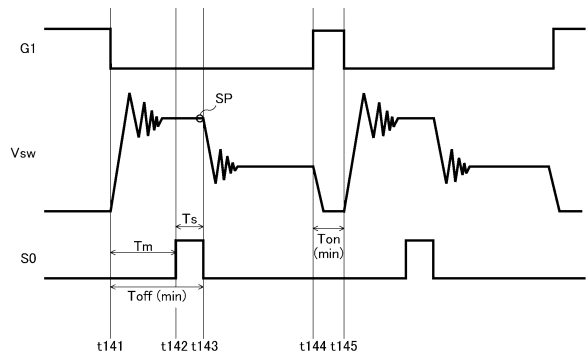
10

20

【 図 7 】



【 図 8 】

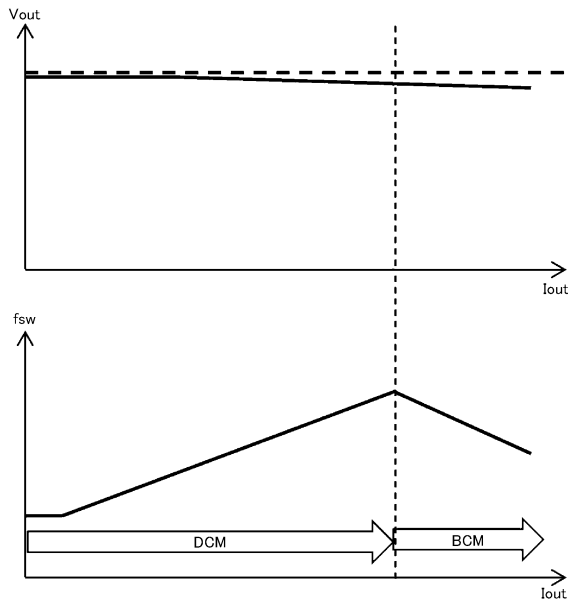


30

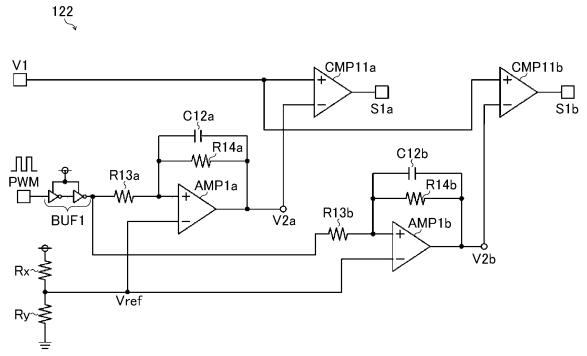
40

50

【 9 】

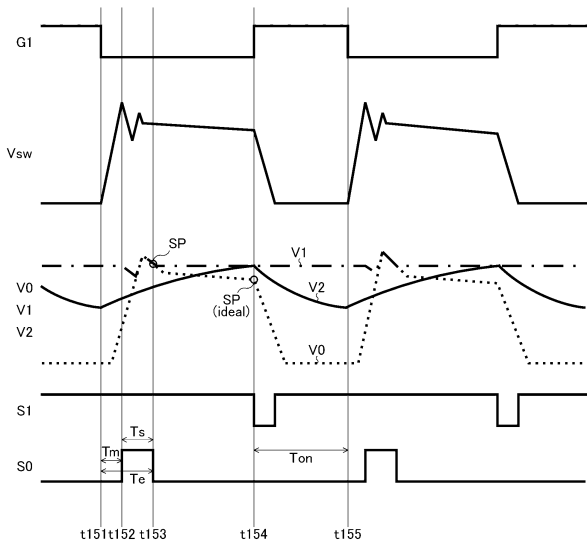


【 1 0 】

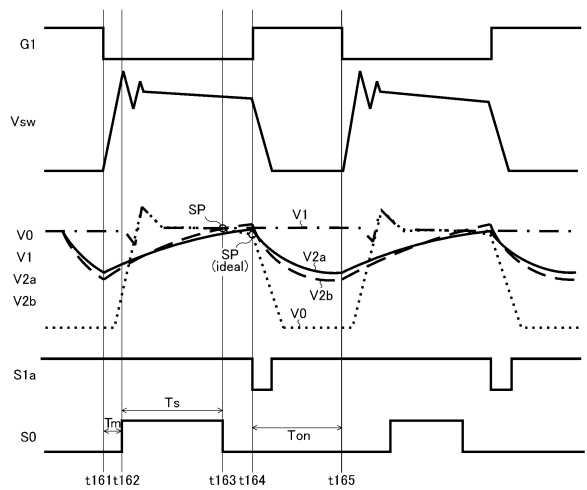


10

【 1 1 】



【 1 2 】



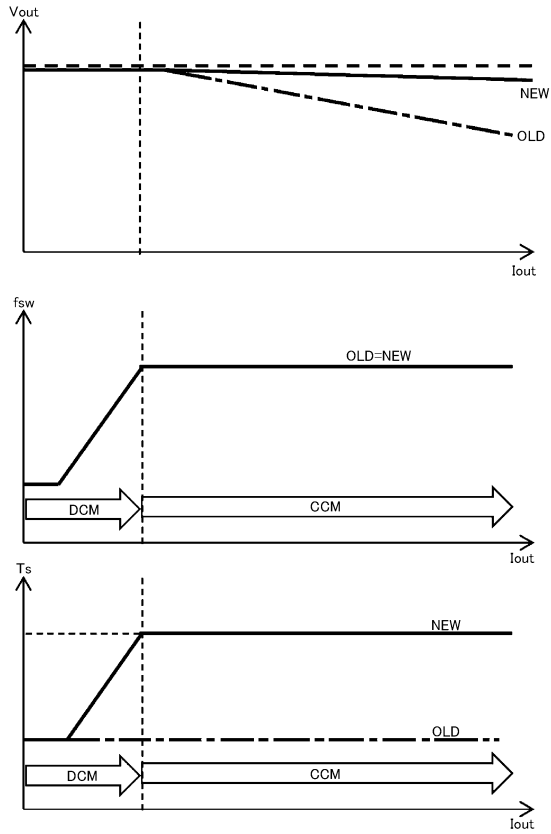
20

30

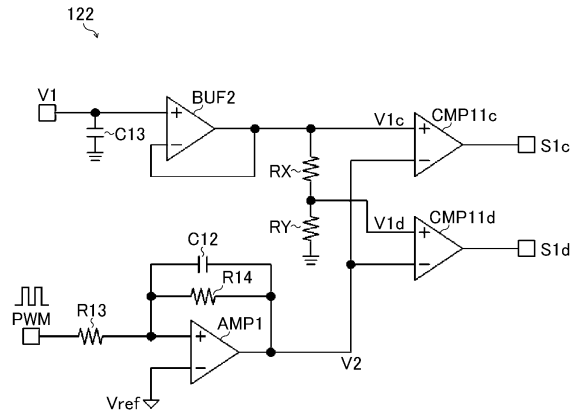
40

50

【 図 1 3 】



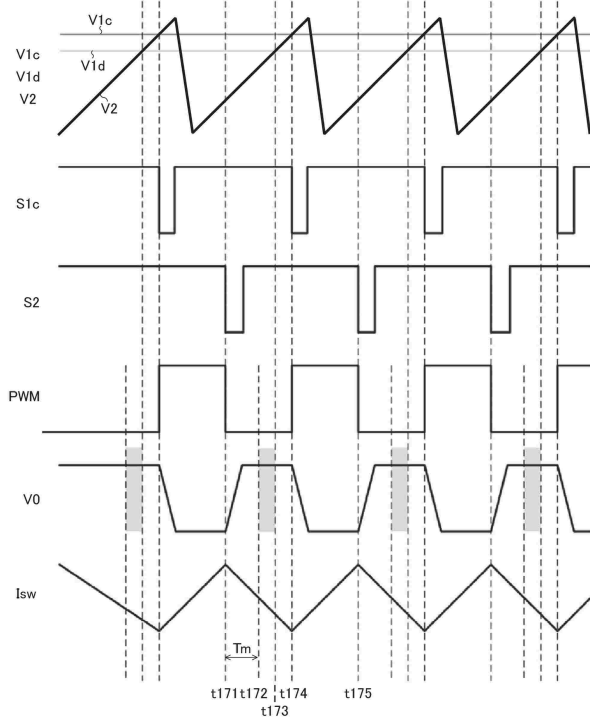
【 図 1 4 】



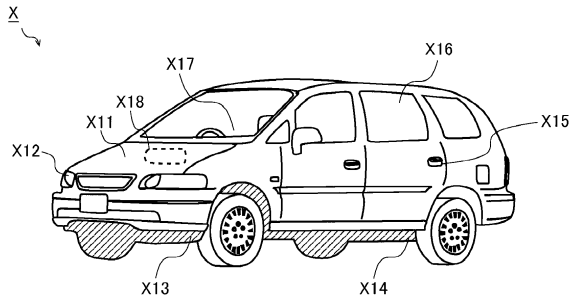
10

20

【 図 1 5 】



【 図 1 6 】



30

40

50

フロントページの続き

- (56)参考文献 特開 2014 - 217082 (JP, A)
特開 2015 - 076962 (JP, A)
特開 2009 - 095224 (JP, A)
米国特許出願公開第 2015 / 0236602 (US, A1)
- (58)調査した分野 (Int.Cl., DB名)
H02M 3 / 28