

# (12) 发明专利申请

(10) 申请公布号 CN 102054833 A

(43) 申请公布日 2011. 05. 11

(21) 申请号 200910237278. X

(22) 申请日 2009. 11. 09

(71) 申请人 京东方科技集团股份有限公司  
地址 100016 北京市朝阳区酒仙桥路 10 号

(72) 发明人 武延兵 李文波 陈维涛

(74) 专利代理机构 北京同立钧成知识产权代理有限公司 11205

代理人 曲鹏

(51) Int. Cl.

H01L 27/02(2006. 01)

H01L 23/528(2006. 01)

H01L 21/82(2006. 01)

H01L 21/768(2006. 01)

G02F 1/167(2006. 01)

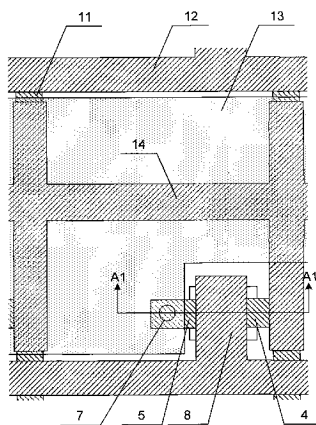
权利要求书 2 页 说明书 7 页 附图 7 页

## (54) 发明名称

薄膜晶体管基板及其制造方法

## (57) 摘要

本发明涉及一种薄膜晶体管基板及其制造方法。薄膜晶体管基板包括限定了像素区域的栅线 and 数据线,所述像素区域内形成有公共电极线、像素电极和薄膜晶体管,所述公共电极线包括相互连接且用于与所述像素电极构成存储电容的横电极线和竖电极线,用于减小数据线对像素电极影响的竖电极线位于所述数据线上方。本发明通过在数据线上方形形成公共电极线,使公共电极线覆盖大部分数据线,由于公共电极线具有持续输入且恒定的公共电压,从而有效减小了电压不断变化的数据线对其上像素电极所产生的影响,提高显示品质。此外,本发明还增加了单位面积的存储电容,可以进一步改善显示效果。



1. 一种薄膜晶体管基板,包括限定了像素区域的栅线和数据线,所述像素区域内形成有公共电极线、像素电极和薄膜晶体管,其特征在于,所述公共电极线包括相互连接且用于与所述像素电极构成存储电容的横电极线和竖电极线,用于减小数据线对像素电极影响的竖电极线位于所述数据线上方。

2. 根据权利要求1所述的薄膜晶体管基板,其特征在于,所述薄膜晶体管包括栅电极、有源层、源电极和漏电极,由半导体层和掺杂半导体层组成的有源层形成在基板上;所述源电极和漏电极的一端位于所述有源层上,另一端位于基板上,源电极和漏电极之间形成 TFT 沟道区域,所述源电极、漏电极和 TFT 沟道区域上形成有第一绝缘层;所述栅线、公共电极线和栅电极形成在所述第一绝缘层上,其上形成有第二绝缘层,所述第二绝缘层和第一绝缘层上形成有使所述像素电极与漏电极连接的绝缘层过孔。

3. 根据权利要求1所述的薄膜晶体管基板,其特征在于,所述薄膜晶体管包括栅电极、有源层、源电极和漏电极,由半导体层和掺杂半导体层组成的有源层形成在基板上;所述源电极和漏电极形成在所述有源层上,源电极和漏电极之间形成 TFT 沟道区域,所述源电极、漏电极和 TFT 沟道区域上形成有第一绝缘层;所述栅线、公共电极线和栅电极形成在所述第一绝缘层上,其上形成有第二绝缘层,所述第二绝缘层和第一绝缘层上形成有使所述像素电极与漏电极连接的绝缘层过孔。

4. 根据权利要求1~3中任一权利要求所述的薄膜晶体管基板,其特征在于,还包括用于遮挡光照射所述薄膜晶体管中 TFT 沟道区域的遮光层。

5. 根据权利要求4所述的薄膜晶体管基板,其特征在于,所述遮光层位于基板与薄膜晶体管的半导体层之间。

6. 一种薄膜晶体管基板制造方法,其特征在于,包括:

步骤1、通过构图工艺形成包括有源层、数据线、源电极和漏电极的图形;

步骤2、沉积第一绝缘层和栅金属薄膜,通过构图工艺形成包括栅线、公共电极线和栅电极的图形,所述公共电极线包括横电极线和竖电极线,所述竖电极线位于数据线的上方,且与横电极线连接;

步骤3、沉积第二绝缘层,通过构图工艺形成包括绝缘层过孔的图形,所述绝缘层过孔位于所述漏电极的上方;

步骤4、沉积导电薄膜,通过构图工艺形成包括像素电极的图形,所述像素电极通过绝缘层过孔与漏电极连接。

7. 根据权利要求6所述的薄膜晶体管基板制造方法,其特征在于,所述步骤1包括:

在基板上依次沉积半导体薄膜和掺杂半导体薄膜,采用普通掩模板通过构图工艺在基板上形成包括有源层的图形,所述有源层包括半导体层和掺杂半导体层;

在完成前述步骤的基板上沉积一层源漏金属薄膜,采用普通掩模板通过构图工艺形成包括数据线、源电极、漏电极和 TFT 沟道区域的图形。

8. 根据权利要求6所述的薄膜晶体管基板制造方法,其特征在于,所述步骤1包括:

在基板上依次沉积半导体薄膜和掺杂半导体薄膜;

在完成前述步骤的基板上沉积一层源漏金属薄膜;

在源漏金属薄膜上涂敷一层光刻胶;

采用半色调或灰色调掩模板对光刻胶进行曝光处理,显影后使光刻胶形成光刻胶完全

去除区域、光刻胶部分保留区域和光刻胶完全保留区域,其中光刻胶完全保留区域对应于数据线、源电极和漏电极图形所在区域,光刻胶部分保留区域对应于 TFT 沟道区域图形所在区域,光刻胶完全去除区域对应于上述图形以外区域;

通过第一次刻蚀工艺刻蚀掉光刻胶完全去除区域的源漏金属薄膜、掺杂半导体薄膜和半导体薄膜;

通过灰化工艺去除掉光刻胶部分保留区域的光刻胶,暴露出该区域的源漏金属薄膜;

通过第二次刻蚀工艺刻蚀掉光刻胶部分保留区域的源漏金属薄膜和掺杂半导体薄膜,并刻蚀掉部分厚度的半导体薄膜;

剥离剩余的光刻胶。

9. 根据权利要求 6 所述的薄膜晶体管基板制造方法,其特征在于,所述步骤 1 包括:

在基板上依次沉积遮光薄膜、半导体薄膜和掺杂半导体薄膜,采用普通掩模板通过构图工艺在基板上形成包括遮光层和有源层的图形,所述有源层包括半导体层和掺杂半导体层,所述遮光层位于半导体层的下方;

在完成前述步骤的基板上沉积一层源漏金属薄膜,采用普通掩模板通过构图工艺形成包括数据线、源电极、漏电极和 TFT 沟道区域的图形。

10. 根据权利要求 6 所述的薄膜晶体管基板制造方法,其特征在于,所述步骤 1 包括:

在基板上依次沉积遮光薄膜、半导体薄膜和掺杂半导体薄膜;

在完成前述步骤的基板上沉积一层源漏金属薄膜;

在源漏金属薄膜上涂敷一层光刻胶;

采用半色调或灰色调掩模板对光刻胶进行曝光处理,显影后使光刻胶形成光刻胶完全去除区域、光刻胶部分保留区域和光刻胶完全保留区域,其中光刻胶完全保留区域对应于数据线、源电极和漏电极图形所在区域,光刻胶部分保留区域对应于 TFT 沟道区域图形所在区域,光刻胶完全去除区域对应于上述图形以外区域;

通过第一次刻蚀工艺刻蚀掉光刻胶完全去除区域的源漏金属薄膜、掺杂半导体薄膜、半导体薄膜和遮光薄膜;

通过灰化工艺去除掉光刻胶部分保留区域的光刻胶,暴露出该区域的源漏金属薄膜;

通过第二次刻蚀工艺刻蚀掉光刻胶部分保留区域的源漏金属薄膜和掺杂半导体薄膜,并刻蚀掉部分厚度的半导体薄膜;

剥离剩余的光刻胶。

## 薄膜晶体管基板及其制造方法

### 技术领域

[0001] 本发明涉及一种电子纸及其制造方法,特别是一种薄膜晶体管基板及其制造方法。

### 背景技术

[0002] 电子纸 (Electronic Paper, 简称 E-Paper) 也称数字纸,是将普通纸张显示信息的特点与计算机显示屏的特点相结合的产物,而基于电泳技术的电子纸已逐渐成为极具发展潜力的柔性电子显示技术之一,其主体结构包括沉积有电子墨水的电子墨水基板、控制电子墨水的薄膜晶体管基板以及夹设在其间用于粘连两者的胶层。

[0003] 目前,现有技术电子纸的薄膜晶体管基板的典型结构包括形成在基板上的栅线和栅电极,第一绝缘层形成在栅线和栅电极上,由半导体层和掺杂半导体层(欧姆接触层)组成的有源层形成在第一绝缘层上,源电极和漏电极形成在有源层上,第二绝缘层形成在上述结构层上,并在漏电极位置开设有绝缘层过孔,像素电极形成在第二绝缘层上,并通过绝缘层过孔与漏电极连接。由于电子纸的电子墨水基板没有设置黑矩阵,因此电子纸的薄膜晶体管基板中的像素电极覆盖整个显示区域。实际应用中发现,由于数据线上的电压不断变化,数据线会与覆盖数据线的像素电极产生耦合电容,而耦合电容将影响像素电极在电压保持阶段的电压,影响显示品质。

### 发明内容

[0004] 本发明的目的是提供一种薄膜晶体管基板及其制造方法,有效消除数据线对像素电极的影响,提高显示品质。

[0005] 为了实现上述目的,本发明提供了一种薄膜晶体管基板,包括限定了像素区域的栅线和数据线,所述像素区域内形成有公共电极线、像素电极和薄膜晶体管,所述公共电极线包括相互连接且用于与所述像素电极构成存储电容的横电极线和竖电极线,用于减小数据线对像素电极影响的竖电极线位于所述数据线上方。

[0006] 所述薄膜晶体管包括栅电极、有源层、源电极和漏电极,由半导体层和掺杂半导体层组成的有源层形成在基板上;所述源电极和漏电极的一端位于所述有源层上,另一端位于基板上,源电极和漏电极之间形成 TFT 沟道区域,所述源电极、漏电极和 TFT 沟道区域上形成有第一绝缘层;所述栅线、公共电极线和栅电极形成在所述第一绝缘层上,其上形成有第二绝缘层,所述第二绝缘层和第一绝缘层上形成有使所述像素电极与漏电极连接的绝缘层过孔。

[0007] 所述薄膜晶体管包括栅电极、有源层、源电极和漏电极,由半导体层和掺杂半导体层组成的有源层形成在基板上;所述源电极和漏电极形成在所述有源层上,源电极和漏电极之间形成 TFT 沟道区域,所述源电极、漏电极和 TFT 沟道区域上形成有第一绝缘层;所述栅线、公共电极线和栅电极形成在所述第一绝缘层上,其上形成有第二绝缘层,所述第二绝缘层和第一绝缘层上形成有使所述像素电极与漏电极连接的绝缘层过孔。

[0008] 在上述技术方案基础上,还包括用于遮挡光照射所述薄膜晶体管中 TFT 沟道区域的遮光层。

[0009] 所述遮光层位于基板与薄膜晶体管的半导体层之间。

[0010] 为了实现上述目的,本发明进一步提供了一种薄膜晶体管基板制造方法,包括:

[0011] 步骤 1、通过构图工艺形成包括有源层、数据线、源电极和漏电极的图形;

[0012] 步骤 2、沉积第一绝缘层和栅金属薄膜,通过构图工艺形成包括栅线、公共电极线和栅电极的图形,所述公共电极线包括横电极线和竖电极线,所述竖电极线位于数据线的上方,且与横电极线连接;

[0013] 步骤 3、沉积第二绝缘层,通过构图工艺形成包括绝缘层过孔的图形,所述绝缘层过孔位于所述漏电极的上方;

[0014] 步骤 4、沉积导电薄膜,通过构图工艺形成包括像素电极的图形,所述像素电极通过绝缘层过孔与漏电极连接。

[0015] 本发明提供了一种薄膜晶体管基板及其制造方法,通过在数据线上方形形成公共电极线,使公共电极线覆盖大部分数据线,由于公共电极线具有持续输入且恒定的公共电压,从而有效减小了电压不断变化的数据线对其上像素电极所产生的影响,提高显示品质。此外,由于本发明构成存储电容的公共电极线与像素电极之间只夹设有第二绝缘层,与现有技术两者之间夹设第一绝缘层和第二绝缘层的现有技术相比,本发明存储电容两个电极板之间的距离缩短,增加了单位面积的存储电容,因此本发明可以进一步改善显示效果。

#### 附图说明

[0016] 图 1 为本发明薄膜晶体管基板第一实施例的结构示意图;

[0017] 图 2 为图 1 中 A1-A1 向的剖面图;

[0018] 图 3 为本发明薄膜晶体管基板第一实施例第一次构图工艺后的平面图;

[0019] 图 4 为图 3 中 A2-A2 向的剖面图;

[0020] 图 5 为本发明薄膜晶体管基板第一实施例第二次构图工艺后的平面图;

[0021] 图 6 为图 5 中 A3-A3 向的剖面图;

[0022] 图 7 为本发明薄膜晶体管基板第一实施例第三次构图工艺后的平面图;

[0023] 图 8 为图 7 中 A4-A4 向的剖面图;

[0024] 图 9 为本发明薄膜晶体管基板第一实施例第四次构图工艺后的平面图;

[0025] 图 10 为图 9 中 A5-A5 向的剖面图;

[0026] 图 11 为本发明薄膜晶体管基板第二实施例的结构示意图;

[0027] 图 12 为图 11 中 B1-B1 向的剖面图;

[0028] 图 13 和图 14 为本发明薄膜晶体管基板第三实施例的结构示意图;

[0029] 图 15 为本发明薄膜晶体管基板制造方法的流程图。

[0030] 附图标记说明:

[0031] 1- 基板; 2- 半导体层; 3- 掺杂半导体层;

[0032] 4- 源电极; 5- 漏电极; 6- 第一绝缘层;

[0033] 7- 绝缘层过孔; 8- 栅电极; 9- 第二绝缘层;

[0034] 10- 遮光层; 11- 数据线; 12- 栅线;

[0035] 13- 像素电极； 14- 公共电极线。

### 具体实施方式

[0036] 下面通过附图和实施例,对本发明的技术方案做进一步的详细描述。

[0037] 图 1 为本发明薄膜晶体管基板第一实施例的结构示意图,图 2 为图 1 中 A1-A1 向的剖面图。如图 1 和图 2 所示,本实施例薄膜晶体管基板包括在基板 1 上形成的数据线 11 和栅线 12,相互绝缘且垂直交叉的数据线 11 和栅线 12 限定了数个像素区域,像素区域内形成有薄膜晶体管、像素电极 13 和公共电极线 14,薄膜晶体管位于数据线 11 和栅线 12 的交叉处,各像素区域的像素电极 13 为相互连接的一体结构,公共电极线 14 包括与栅线平行的横电极线和与数据线平行的竖电极线,各像素区域的横电极线相互连接,横电极线用于与像素电极构成存储电容,竖电极线与横电极线连接,且竖电极线位于数据线 11 的上方,竖电极线用于有效减小电压不断变化的数据线对像素电极的影响,提高显示品质。具体地,本实施例薄膜晶体管包括栅电极、有源层、源电极和漏电极;组成有源层的半导体层 2 和掺杂半导体层 3 形成在基板 1 上;源电极 4 和漏电极 5 的一端位于有源层上,源电极 4 与漏电极 5 之间形成 TFT 沟道区域,TFT 沟道区域的掺杂半导体层 3 被完全刻蚀掉,并刻蚀掉部分厚度的半导体层 2,使 TFT 沟道区域的半导体层 2 暴露出来;源电极 4、漏电极 5 和 TFT 沟道区域上形成有第一绝缘层 6;栅电极 8 形成在第一绝缘层 6 上并位于 TFT 沟道区域的上方;栅电极 8 上形成有第二绝缘层 9,第二绝缘层 9 和第一绝缘层 6 位于漏电极 5 位置形成有绝缘层过孔 7,绝缘层过孔 7 用于使形成在第二绝缘层 9 上的像素电极 13 与漏电极 5 连接。在上述结构中,栅电极 8 与栅线 12 连接,源电极 4 与数据线 11 连接,像素电极 13 通过绝缘层过孔 7 与漏电极 5 连接。

[0038] 图 3~图 10 为本发明薄膜晶体管基板第一实施例制备过程的示意图,下面通过本实施例薄膜晶体管基板的制备过程进一步说明本实施例的技术方案,在以下说明中,本发明所称的构图工艺包括光刻胶涂覆、掩模、曝光、刻蚀、剥离等工艺,其中光刻胶以正性光刻胶为例。

[0039] 图 3 为本发明薄膜晶体管基板第一实施例第一次构图工艺后的平面图,图 4 为图 3 中 A2-A2 向的剖面图。采用化学气相沉积或其它成膜方法,在基板 1(如玻璃基板或石英基板)上依次沉积半导体薄膜和掺杂半导体薄膜,采用普通掩模板通过构图工艺对半导体薄膜和掺杂半导体薄膜进行构图,在基板 1 上形成包括有源层的图形,有源层由半导体层 2 和掺杂半导体层 3 组成,如图 3 和图 4 所示。

[0040] 图 5 为本发明薄膜晶体管基板第一实施例第二次构图工艺后的平面图,图 6 为图 5 中 A3-A3 向的剖面图。在完成图 3 所示构图的基板上,采用磁控溅射、热蒸发或其它成膜方法,沉积一层源漏金属薄膜,采用普通掩模板通过构图工艺对源漏金属薄膜进行构图,在基板 1 上形成包括数据线 11、源电极 4、漏电极 5 和 TFT 沟道区域的图形,其中源电极 4 的一端位于有源层上,另一端位于基板 1 上并与数据线 11 连接,漏电极 5 的一端位于有源层上,另一端位于基板 1 上,源电极 4 与漏电极 5 之间形成 TFT 沟道区域,TFT 沟道区域的掺杂半导体层 3 被完全刻蚀掉,并刻蚀掉部分厚度的半导体层 2,使 TFT 沟道区域的半导体层 2 暴露出来,如图 5 和图 6 所示。

[0041] 图 7 为本发明薄膜晶体管基板第一实施例第三次构图工艺后的平面图,图 8 为图 7

中 A4-A4 向的剖面图。在完成图 5 所示构图的基板上,首先采用化学气相沉积或其它成膜方法,沉积一层第一绝缘层 6,然后采用磁控溅射、热蒸发或其它成膜方法,沉积一层栅金属薄膜,采用普通掩模板通过构图工艺对栅金属薄膜进行构图,在基板 1 上形成栅线 12、公共电极线 14 和栅电极 8 的图形,其中栅电极 8 与栅线 12 连接,并位于 TFT 沟道区域的上方,公共电极线 14 包括与栅线平行的横电极线和与数据线平行的竖电极线,各像素区域的横电极线相互连接,竖电极线与横电极线连接,且竖电极线位于数据线 11 的上方,如图 7 和图 8 所示。

[0042] 图 9 为本发明薄膜晶体管基板第一实施例第四次构图工艺后的平面图,图 10 为图 9 中 A5-A5 向的剖面图。在完成图 7 所示构图的基板上,采用化学气相沉积或其它成膜方法,沉积一层第二绝缘层 9,采用普通掩模板通过构图工艺对第二绝缘层进行构图,在漏电极 5 的上方形形成绝缘层过孔 7 图形,绝缘层过孔 7 内的第二绝缘层 9 和第一绝缘层 6 被完全刻蚀掉,暴露出漏电极 5 的表面,如图 9 和图 10 所示。本次构图工艺中,还同时在栅线接口区域(栅线 PAD 区域)和数据线接口区域(数据线 PAD 区域)分别形成栅线接口过孔和数据线接口过孔图形,栅线接口过孔和数据线接口过孔图形的结构和形成过程与现有技术相同,不再赘述。

[0043] 最后,采用磁控溅射、热蒸发或其它成膜方法,沉积一层导电薄膜,采用普通掩模板通过构图工艺形成包括像素电极 13 的图形,像素电极 13 通过绝缘层过孔 7 与漏电极 5 连接,如图 1 和图 2 所示。

[0044] 图 11 为本发明薄膜晶体管基板第二实施例的结构示意图,图 12 为图 11 中 B1-B1 向的剖面图。如图 11 和图 12 所示,本实施例薄膜晶体管基板的主体结构与前述第一实施例基本相同,所不同的是本实施例薄膜晶体管基板采用四次构图工艺制备完成。具体地,源电极 4 和漏电极 5 形成在有源层上,源电极 4 与数据线 11 连接,漏电极 5 通过绝缘层过孔 7 与像素电极 13 连接,源电极 4 与漏电极 5 之间形成 TFT 沟道区域。

[0045] 下面简单说明本实施例薄膜晶体管基板的制备过程。

[0046] 首先采用化学气相沉积或其它成膜方法,在基板上依次沉积半导体薄膜和掺杂半导体薄膜,然后采用磁控溅射、热蒸发或其它成膜方法,沉积一层源漏金属薄膜。采用半色调或灰色调掩模板通过构图工艺对半导体薄膜、掺杂半导体薄膜和源漏金属薄膜进行构图,在基板上形成有源层、数据线、源电极、漏电极和 TFT 沟道区域。具体地,在源漏金属薄膜上涂敷一层光刻胶,采用半色调或灰色调掩模板对光刻胶进行曝光处理,显影后使光刻胶形成光刻胶完全去除区域(即完全曝光区域)、光刻胶部分保留区域(即部分曝光区域)和光刻胶完全保留区域(即未曝光区域),其中光刻胶完全保留区域对应于数据线、源电极和漏电极图形所在区域,光刻胶部分保留区域对应于源电极与漏电极之间的 TFT 沟道区域图形所在区域,光刻胶完全去除区域对应于上述图形以外区域。通过第一次刻蚀工艺刻蚀掉光刻胶完全去除区域的源漏金属薄膜、掺杂半导体薄膜和半导体薄膜,形成包括有源层和数据线的图形。通过灰化工艺去除掉光刻胶部分保留区域的光刻胶,暴露出该区域的源漏金属薄膜。通过第二次刻蚀工艺刻蚀掉光刻胶部分保留区域的源漏金属薄膜和掺杂半导体薄膜,并刻蚀掉部分厚度的半导体薄膜,形成包括源电极、漏电极和 TFT 沟道区域的图形。最后剥离剩余的光刻胶,完成本次构图工艺。上述采用半色调或灰色调掩模板形成有源层、数据线、源电极、漏电极和 TFT 沟道区域图形的工艺已广泛应用于目前四次构图工艺

中。由于有源层和数据线同时形成,因此本实施例数据线下方还保留有半导体薄膜和掺杂半导体薄膜。

[0047] 后续形成第一绝缘层、栅线、公共电极线和栅电极图形、第二绝缘层和绝缘层过孔图形、像素电极图形的过程与前述第一实施例相同,不再赘述。

[0048] 图 13 和图 14 为本发明薄膜晶体管基板第三实施例的结构示意图,其中图 13 为图 1 中 A1-A1 向的剖面图,图 14 为图 11 中 B1-B1 向的剖面图。本实施例薄膜晶体管基板的基本结构与前述第一实施例和第二实施例基本相同,所不同的是,薄膜晶体管还包括形成在基板 1 上的遮光层 10,遮光层 10 形成在基板 1 与半导体层 2 之间,用于遮挡照射 TFT 沟道区域的光,提高薄膜晶体管的工作可靠性。本实施例薄膜晶体管基板的制备过程与前述第一实施例和第二实施例的制备过程基本相同,遮光层可以采用化学气相沉积或其它成膜方法与半导体层和掺杂半导体层一起依次沉积。对于图 13 所示结构,第一次构图工艺具体为:首先在基板上依次沉积遮光薄膜、半导体薄膜和掺杂半导体薄膜,随后采用普通掩模板通过构图工艺在基板上形成包括遮光层和有源层的图形,有源层包括半导体层和掺杂半导体层,遮光层位于半导体层的下方。对于图 14 所示结构,第一次构图工艺具体为:首先在基板上依次沉积遮光薄膜、半导体薄膜和掺杂半导体薄膜,随后沉积一层源漏金属薄膜;在源漏金属薄膜上涂敷一层光刻胶;采用半色调或灰色调掩模板对光刻胶进行曝光处理,显影后使光刻胶形成光刻胶完全去除区域、光刻胶部分保留区域和光刻胶完全保留区域,其中光刻胶完全保留区域对应于数据线、源电极和漏电极图形所在区域,光刻胶部分保留区域对应于 TFT 沟道区域图形所在区域,光刻胶完全去除区域对应于上述图形以外区域;通过第一次刻蚀工艺刻蚀掉光刻胶完全去除区域的源漏金属薄膜、掺杂半导体薄膜、半导体薄膜和遮光薄膜,形成包括遮光层、有源层和数据线的图形,有源层包括半导体层和掺杂半导体层,遮光层位于半导体层的下方;通过灰化工艺去除掉光刻胶部分保留区域的光刻胶,暴露出该区域的源漏金属薄膜;通过第二次刻蚀工艺刻蚀掉光刻胶部分保留区域的源漏金属薄膜和掺杂半导体薄膜,并刻蚀掉部分厚度的半导体薄膜,形成源电极、漏电极和 TFT 沟道区域图形;最后剥离剩余的光刻胶,完成本次构图工艺。

[0049] 后续形成第一绝缘层、栅线、公共电极线和栅电极图形、第二绝缘层和绝缘层过孔图形、像素电极图形的过程与前述第一实施例相同,不再赘述。

[0050] 本发明提供了一种薄膜晶体管基板,通过在数据线上方形形成公共电极线,使公共电极线覆盖大部分数据线,由于公共电极线具有持续输入且恒定的公共电压,从而有效减小了电压不断变化的数据线对其上像素电极所产生的影响,提高显示品质。此外,由于本发明构成存储电容的公共电极线与像素电极之间只夹设有第二绝缘层,与现有技术两者之间夹设第一绝缘层和第二绝缘层的现有技术相比,本发明存储电容两个电极板之间的距离缩短,增加了单位面积的存储电容,因此本发明可以进一步改善显示效果。

[0051] 图 15 为本发明薄膜晶体管基板制造方法的流程图,具体包括:

[0052] 步骤 1、通过构图工艺形成包括有源层、数据线、源电极和漏电极的图形;

[0053] 步骤 2、沉积第一绝缘层和栅金属薄膜,通过构图工艺形成包括栅线、公共电极线和栅电极的图形,所述公共电极线包括横电极线和竖电极线,所述竖电极线位于数据线的上方,且与横电极线连接;

[0054] 步骤 3、沉积第二绝缘层,通过构图工艺形成包括绝缘层过孔的图形,所述绝缘层



过孔位于所述漏电极的上方；

[0055] 步骤 4、沉积导电薄膜，通过构图工艺形成包括像素电极的图形，所述像素电极通过绝缘层过孔与漏电极连接。

[0056] 本发明提供了一种薄膜晶体管基板制造方法，通过在数据线上方形形成公共电极线，使公共电极线覆盖大部分数据线，由于公共电极线具有持续输入且恒定的公共电压，从而有效减小了电压不断变化的数据线对其上像素电极所产生的影响，提高显示品质。

[0057] 在图 15 所示技术方案中，步骤 1 可以采用普通掩模板的二次构图工艺形成包括有源层、数据线、源电极和漏电极的图形，具体包括：

[0058] 在基板上依次沉积半导体薄膜和掺杂半导体薄膜，采用普通掩模板通过构图工艺在基板上形成包括有源层的图形，所述有源层包括半导体层和掺杂半导体层；

[0059] 在完成前述步骤的基板上沉积一层源漏金属薄膜，采用普通掩模板通过构图工艺形成包括数据线、源电极、漏电极和 TFT 沟道区域的图形。

[0060] 在图 15 所示技术方案中，步骤 1 可以采用半色调或灰色调掩模板的一次构图工艺形成包括有源层、数据线、源电极和漏电极的图形，具体包括：

[0061] 在基板上依次沉积半导体薄膜和掺杂半导体薄膜；

[0062] 在完成前述步骤的基板上沉积一层源漏金属薄膜；

[0063] 在源漏金属薄膜上涂敷一层光刻胶；

[0064] 采用半色调或灰色调掩模板对光刻胶进行曝光处理，显影后使光刻胶形成光刻胶完全去除区域、光刻胶部分保留区域和光刻胶完全保留区域，其中光刻胶完全保留区域对应于数据线、源电极和漏电极图形所在区域，光刻胶部分保留区域对应于 TFT 沟道区域图形所在区域，光刻胶完全去除区域对应于上述图形以外区域；

[0065] 通过第一次刻蚀工艺刻蚀掉光刻胶完全去除区域的源漏金属薄膜、掺杂半导体薄膜和半导体薄膜；

[0066] 通过灰化工艺去除掉光刻胶部分保留区域的光刻胶，暴露出该区域的源漏金属薄膜；

[0067] 通过第二次刻蚀工艺刻蚀掉光刻胶部分保留区域的源漏金属薄膜和掺杂半导体薄膜，并刻蚀掉部分厚度的半导体薄膜；

[0068] 剥离剩余的光刻胶。

[0069] 在图 15 所示技术方案中，步骤 1 可以采用普通掩模板的二次构图工艺形成包括遮光层、有源层、数据线、源电极和漏电极的图形，具体包括：

[0070] 在基板上依次沉积遮光薄膜、半导体薄膜和掺杂半导体薄膜，采用普通掩模板通过构图工艺在基板上形成包括遮光层和有源层的图形，所述有源层包括半导体层和掺杂半导体层，所述遮光层位于半导体层的下方；

[0071] 在完成前述步骤的基板上沉积一层源漏金属薄膜，采用普通掩模板通过构图工艺形成包括数据线、源电极、漏电极和 TFT 沟道区域的图形。

[0072] 在图 15 所示技术方案中，步骤 1 可以采用半色调或灰色调掩模板的一次构图工艺形成包括遮光层、有源层、数据线、源电极和漏电极的图形，具体包括：

[0073] 在基板上依次沉积遮光薄膜、半导体薄膜和掺杂半导体薄膜；

[0074] 在完成前述步骤的基板上沉积一层源漏金属薄膜；

[0075] 在源漏金属薄膜上涂敷一层光刻胶；

[0076] 采用半色调或灰色调掩模板对光刻胶进行曝光处理，显影后使光刻胶形成光刻胶完全去除区域、光刻胶部分保留区域和光刻胶完全保留区域，其中光刻胶完全保留区域对应于数据线、源电极和漏电极图形所在区域，光刻胶部分保留区域对应于 TFT 沟道区域图形所在区域，光刻胶完全去除区域对应于上述图形以外区域；

[0077] 通过第一次刻蚀工艺刻蚀掉光刻胶完全去除区域的源漏金属薄膜、掺杂半导体薄膜、半导体薄膜和遮光薄膜；

[0078] 通过灰化工艺去除掉光刻胶部分保留区域的光刻胶，暴露出该区域的源漏金属薄膜；

[0079] 通过第二次刻蚀工艺刻蚀掉光刻胶部分保留区域的源漏金属薄膜和掺杂半导体薄膜，并刻蚀掉部分厚度的半导体薄膜；

[0080] 剥离剩余的光刻胶。

[0081] 本发明薄膜晶体管基板制造方法的技术方案已在前述本发明薄膜晶体管基板技术方案中详细介绍。

[0082] 最后应说明的是：以上实施例仅用以说明本发明的技术方案而非限制，尽管参照较佳实施例对本发明进行了详细说明，本领域的普通技术人员应当理解，可以对本发明的技术方案进行修改或者等同替换，而不脱离本发明技术方案的精神和范围。

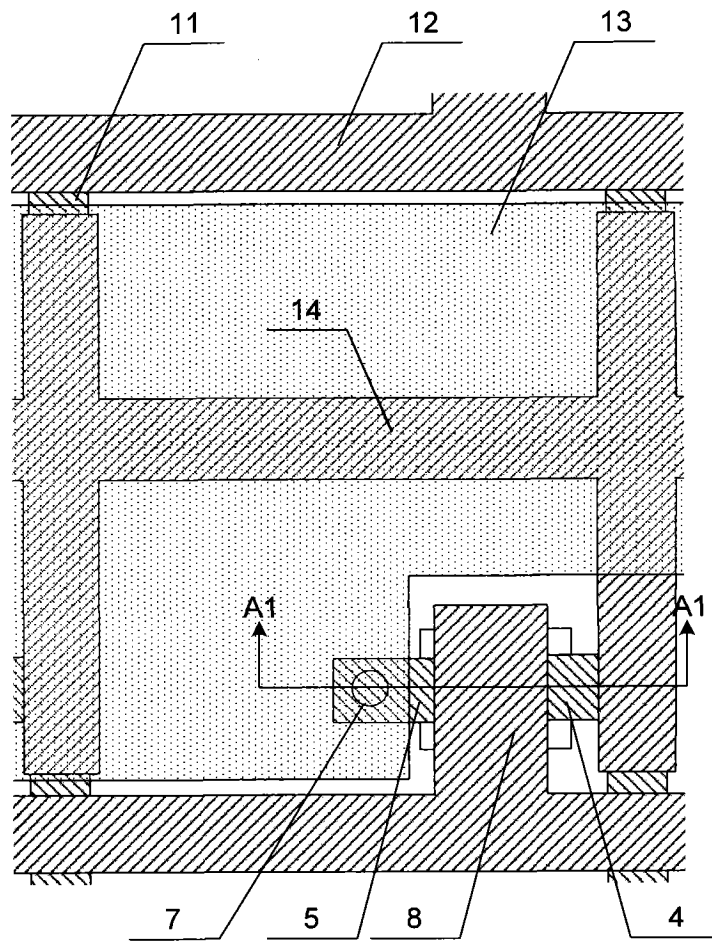


图 1

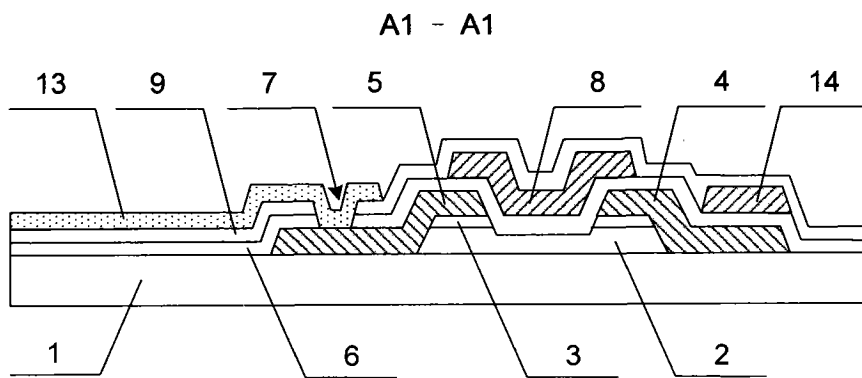


图 2

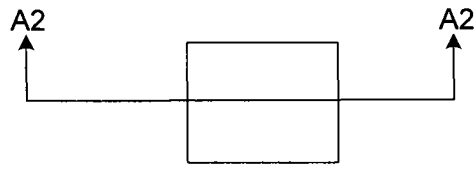


图 3

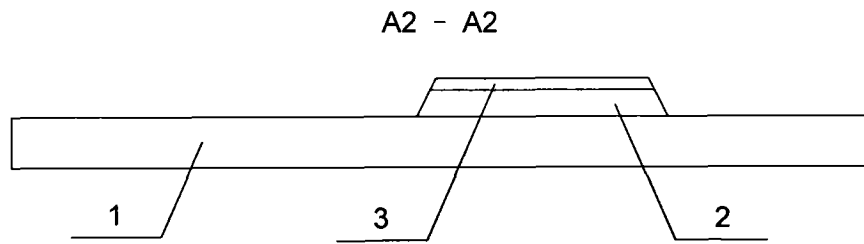


图 4

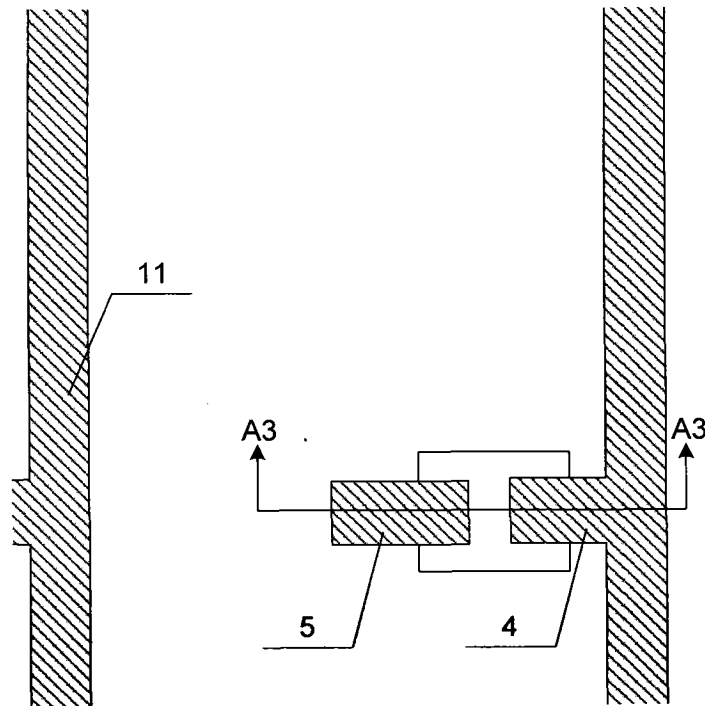


图 5

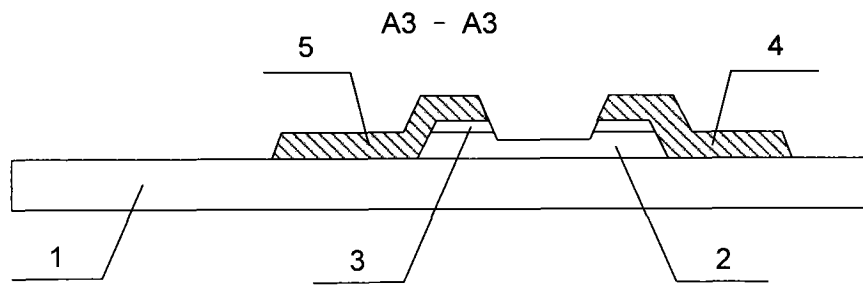


图 6

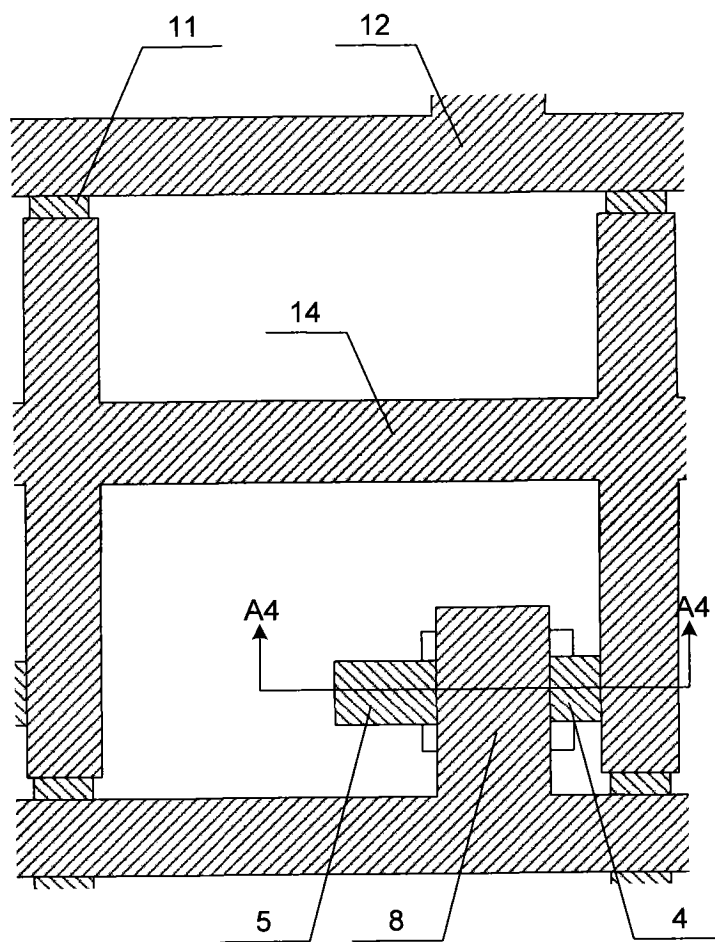


图 7

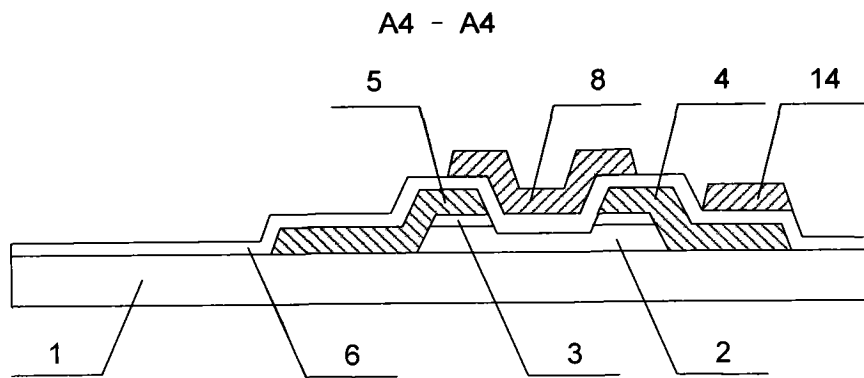


图 8

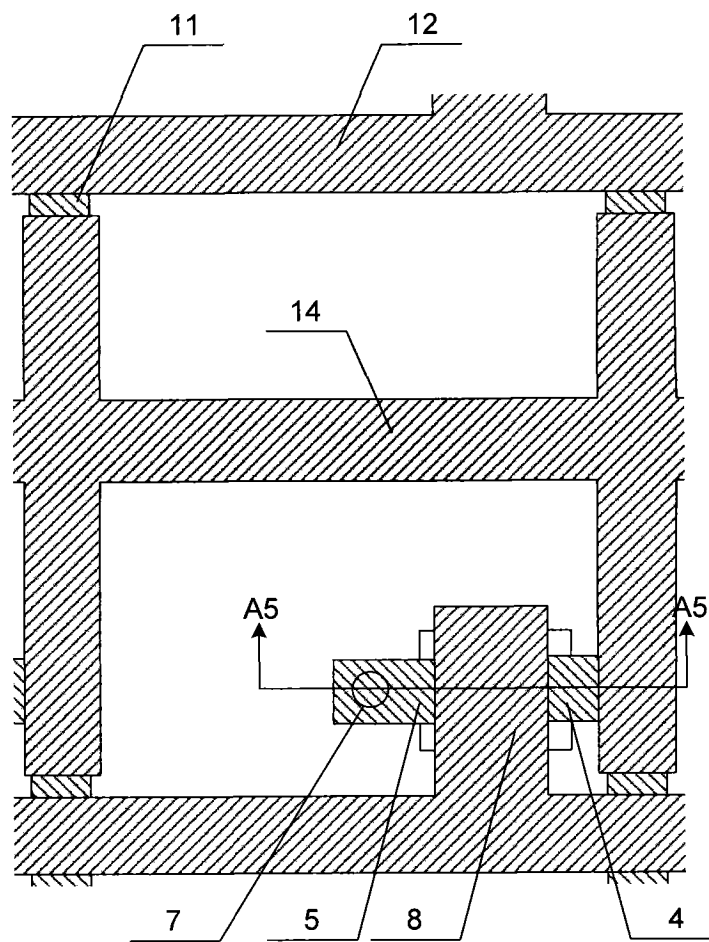


图 9

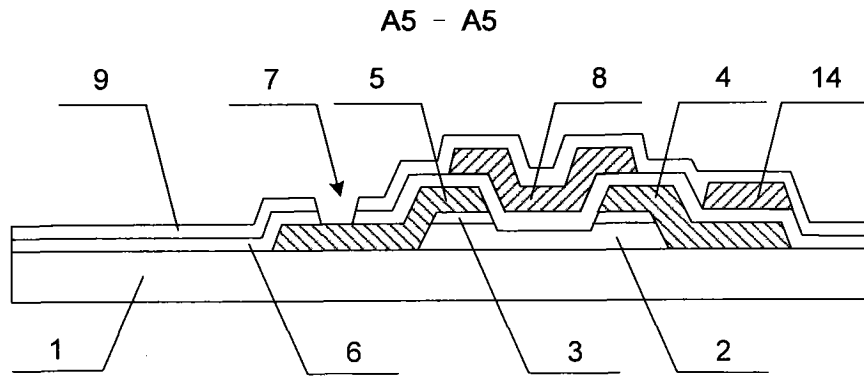


图 10

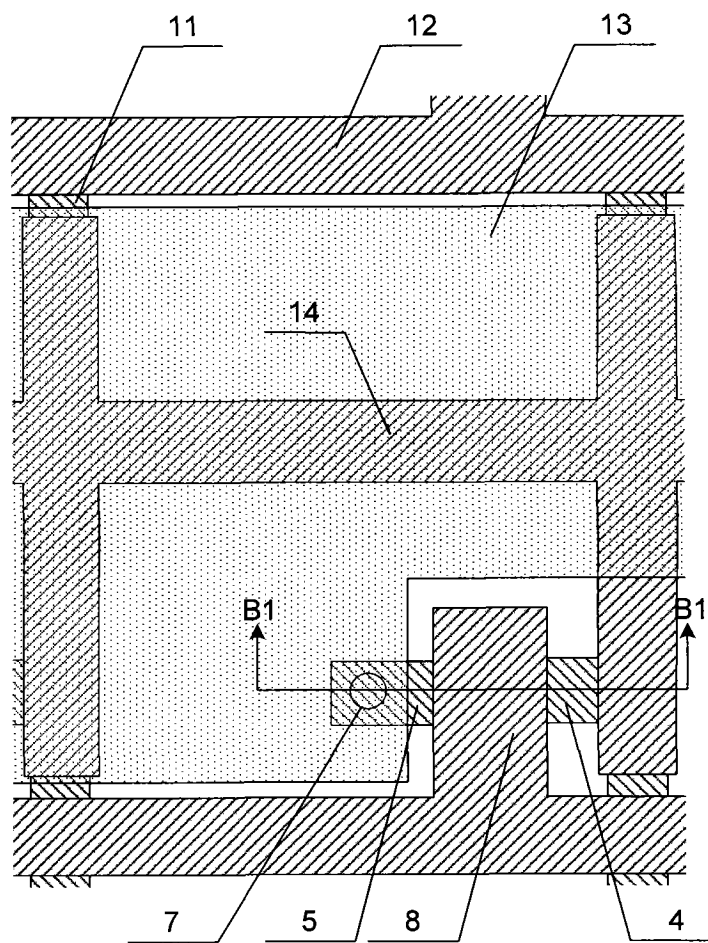


图 11

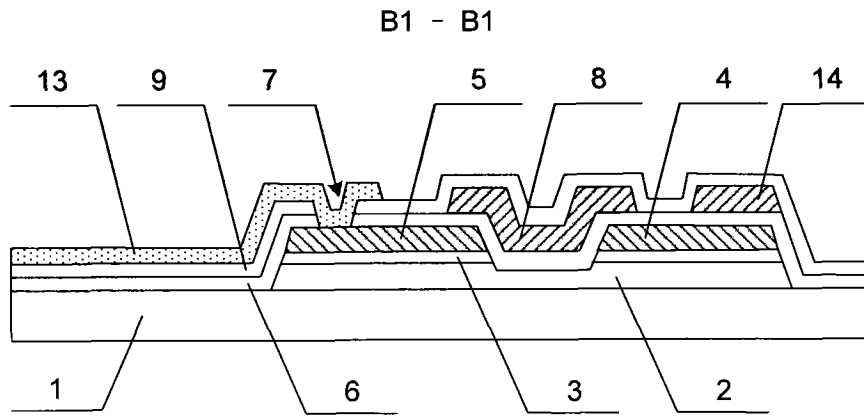


图 12

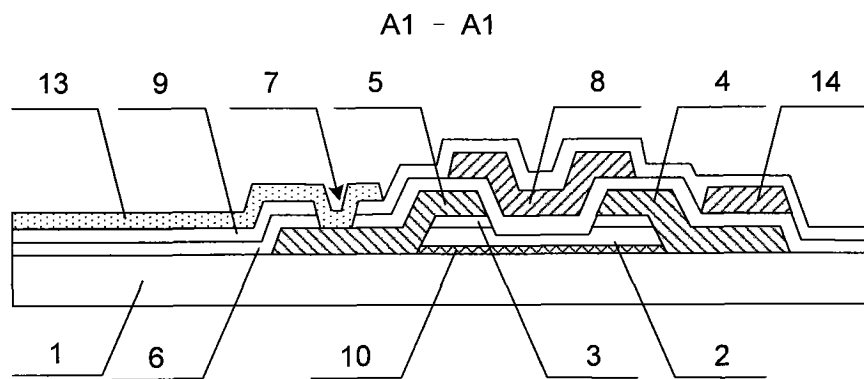


图 13

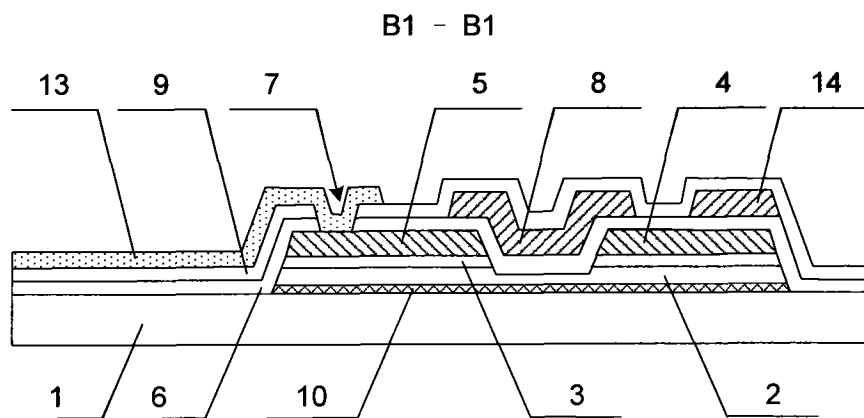


图 14



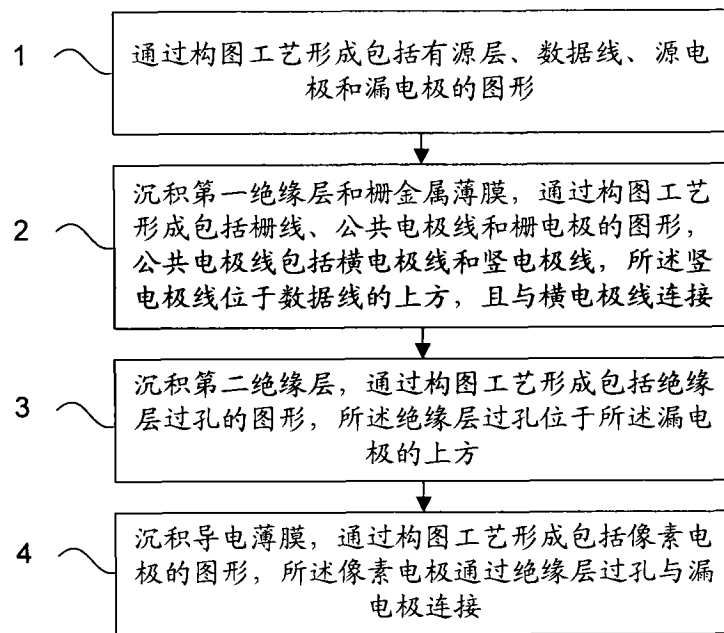


图 15