



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0116637
(43) 공개일자 2022년08월23일

(51) 국제특허분류(Int. Cl.)
H01L 27/108 (2006.01)

(52) CPC특허분류
H01L 27/10888 (2013.01)
H01L 27/10814 (2013.01)

(21) 출원번호 10-2021-0019713
(22) 출원일자 2021년02월15일
심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

장현우

경기도 수원시 권선구 세권로 1, 313동 902호(세류동, LH수원센트럴타운3단지)

신수호

경기도 화성시 동탄대로시범길 168, 1029동 901호(청계동, 동탄역 시범반도유보라아이비파크 1.0)

(뒷면에 계속)

(74) 대리인

특허법인가산

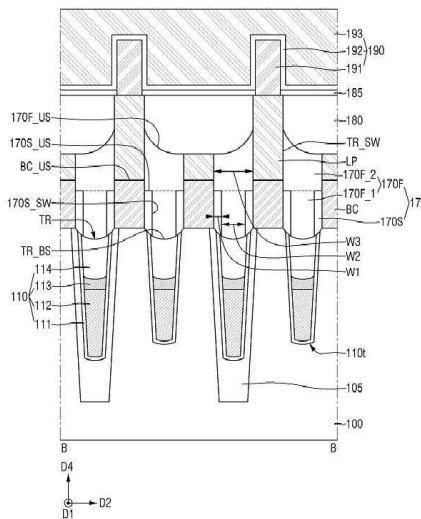
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 메모리 장치

(57) 요약

본 발명은 소자 성능 및 신뢰성을 개선할 수 있는 반도체 메모리 장치를 제공하는 것이다. 본 발명의 몇몇 실시예에 따른 반도체 메모리 장치는, 기판, 기판 내에, 제1 방향으로 연장된 게이트 전극, 기판 상에, 상기 기판과 연결된 복수의 매물 컨택 및 게이트 전극 상에, 인접하는 매물 컨택 사이에 정의된 트랜치를 채우는 펜스를 포함하고, 펜스는 트랜치의 측벽의 일부 상에 배치되고, 제1 방향과 교차하는 제2 방향으로 연장되는 스페이서막 및 스페이서막 상에, 트랜치를 채우는 필링막을 포함하고, 스페이서막의 상면은 필링막의 상면보다 낮다.

대표도 - 도3



(52) CPC특허분류

H01L 27/10855 (2013.01)

(72) 발명자

박동식

경기도 수원시 영통구 광교중앙로25번길 17(원천동)

이종민

경기도 화성시 동탄대로시범길 236, 924동 2201호
(청계동, 동탄역 시범리슈빌 아파트)

장지훈

경기도 용인시 기흥구 연원로 49, 104동 204호(보정동, 연원마을성원상떼빌아파트)

명세서

청구범위

청구항 1

기관;

상기 기관 내에, 제1 방향으로 연장된 게이트 전극;

상기 기관 상에, 상기 기관과 연결된 복수의 매몰 콘택; 및

상기 게이트 전극 상에, 인접하는 매몰 콘택 사이에 정의된 트렌치를 채우는 펜스를 포함하고,

상기 펜스는 상기 트렌치의 측벽의 일부 상에 배치되고, 상기 제1 방향과 교차하는 제2 방향으로 연장되는 스페이서막 및 상기 스페이서막 상에, 상기 트렌치를 채우는 필링막을 포함하고,

상기 스페이서막의 상면은 상기 필링막의 상면보다 낮은 반도체 메모리 장치.

청구항 2

제 1항에 있어서,

상기 필링막의 적어도 일부는 상기 스페이서막과 상기 제2 방향으로 오버랩되는 반도체 메모리 장치.

청구항 3

제 1항에 있어서,

상기 스페이서막의 상기 제1 방향 및 상기 제2 방향과 교차하는 제3 방향으로의 폭은 0.5nm 내지 10nm인 반도체 메모리 장치.

청구항 4

제 1항에 있어서,

상기 스페이서막의 상면은 상기 매몰 콘택의 상면보다 낮은 반도체 메모리 장치.

청구항 5

제 1항에 있어서,

상기 게이트 전극 상의 게이트 캡핑 패턴을 더 포함하고,

상기 트렌치의 바닥면은 상기 게이트 캡핑 패턴에 의해 정의되고,

상기 스페이서막은 상기 트렌치의 바닥면을 따라 비연장되는 반도체 메모리 장치.

청구항 6

기관;

상기 기관 내에, 제1 방향으로 연장된 게이트 전극;

상기 기관 상에, 상기 기관과 연결된 복수의 매몰 콘택; 및

상기 게이트 전극 상에, 인접하는 매몰 콘택 사이에 정의된 트렌치를 채우는 펜스를 포함하고,

상기 펜스는 상기 트렌치의 측벽의 일부 상에 배치되고, 상기 제1 방향과 교차하는 제2 방향으로 연장되는 스페이서막 및 상기 스페이서막 상에, 상기 트렌치를 채우는 필링막을 포함하고,

상기 필링막은 상기 제1 방향 및 상기 제2 방향과 교차하는 제3 방향으로의 제1 폭을 갖는 제1 부분과, 상기 제1 부분 상에, 상기 제3 방향으로의 제2 폭을 갖는 제2 부분을 포함하고,

상기 제2 폭은 상기 제1 폭보다 크고,

상기 필링막의 제2 부분의 적어도 일부는 상기 스페이서막과 상기 제2 방향으로 오버랩되는 반도체 메모리 장치.

청구항 7

제 6항에 있어서,

상기 스페이서막의 상면은 상기 매몰 컨택의 상면보다 낮은 반도체 메모리 장치.

청구항 8

제 6항에 있어서,

상기 게이트 전극 상의 게이트 캡핑 패턴을 더 포함하고,

상기 트렌치의 바닥면은 상기 게이트 캡핑 패턴에 의해 정의되고,

상기 스페이서막은 상기 트렌치의 바닥면과 상기 트렌치의 측벽의 일부를 따라 연장되는 반도체 메모리 장치.

청구항 9

제 6항에 있어서,

상기 스페이서막은 상기 필링막보다 낮은 유전 상수를 갖는 물질을 포함하는 반도체 메모리 장치,

청구항 10

기관;

상기 기관 내에, 제1 방향으로 연장된 게이트 전극 및 상기 게이트 전극 상의 게이트 캡핑 패턴을 포함하는 게이트 구조체;

상기 기관 상에, 상기 기관과 연결된 복수의 매몰 컨택; 및

상기 게이트 전극 상에, 인접하는 매몰 컨택 사이에 정의된 트렌치를 채우는 펜스를 포함하고,

상기 트렌치의 바닥면은 상기 게이트 캡핑 패턴에 의해 정의되고,

상기 펜스는 상기 트렌치의 양 측벽의 일부 상에 배치되고, 상기 제1 방향과 교차하는 제2 방향으로 연장되는 한 쌍의 스페이서막과, 상기 스페이서막 상에, 상기 트렌치를 채우는 필링막을 포함하고,

상기 필링막은 상기 제1 방향 및 상기 제2 방향과 교차하는 제3 방향으로의 제1 폭을 갖는 제1 부분과, 상기 제1 부분 상에, 상기 제3 방향으로의 제2 폭을 갖는 제2 부분을 포함하고,

상기 제2 폭은 상기 제1 폭보다 크고,

상기 스페이서막의 상면은 상기 필링막의 제2 부분의 상면보다 낮고,

상기 트렌치의 바닥면은 상기 게이트 캡핑 패턴에 의해 정의되고,

상기 스페이서막은 상기 트렌치의 바닥면을 따라 비연장되는 반도체 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 메모리 장치에 관한 것이다.

배경 기술

[0002] 반도체 소자가 점점 고집적화됨에 따라, 동일한 면적에 보다 많은 반도체 소자를 구현하기 위해 개별 회로 패턴들은 더욱 미세화 되어 가고 있다. 즉, 반도체 소자의 집적도가 증가함에 따라 반도체 소자의 구성 요소들에 대한 디자인 룰이 감소하고 있다.

[0003] 고도로 스케일링(scaling)된 반도체 소자에서, 복수의 매몰 컨택(Buried Contact: BC)과 이들 사이에 개재되는 펜스를 형성하는 공정이 점차 복잡해지고 어려워지고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하려는 과제는, 소자 성능 및 신뢰성을 개선할 수 있는 반도체 메모리 장치를 제공하는 것이다.

[0005] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예에 따른 반도체 메모리 장치는, 기판, 기판 내에, 제1 방향으로 연장된 게이트 전극, 기판 상에, 상기 기판과 연결된 복수의 매몰 컨택 및 게이트 전극 상에, 인접하는 매몰 컨택 사이에 정의된 트렌치를 채우는 펜스를 포함하고, 펜스는 트렌치의 측벽의 일부 상에 배치되고, 제1 방향과 교차하는 제2 방향으로 연장되는 스페이서막 및 스페이서막 상에, 트렌치를 채우는 필링막을 포함하고, 스페이서막의 상면은 필링막의 상면보다 낮다.

[0007] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예에 따른 반도체 메모리 장치는, 기판, 기판 내에, 제1 방향으로 연장된 게이트 전극, 기판 상에, 기판과 연결된 복수의 매몰 컨택, 및 게이트 전극 상에, 인접하는 매몰 컨택 사이에 정의된 트렌치를 채우는 펜스를 포함하고, 펜스는 트렌치의 측벽의 일부 상에 배치되고, 제1 방향과 교차하는 제2 방향으로 연장되는 스페이서막 및 스페이서막 상에, 트렌치를 채우는 필링막을 포함하고, 필링막은 제1 방향 및 제2 방향과 교차하는 제3 방향으로의 제1 폭을 갖는 제1 부분과, 제1 부분 상에, 제3 방향으로의 제2 폭을 갖는 제2 부분을 포함하고, 제2 폭은 제1 폭보다 크고, 필링막의 제2 부분의 적어도 일부는 스페이서막과 제2 방향으로 오버랩된다.

[0008] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예에 따른 반도체 메모리 장치는, 기판, 상기 기판 내에, 제1 방향으로 연장된 게이트 전극 및 게이트 전극 상의 게이트 캡핑 패턴을 포함하는 게이트 구조체, 기판 상에, 기판과 연결된 복수의 매몰 컨택, 및 게이트 전극 상에, 인접하는 매몰 컨택 사이에 정의된 트렌치를 채우는 펜스를 포함하고, 트렌치의 바닥면은 게이트 캡핑 패턴에 의해 정의되고, 펜스는 트렌치의 양 측벽의 일부 상에 배치되고, 제1 방향과 교차하는 제2 방향으로 연장되는 한 쌍의 스페이서막과, 스페이서막 상에, 트렌치를 채우는 필링막을 포함하고, 필링막은 제1 방향 및 상기 제2 방향과 교차하는 제3 방향으로의 제1 폭을 갖는 제1 부분과, 상기 제1 부분 상에, 상기 제3 방향으로의 제2 폭을 갖는 제2 부분을 포함하고, 제2 폭은 제1 폭보다 크고, 스페이서막의 상면은 필링막의 제2 부분의 상면보다 낮고, 트렌치의 바닥면은 게이트 캡핑 패턴에 의해 정의되고, 스페이서막은 트렌치의 바닥면을 따라 비연장된다.

[0009] 기타 실시예들의 구체적인 사항들은 발명의 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

[0010] 도 1은 몇몇 실시예들에 따른 반도체 메모리 장치를 설명하기 위한 예시적인 레이아웃도이다.

도 2는 도 1의 A-A를 따라 절단한 단면도이다.

도 3은 도 1의 B-B를 따라 절단한 단면도이다.

도 4는 몇몇 실시예들에 따른 반도체 메모리 장치를 설명하기 위한 도면이다.

도 5는 몇몇 실시예들에 따른 반도체 메모리 장치를 설명하기 위한 도면이다.

도 6은 몇몇 실시예들에 따른 반도체 메모리 장치를 설명하기 위한 도면이다.

도 7은 몇몇 실시예들에 따른 반도체 메모리 장치를 설명하기 위한 도면이다.

도 8은 몇몇 실시예들에 따른 반도체 메모리 장치를 설명하기 위한 도면이다.

도 9는 몇몇 실시예들에 따른 반도체 메모리 장치를 설명하기 위한 도면이다.

도 10 내지 도 25는 몇몇 실시예들에 따른 반도체 메모리 장치 제조 방법을 설명하기 위한 중간단계

도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하에서, 도 1 내지 도 3을 참조하여, 몇몇 실시예들에 따른 반도체 메모리 장치에 대해 설명한다.
- [0012] 도 1은 몇몇 실시예들에 따른 반도체 메모리 장치를 설명하기 위한 예시적인 레이아웃도이다. 도 2는 도 1의 A-A를 따라 절단한 단면도이다. 도 3은 도 1의 B-B를 따라 절단한 단면도이다.
- [0013] 몇몇 실시예들에 따른 반도체 메모리 장치에 관한 도면에서, 예시적으로 DRAM(Dynamic Random Access Memory)이 도시되었지만, 이에 제한되는 것은 아니다.
- [0014] 도 1 내지 도 3을 참고하면, 몇몇 실시예들에 따른 반도체 메모리 장치는 기판(100), 소자 분리막(105), 비트 라인(BL; bit line), 워드 라인(WL; word line), 다이렉트 콘택(DC; direct contact), 펜스(170), 매몰 콘택(BC; buried contact), 랜딩 패드(LP), 층간 절연막(180) 및 커패시터(190)를 포함한다.
- [0015] 기판(100)은 벌크 실리콘 또는 SOI(silicon-on-insulator)일 수 있다. 이와 달리, 기판(100)은 실리콘 기판일 수도 있고, 또는 다른 물질, 예를 들어, 실리콘게르마늄, SGOI(silicon germanium on insulator), 안티몬화 인듐, 납 텔루르 화합물, 인듐 비소, 인듐 인화물, 갈륨 비소 또는 안티몬화 갈륨을 포함할 수 있으나, 이에 한정되는 것은 아니다. 이하의 설명에서, 기판(100)은 실리콘 기판인 것으로 설명한다.
- [0016] 기판(100)은 복수의 활성 영역(ACT)을 포함할 수 있다. 활성 영역(ACT)은 기판(100) 내에 형성된 소자 분리막(105)에 의해 정의될 수 있다. 반도체 메모리 장치의 디자인 룰의 감소에 따라, 도시된 바와 같이 활성 영역(ACT)은 사선(diagonal line or oblique line)의 바(bar) 형태로 배치될 수 있다. 예를 들어, 활성 영역(ACT)은 제3 방향(D3)으로 연장될 수 있다.
- [0017] 활성 영역(ACT)은 제1 방향(D1) 및 제2 방향(D2)이 연장되는 평면에서, 제1 방향(D1) 및 제2 방향(D2)이 아닌 임의의 제3 방향(D3)으로 연장되는 바 형태로 형성될 수 있다. 또한, 활성 영역(ACT)은 서로 평행한 방향으로 연장되는 복수 개의 바 형태일 수 있다. 또한, 복수 개의 활성 영역(ACT) 중 하나의 활성 영역(ACT)의 중심은 다른 하나의 활성 영역(ACT)의 말단부와 인접하도록 배치될 수 있다. 활성 영역(ACT)은 불순물을 포함하여 소오스 및 드레인 영역을 형성할 수 있다.
- [0018] 활성 영역(ACT)을 가로질러 제1 방향(D1)으로 연장되는 복수의 게이트 전극(112)이 배치될 수 있다. 복수의 게이트 전극(112)은 서로 간에 평행하게 연장될 수 있다. 복수의 게이트 전극(112)은 예를 들어, 복수의 워드 라인(WL)일 수 있다. 워드 라인(WL)은 등 간격으로 배치될 수 있다. 복수의 워드 라인들은 서로 제2 방향(D2)으로 이격될 수 있다. 워드 라인(WL)의 폭이나 워드 라인(WL) 사이의 간격은 디자인 룰에 따라 결정될 수 있다.
- [0019] 워드 라인(WL) 상에는 워드 라인(WL)과 교차하는 제2 방향(D2)으로 연장되는 복수의 비트 라인(BL)이 배치될 수 있다. 복수의 비트 라인(BL)은 서로 간에 평행하게 연장될 수 있다. 복수의 비트 라인(BL)은 서로 제1 방향(D1)으로 이격될 수 있다. 비트 라인(BL)은 등 간격으로 배치될 수 있다. 비트 라인(BL)의 폭이나 비트 라인(BL) 사이의 간격은 디자인 룰에 따라 결정될 수 있다.
- [0020] 몇몇 실시예들에 따른 반도체 메모리 장치는 활성 영역(ACT) 상에 형성된 다양한 콘택 배열들을 포함할 수 있다. 다양한 콘택 배열은 예를 들어, 다이렉트 콘택(DC), 매몰 콘택(BC), 및 랜딩 패드(LP) 등을 포함할 수 있다.
- [0021] 여기서, 다이렉트 콘택(DC)은 활성 영역(ACT)을 비트 라인(BL)에 전기적으로 연결시키는 콘택을 의미할 수 있다. 매몰 콘택(BC)은 활성 영역(ACT)을 커패시터(190)의 하부 전극(191)에 연결시키는 콘택을 의미할 수 있다. 배치 구조상, 매몰 콘택(BC)과 활성 영역(ACT)의 접촉 면적이 작을 수 있다. 그에 따라, 활성 영역(ACT)과 접촉 면적을 확대하는 것과 함께 커패시터(190)의 하부 전극(191)과의 접촉 면적 확대를 위해, 도전성의 랜딩 패드(LP)가 도입될 수 있다.
- [0022] 랜딩 패드(LP)는 활성 영역(ACT)과 매몰 콘택(BC) 사이에 배치될 수도 있고, 매몰 콘택(BC)과 커패시터(190)의 하부 전극(191) 사이에 배치될 수도 있다. 몇몇 실시예들에 따른 반도체 메모리 장치에서, 랜딩 패드(LP)는 매몰 콘택(BC)과 커패시터(190)의 하부 전극(191) 사이에 배치될 수 있다. 랜딩 패드(LP)의 도입을 통해 접촉 면적을 확대함으로써, 활성 영역(ACT)과 커패시터(190)의 하부 전극(191) 사이의 콘택 저항이 감소될 수 있다.
- [0023] 다이렉트 콘택(DC)은 기판(100)과 연결될 수 있다. 매몰 콘택(BC)이 활성 영역(ACT)의 양 끝단 부분으로 배치됨에 따라, 랜딩 패드(LP)는 활성 영역(ACT)의 양 끝단에 인접하여 매몰 콘택(BC)과 일부 오버랩되게 배치될 수

있다. 다르게 설명하면, 매몰 컨택(BC)은 인접하는 워드 라인(WL) 사이와, 인접하는 비트 라인(BL) 사이에 있는 활성 영역(ACT) 및 소자 분리막(105)과 오버랩되도록 형성될 수 있다.

- [0024] 워드 라인(WL)은 기판(100) 내에 매몰된 구조로 형성될 수 있다. 워드 라인(WL)은 다이렉트 컨택(DC)이나 매몰 컨택(BC) 사이의 활성 영역(ACT)을 가로질러 배치될 수 있다. 도시된 것과 같이, 2개의 워드 라인(WL)이 하나의 활성 영역(ACT)을 가로지르도록 배치될 수 있다. 활성 영역(ACT)이 제3 방향(D3)을 따라 연장됨으로써, 워드 라인(WL)은 활성 영역(ACT)과 90도 미만의 각도를 가질 수 있다.
- [0025] 다이렉트 컨택(DC) 및 매몰 컨택(BC)은 대칭적으로 배치될 수 있다. 이로 인해, 다이렉트 컨택(DC) 및 매몰 컨택(BC)은 제1 방향(D1) 및 제2 방향(D2)을 따라 일 직선 상에 배치될 수 있다. 한편, 다이렉트 컨택(DC) 및 매몰 컨택(BC)과 달리, 랜딩 패드(LP)는 비트 라인(BL)이 연장하는 제2 방향(D2)으로 지그재그 형태로 배치될 수 있다. 또한, 랜딩 패드(LP)는 워드 라인(WL)이 연장하는 제1 방향(D1)으로는 각 비트 라인(BL)의 동일한 측면 부분과 오버랩되게 배치될 수 있다. 예를 들어, 첫 번째 라인의 랜딩 패드(LP) 각각은 대응하는 비트 라인(BL)의 왼쪽 측면과 오버랩되고, 두 번째 라인의 랜딩 패드(LP) 각각은 대응하는 비트 라인(BL)의 오른쪽 측면과 오버랩될 수 있다.
- [0026] 몇몇 실시예에 따른 반도체 메모리 장치는 복수의 게이트 구조체(110)와, 복수의 비트 라인 구조체(140ST)와, 복수의 매몰 컨택(BC)과, 다이렉트 컨택(DC)과, 복수의 펜스(170)와, 층간 절연막(180)과, 복수의 커패시터(190)를 포함할 수 있다.
- [0027] 소자 분리막(105)은 기판(100) 내에 형성될 수 있다. 소자 분리막(105)은 우수한 소자 분리 특성을 갖는 STI(shallow trench isolation) 구조를 가질 수 있다. 소자 분리막(105)은 활성 영역(ACT)을 정의할 수 있다. 소자 분리막(105)에 의해 정의된 활성 영역(ACT)은 도 1에서 도시된 것과 같이 단축과 장축을 포함하는 긴 아일 랜드 형성을 가질 수 있다. 활성 영역(ACT)은 소자 분리막(105) 내에 형성되는 워드 라인(WL)에 대하여 90도 미만의 각도를 갖도록 사선 형태를 가질 수 있다. 또한, 활성 영역(ACT)은 소자 분리막(105) 상에 형성되는 비트 라인(BL)에 대하여 90도 미만의 각도를 갖도록 사선 형태를 가질 수 있다.
- [0028] 소자 분리막(105)은 예를 들어, 실리콘 산화막, 실리콘 질화막 및 실리콘 산질화막 중 적어도 하나를 포함할 수 있지만, 이에 제한되는 것은 아니다. 도 2 및 도 3에서, 소자 분리막(105)은 하나의 절연막으로 형성되는 것으로 도시되었지만, 설명의 편의를 위한 것일 뿐, 이에 제한되는 것은 아니다. 소자 분리막(105)의 폭에 따라, 소자 분리막(105)은 하나의 절연막으로 형성될 수도 있고, 복수의 절연막으로 형성될 수도 있다.
- [0029] 게이트 구조체(110)는 기판(100) 및 소자 분리막(105) 내에 형성될 수 있다. 게이트 구조체(110)는 소자 분리막(105) 및 소자 분리막(105)에 의해 정의된 활성 영역(ACT)을 가로질러 형성될 수 있다. 게이트 구조체(110)는 제1 방향(D1)으로 연장될 수 있다. 복수의 게이트 구조체(110)는 서로 제2 방향(D2)으로 이격될 수 있다.
- [0030] 게이트 구조체(110)는 게이트 절연막(111)과, 게이트 전극(112)과, 게이트 캡핑 도전막(113)과, 게이트 캡핑 패턴(114)을 포함할 수 있다. 여기에서, 게이트 전극(112)은 워드 라인(WL)에 대응될 수 있다. 도시된 것과 달리, 게이트 구조체(110)는 게이트 캡핑 도전막(113)을 포함하지 않을 수 있다.
- [0031] 게이트 절연막(111)은 게이트 트렌치(110t)의 측벽 및 바닥면을 따라 연장될 수 있다. 게이트 절연막(111)은 게이트 트렌치(110t)의 적어도 일부의 프로파일을 따라 연장될 수 있다. 게이트 절연막(111)은 예를 들어, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 또는 실리콘 산화물보다 높은 유전 상수를 갖는 고유전율 물질 중 적어도 하나를 포함할 수 있다. 고유전율 물질은 예를 들어, 하프늄 산화물(hafnium oxide), 하프늄 실리콘 산화물(hafnium silicon oxide), 하프늄 알루미늄 산화물(hafnium aluminum oxide), 란타넘 산화물(lanthanum oxide), 란타넘 알루미늄 산화물(lanthanum aluminum oxide), 지르코늄 산화물(zirconium oxide), 지르코늄 실리콘 산화물(zirconium silicon oxide), 탄탈륨 산화물(tantalum oxide), 티타늄 산화물(titanium oxide), 바륨 스트론튬 티타늄 산화물(barium strontium titanium oxide), 바륨 티타늄 산화물(barium titanium oxide), 스트론튬 티타늄 산화물(strontium titanium oxide), 이트륨 산화물(yttrium oxide), 알루미늄 산화물(aluminum oxide), 납 스칸듐 탄탈륨 산화물(lead scandium tantalum oxide), 납 아연 니오브산염(lead zinc niobate) 및 이들의 조합 중에서 적어도 하나를 포함할 수 있다.
- [0032] 게이트 전극(112)은 게이트 절연막(111) 상에 형성될 수 있다. 게이트 전극(112)은 게이트 트렌치(110t)의 일부를 채울 수 있다. 게이트 캡핑 도전막(113)은 게이트 전극(112)의 상면을 따라 연장될 수 있다.
- [0033] 게이트 전극(112)은 금속, 금속 합금, 도전성 금속 질화물, 도전성 금속 탄질화물, 도전성 금속 탄화물, 금속 실리사이드, 도핑된 반도체 물질, 도전성 금속 산질화물 및 도전성 금속 산화물 중 적어도 하나를 포함할 수 있다.

다. 게이트 전극(112)은 예를 들어, TiN, TaC, TaN, TiSiN, TaSiN, TaTiN, TiAlN, TaAlN, WN, Ru, TiAl, TiAlC-N, TiAlC, TiC, TaCN, W, Al, Cu, Co, Ti, Ta, Ni, Pt, Ni-Pt, Nb, NbN, NbC, Mo, MoN, MoC, WC, Rh, Pd, Ir, Ag, Au, Zn, V, RuTiN, TiSi, TaSi, NiSi, CoSi, IrOx, RuOx 및 이들의 조합 중 적어도 하나를 포함할 수 있지만, 이에 제한되는 것은 아니다. 게이트 캡핑 도전막(113)은 예를 들어, 폴리 실리콘 또는 폴리 실리콘 게르마늄을 포함할 수 있지만, 이에 제한되는 것은 아니다.

- [0034] 게이트 캡핑 패턴(114)은 게이트 전극(112) 및 게이트 캡핑 도전막(113) 상에 배치될 수 있다. 게이트 캡핑 패턴(114)은 게이트 전극(112) 및 게이트 캡핑 도전막(113)이 형성되고 남은 게이트 트렌치(110t)를 채울 수 있다. 게이트 절연막(111)은 게이트 캡핑 패턴(114)의 측벽을 따라 연장되는 것으로 도시하였지만, 이에 제한되는 것은 아니다. 게이트 캡핑 패턴(114)은 예를 들어, 실리콘 질화물(SiN), 실리콘 산질화물(SiON), 실리콘 산화물(SiO₂), 실리콘 탄질화물(SiCN), 실리콘 산탄질화물(SiOCN) 및 이들의 조합 중 적어도 하나를 포함할 수 있다.
- [0035] 도시되지 않았지만, 게이트 구조체(110)의 적어도 일측에는 불순물 도핑 영역이 형성될 수 있다. 불순물 도핑 영역은 트랜지스터의 소오스/드레인 영역일 수 있다.
- [0036] 비트 라인 구조체(140ST)는 도전 라인(140)과, 비트 라인 캡핑 패턴(144)을 포함할 수 있다. 도전 라인(140)은 게이트 구조체(110)가 형성된 기판(100) 및 소자 분리막(105) 상에 형성될 수 있다. 도전 라인(140)은 소자 분리막(105) 및 소자 분리막(105)에 의해 정의된 활성 영역(ACT)과 교차할 수 있다. 도전 라인(140)은 게이트 구조체(110)와 교차되도록 형성될 수 있다. 여기에서, 도전 라인(140)은 비트 라인(BL)에 대응될 수 있다.
- [0037] 도전 라인(140)은 다중막일 수 있다. 도전 라인(140)은 예를 들어, 제1 도전막(141)과, 제2 도전막(142)과, 제3 도전막(143)을 포함할 수 있다. 제1 내지 제3 도전막(141, 142, 143)은 기판(100) 소자 분리막(105) 상에 순차적으로 적층될 수 있다. 도전 라인(140)이 3중막인 것으로 도시되었지만, 이에 제한되는 것은 아니다.
- [0038] 제1 내지 제3 도전막(141, 142, 143)은 각각 예를 들어, 불순물이 도핑된 반도체 물질, 도전성 실리사이드 화합물, 도전성 금속 질화물 금속 및 금속 합금 중 적어도 하나를 포함할 수 있다. 예를 들어, 제1 도전막(141)은 도핑된 반도체 물질을 포함하고, 제2 도전막(142)은 도전성 실리사이드 화합물 및 도전성 금속 질화물 중 적어도 하나를 포함하고, 제3 도전막(143)은 금속 및 금속 합금 중 적어도 하나를 포함할 수 있지만, 이에 제한되는 것은 아니다.
- [0039] 다이렉트 콘택(DC)은 도전 라인(140)과 기판(100) 사이에 형성될 수 있다. 즉, 도전 라인(140)은 다이렉트 콘택(DC) 상에 형성될 수 있다. 예를 들어, 다이렉트 콘택(DC)은 도전 라인(140)이 긴 아일랜드 형상을 갖는 활성 영역(ACT)의 가운데 부분과 교차하는 지점에 형성될 수 있다.
- [0040] 다이렉트 콘택(DC)은 도전 라인(140)과 기판(100)을 전기적으로 연결할 수 있다. 다이렉트 콘택(DC)은 예를 들어, 불순물이 도핑된 반도체 물질, 도전성 실리사이드 화합물, 도전성 금속 질화물 및 금속 중 적어도 하나를 포함할 수 있다.
- [0041] 도 2에서, 다이렉트 콘택(DC)의 상면과 오버랩되는 영역에서, 도전 라인(140)은 제2 도전막(142) 및 제3 도전막(143)을 포함할 수 있다. 다이렉트 콘택(DC)의 상면과 오버랩되는 않는 영역에서, 도전 라인(140)은 제1 내지 제3 도전막(141, 142, 143)을 포함할 수 있다.
- [0042] 비트 라인 캡핑 패턴(144)은 도전 라인(140) 상에 배치될 수 있다. 비트 라인 캡핑 패턴(144)은 도전 라인(140)의 상면을 따라 제2 방향(D2)으로 연장될 수 있다. 이 때, 비트 라인 캡핑 패턴(144)은 예를 들어, 실리콘 질화막, 실리콘 산질화물, 실리콘 탄질화물 및 실리콘 산탄질화물 중 적어도 하나를 포함할 수 있다. 몇몇 실시예들에 따른 반도체 메모리 장치에서, 비트 라인 캡핑 패턴(144)은 예를 들어, 실리콘 질화막을 포함할 수 있다. 비트 라인 캡핑 패턴(144)은 단일막인 것으로 도시되었지만, 이에 제한되는 것은 아니다.
- [0043] 절연막(130)은 기판(100) 및 소자 분리막(105) 상에 형성될 수 있다. 좀 더 구체적으로, 절연막(130)은 다이렉트 콘택(DC)이 형성되지 않은 기판(100) 및 소자 분리막(105) 상에 형성될 수 있다. 절연막(130)은 기판(100) 및 도전 라인(140) 사이와, 소자 분리막(105) 및 도전 라인(140) 사이에 형성될 수 있다.
- [0044] 절연막(130)은 단일막일 수 있으나, 도시된 것처럼, 절연막(130)은 제1 절연막(131) 및 제2 절연막(132)을 포함하는 다중막일 수도 있다. 예를 들어, 제1 절연막(131)은 실리콘 산화막을 포함할 수 있고, 제2 절연막(132)은 실리콘 질화막을 포함할 수 있지만, 이에 제한되는 것은 아니다.

- [0045] 비트 라인 스페이서(150)는 도전 라인(140) 및 비트 라인 캡핑 패턴(144)의 측벽 상에 배치될 수 있다. 비트 라인 스페이서(150)는 다이렉트 콘택(DC)이 형성된 도전 라인(140)의 부분에서 기판(100) 및 소자 분리막(105) 상에 형성될 수 있다. 비트 라인 스페이서(150)는 도전 라인(140), 비트 라인 캡핑 패턴(144) 및 다이렉트 콘택(DC)의 측벽 상에서 배치될 수 있다. 비트 라인 스페이서(150)는 도전 라인(140), 비트 라인 캡핑 패턴(144)의 측벽 상에서 제2 방향(D2)으로 연장될 수 있다.
- [0046] 비트 라인 스페이서(150)는 단일막일 수 있으나, 도 2에서 도시된 것처럼, 비트 라인 스페이서(150)는 제1 비트 라인 스페이서(151) 및 제2 비트 라인 스페이서(152)를 포함하는 다중막일 수도 있다. 예를 들어, 제1 및 제2 비트 라인 스페이서(151, 152) 각각은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막(SiON), 실리콘 산탄질화막(SiOCN), 에어(air), 및 이들의 조합을 하나를 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0047] 매몰 콘택(BC)은 제1 방향(D1)으로 인접하는 도전 라인(140) 사이에 배치될 수 있다. 매몰 콘택(BC)은 제2 방향(D2)으로 인접하는 펜스(170) 사이에 배치될 수 있다. 매몰 콘택(BC)은 인접하는 도전 라인(140) 사이의 기판(100) 및 소자 분리막(105)과 오버랩될 수 있다.
- [0048] 매몰 콘택(BC)은 예를 들어, 불순물이 도핑된 반도체 물질, 도전성 실리사이드 화합물, 도전성 금속 질화물 및 금속 중 적어도 하나를 포함할 수 있다. 이에 따라, 매몰 콘택(BC)은 활성 영역(ACT)과 전기적으로 접촉될 수 있다. 매몰 콘택(BC)은 예를 들어, 폴리 실리콘을 포함할 수 있다.
- [0049] 펜스(170)는 기판(100) 및 소자 분리막(105) 상에 배치될 수 있다. 펜스(170)는 기판(100) 및 소자 분리막(105) 내에 형성된 게이트 구조체(110)와 제4 방향(D4)으로 오버랩되도록 형성될 수 있다. 제4 방향(D4)은 제1 방향(D1) 및 제2 방향(D2)과 교차할 수 있다. 예를 들어, 제4 방향(D4)은 제1 방향(D1) 및 제2 방향(D2)에 수직일 수 있다.
- [0050] 펜스(170)는 게이트 전극(112) 상에 배치될 수 있다. 펜스(170)는 제2 방향(D2)으로 연장되는 비트 라인 구조체(140ST) 사이에 배치될 수 있다. 펜스(170)는 인접하는 매몰 콘택(BC) 사이에 배치될 수 있다. 펜스(170)는 인접하는 매몰 콘택(BC) 사이에 정의된 트렌치(TR)를 채울 수 있다.
- [0051] 펜스(170)는 트렌치(TR)의 측벽(TR_SW)의 일부 상에 배치되는 스페이서막(170S)과, 스페이서막(170S) 상에 배치되는 필링막(170F)을 포함할 수 있다. 트렌치(TR)의 측벽(TR_SW)은 매몰 콘택(BC)의 측벽 및 랜딩 패드(LP)의 측벽에 의해 정의될 수 있다. 트렌치(TR)의 바닥면(TR_BS)은 게이트 캡핑 패턴(114)에 의해 정의될 수 있다. 도 3에서, 트렌치(TR)의 바닥면(TR_BS)은 곡면인 것으로 도시되었으나, 이에 제한되는 것은 아니고, 트렌치(TR)의 바닥면(TR_BS)은 평평한 평면일 수 있다.
- [0052] 스페이서막(170S)은 트렌치(TR)의 측벽(TR_SW)을 따라 제4 방향(D4)으로 연장된다. 스페이서막(170S)은 매몰 콘택(BC)의 측벽의 적어도 일부와 접촉할 수 있다. 몇몇 실시예에서, 스페이서막(170S)의 상면(170S_US)은 매몰 콘택(BC)의 상면(BC_US)보다 낮다. 다시 말하면, 기판(100)의 상면에서 스페이서막(170S)의 상면(170S_US)까지의 높이는, 기판(100)의 상면에서 매몰 콘택(BC)의 상면(BC_US)까지의 높이보다 작다. 이에 따라, 스페이서막(170S)은 랜딩 패드(LP)의 측벽과 접촉하지 않는다. 다만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0053] 스페이서막(170S)은 트렌치(TR)의 바닥면(TR_BS)의 일부와 접촉할 수 있다. 스페이서막(170S)은 트렌치(TR)의 바닥면(TR_BS)을 따라 연장되지 않는다. 즉, 한 쌍의 스페이서막(170S)은 트렌치(TR)의 양 측벽(TR_SW)의 일부 상에 배치될 수 있고, 한 쌍의 스페이서막(170S) 각각은 서로 제2 방향(D2)으로 이격될 수 있다. 이에 따라, 스페이서막(170S)은 게이트 전극(112)의 적어도 일부와 제4 방향(D4)으로 오버랩되지 않을 수 있다. 다만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0054] 스페이서막(170S)은 제2 방향(D2)으로의 제1 폭(W1)을 가질 수 있다. 제1 폭(W1)은 예를 들어, 0.5nm 내지 10nm일 수 있다. 다만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0055] 스페이서막(170S)은 필링막(170F)의 적어도 일부와 제4 방향(D4)으로 오버랩될 수 있다. 스페이서막(170S)의 상면(170S_US)은 필링막(170F)의 상면(170F_US)보다 낮을 수 있다. 다시 말하면, 기판(100)의 상면에서, 스페이서막(170S)의 상면(170S_US)까지의 높이는 기판(100)의 상면에서 필링막(170F)의 상면(170F_US)까지의 높이보다 작다.
- [0056] 스페이서막(170S)은 저유전율 물질을 포함할 수 있다. 스페이서막(170S)은 예를 들어, 실리콘 산화물(SiO₂), 또는 실리콘 질화물보다 낮은 유전 상수를 갖는 저유전율 물질 중 적어도 하나를 포함할 수 있지만, 본 발명의 기

술적 사상이 이에 제한되는 것은 아니다.

- [0057] 필링막(170F)은 스페이서막(170S) 상에 배치될 수 있다. 필링막(170F)은 스페이서막(170S)이 형성되고 남은 트렌치(TR)를 채울 수 있다.
- [0058] 필링막(170F)은 제1 부분(170F_1)과 제1 부분(170F_1) 상의 제2 부분(170_2)을 포함할 수 있다. 필링막(170F)의 제1 부분(170F_1)은 트렌치(TR)의 바닥면(TR_BS)에서부터 스페이서막(170S)의 상면(170S_US)까지 연장될 수 있다. 필링막(170F)의 제2 부분(170F_2)은 스페이서막(170S)의 상면(170S_US)에서 층간 절연막(180)의 하면까지 연장될 수 있다. 필링막(170F)의 제2 부분(170F_2)은 스페이서막(170S) 및 필링막(170F)의 제1 부분(170F_1)이 형성되고 남은 트렌치(TR)를 채울 수 있다.
- [0059] 필링막(170F)의 제1 부분(170F_1)은 스페이서막(170S)의 적어도 일부와 제2 방향(D2)으로 오버랩될 수 있다. 몇몇 실시예에서, 필링막(170F)의 제1 부분(170F_1)의 스페이서막(170S)과 제4 방향(D4)으로 오버랩되지 않을 수 있다. 필링막(170F)의 제1 부분(170F_1)은 제2 방향(D2)으로의 제2 폭(W2)을 가질 수 있다.
- [0060] 필링막(170F)의 제2 부분(170F_2)의 적어도 일부는 스페이서막(170S)과 제4 방향(D4)으로 오버랩될 수 있다. 필링막(170F)의 제2 부분(170F_2)의 적어도 일부는 필링막(170F)의 제1 부분(170F_1)과 제4 방향(D4)으로 오버랩되지 않을 수 있다.
- [0061] 필링막(170F)의 제2 부분(170F_2)은 제2 방향(D2)으로의 제3 폭(W3)을 가질 수 있다. 필링막(170F)의 제2 부분(170F_2)의 제3 폭(W3)은 트렌치(TR)의 제2 방향(D2)으로의 폭과 동일할 수 있다. 즉, 트렌치(TR)는 제2 방향(D2)으로의 제3 폭(W3)을 가질 수 있다.
- [0062] 동일한 위치에서, 제3 폭(W3)은 제1 폭(W1)과, 제2 폭(W2)과, 제1 폭(W1)을 더한 값과 동일할 수 있다. 즉, 동일한 위치에서, 트렌치(TR)의 제2 방향(D2)으로의 폭은 한 쌍의 스페이서막(170S)의 폭과, 필링막(170F)의 제1 부분(170F_1)의 폭을 더한 값과 동일할 수 있다.
- [0063] 도 3에 도시된 것처럼, 트렌치(TR)의 제2 방향(D2)으로의 제3 폭(W3)과 필링막(170F)의 제1 부분(170F_1)의 제2 방향(D2)으로의 제2 폭(W2)의 비는 0.5 이상일 수 있다. 다만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0064] 스페이서막(170S)의 상면(170S_US)은 매물 컨택(BC)의 상면(BC_US)보다 낮을 수 있다. 이에 따라, 필링막(170F)의 적어도 일부는 매물 컨택(BC)과 접촉할 수 있다.
- [0065] 필링막(170F)은 스페이서막(170S) 보다 유전 상수가 높은 물질을 포함할 수 있다. 필링막(170F)은 예를 들어, 실리콘 질화물, 실리콘 산질화물, 또는 실리콘 산화물보다 높은 유전 상수를 갖는 고유전율 물질 중 적어도 하나를 포함할 수 있지만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0066] 반도체 메모리 장치가 고집적화됨에 따라, 기생 커패시턴스(parasitic capacitance) 및 누설 전류(leakage current)의 영향성은 점점 증가한다. 예를 들어, DRAM(Dynamic Random Access Memory)의 비트 라인 사이의 간격이 좁아짐에 따라, 비트 라인과 비트 라인 사이, 비트 라인과 매물 컨택 사이의 기생 커패시턴스가 증가할 수 있다.
- [0067] 몇몇 실시예에 따른 반도체 메모리 장치는, 실리콘 산화물을 이용하여 기생 커패시턴스를 최소화할 수 있다. 실리콘 산화물은 실리콘 질화물보다 유전 상수가 낮으므로, 몇몇 실시예에 따른 반도체 메모리 장치는 기생 커패시턴스를 효과적으로 감소시킬 수 있다.
- [0068] 예를 들어, 펜스를 실리콘 질화물로 형성하는 반도체 메모리 장치에 비해 펜스를 실리콘 산화물로 형성하는 반도체 메모리 장치는 기생 커패시턴스를 효과적으로 감소시킬 수 있다.
- [0069] 몇몇 실시예에서, 스페이서막(170S)이 실리콘 산화물로 형성되기 때문에, 펜스(170)를 실리콘 질화물로 형성하는 반도체 메모리 장치에 비해 기생 커패시턴스를 효과적으로 감소시킬 수 있다.
- [0070] 몇몇 실시예에 따른 반도체 메모리 장치는 기생 커패시턴스를 효과적으로 감소시킬 수 있으므로, 허용되는 기생 커패시턴스 범위 내에서 반도체 메모리 장치의 고집적화가 실현될 수 있다.
- [0071] 또한, 몇몇 실시예에 따른 반도체 메모리 장치는, 펜스(170)의 스페이서막(170S)을 실리콘 산화물로 형성함으로써, 스페이서막(170S)이 매물 컨택(BC)과 접촉하더라도 누설 전류를 최소화할 수 있다. 이는 실리콘 산화물이 실리콘 질화물에 비하여 계면 트랩(N_{it})에 의한 누설 전류를 효과적으로 방지할 수 있기 때문이다.

- [0072] 랜딩 패드(LP)는 매몰 컨택(BC) 상에 형성될 수 있다. 랜딩 패드(LP)는 매몰 컨택(BC)과 전기적으로 연결될 수 있다.
- [0073] 랜딩 패드(LP)는 비트 라인 구조체(140ST)의 상면의 일부와 오버랩될 수 있다. 랜딩 패드(LP)는 예를 들어, 불순물이 도핑된 반도체 물질, 도전성 실리사이드 화합물, 도전성 금속 질화물, 도전성 금속 탄화물, 금속 및 금속 합금 중 적어도 하나를 포함할 수 있다.
- [0074] 층간 절연막(180)은 랜딩 패드(LP) 및 비트 라인 구조체(140ST) 상에 형성될 수 있다. 예를 들어, 층간 절연막(180)은 비트 라인 캡핑 패턴(144) 상에 배치될 수 있다. 층간 절연막(180)은 복수의 고립 영역을 형성하는 랜딩 패드(LP)의 영역을 정의할 수 있다. 또한, 층간 절연막(180)은 랜딩 패드(LP)의 상면을 덮지 않을 수 있다.
- [0075] 층간 절연막(180)은 절연성 물질을 포함하여, 복수의 랜딩 패드(LP)를 서로 전기적으로 분리할 수 있다. 예를 들어, 층간 절연막(180)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막, 실리콘 산탄질화막 및 실리콘 탄질화막 중 적어도 하나를 포함할 수 있다.
- [0076] 식각 정지막(185)은 층간 절연막(180) 및 랜딩 패드(LP) 상에 배치될 수 있다. 식각 정지막(185)은 예를 들어, 실리콘 질화막, 실리콘 탄질화막, 실리콘 붕소질화막(SiBN), 실리콘 산질화막, 실리콘 산탄화막 중 적어도 하나를 포함할 수 있다.
- [0077] 커패시터(190)는 랜딩 패드(LP) 상에 배치될 수 있다. 커패시터(190)는 랜딩 패드(LP)와 전기적으로 연결될 수 있다. 결과적으로, 커패시터(190)는 매몰 컨택(BC)과 접속된 소오스 및 드레인 영역과 전기적으로 접속될 수 있다. 이에 따라, 커패시터(190)는 반도체 메모리 장치 등에서 전하를 저장할 수 있다.
- [0078] 커패시터(190)의 일부는 식각 정지막(185) 내에 배치될 수 있다. 커패시터(190)는 하부 전극(191)과, 커패시터 유전막(192)과, 상부 전극(193)을 포함한다. 커패시터(190)는 하부 전극(191) 및 상부 전극(193) 사이에 발생한 전위차에 의해 커패시턴스 유전막(192)에 전하를 저장할 수 있다.
- [0079] 하부 전극(191)은 랜딩 패드(LP) 상에 배치될 수 있다. 하부 전극(191)은 필라 형상을 갖는 것으로 도시하였지만, 이에 제한되는 것은 아니다. 하부 전극(191)은 실린더 형상을 가질 수 있음은 물론이다. 커패시터 유전막(192)은 하부 전극(191) 상에 형성된다. 커패시터 유전막(192)은 하부 전극(191)의 프로파일을 따라 형성될 수 있다. 상부 전극(193)은 커패시터 유전막(192) 상에 형성된다. 상부 전극(193)은 하부 전극(191)의 외측벽을 감쌀 수 있다.
- [0080] 몇몇 실시예에서, 커패시터 유전막(192)은 상부 전극(193)과 수직으로 오버랩되는 부분에 배치될 수 있다. 다른 실시예에서, 도시된 것과 달리, 커패시터 유전막(192)은 상부 전극(193)과 수직으로 오버랩되는 제1 부분과, 상부 전극(193)과 수직으로 오버랩되지 않는 제2 부분을 포함할 수 있다. 즉, 커패시터 유전막(192)의 제2 부분은 상부 전극(193)에 의해 덮이지 않는 부분이다.
- [0081] 하부 전극(191)은 예를 들어, 도핑된 반도체 물질, 도전성 금속 질화물(예를 들어, 티타늄 질화물, 탄탈륨 질화물, 나이오븀 질화물 또는 텅스텐 질화물 등), 금속(예를 들어, 루세늄, 이리듐, 티타늄 또는 탄탈륨 등), 및 도전성 금속 산화물(예를 들어, 이리듐 산화물 또는 나이오븀 산화물 등) 등을 포함할 수 있지만, 이에 제한되는 것은 아니다.
- [0082] 커패시턴스 유전막(192)은 예를 들어, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 하프늄 산화물(hafnium oxide), 하프늄 실리콘 산화물(hafnium silicon oxide), 란타늄 산화물(lanthanum oxide), 란타늄 알루미늄 산화물(lanthanum aluminum oxide), 지르코늄 산화물(zirconium oxide), 지르코늄 실리콘 산화물(zirconium silicon oxide), 탄탈륨 산화물(tantalum oxide), 티타늄 산화물(titanium oxide), 바륨 스트론튬 티타늄 산화물(barium strontium titanium oxide), 바륨 티타늄 산화물(barium titanium oxide), 스트론튬 티타늄 산화물(strontium titanium oxide), 이트륨 산화물(yttrium oxide), 알루미늄 산화물(Aluminum oxide), 납 스칸듐 탄탈륨 산화물(lead scandium tantalum oxide), 납 아연 니오브산염(lead zinc niobate) 및 이들의 조합 중 하나를 포함할 수 있지만, 이에 제한되는 것은 아니다.
- [0083] 몇몇 실시예들에 따른 반도체 메모리 장치에서, 커패시터 유전막(192)은 지르코늄 산화물(zirconium oxide), 알루미늄 산화물(aluminum oxide) 및 지르코늄 산화물(zirconium oxide)이 순차적으로 적층된 적층막 구조를 포함할 수 있다.
- [0084] 몇몇 실시예들에 따른 반도체 메모리 장치에서, 커패시터 유전막(192)은 하프늄(Hf)을 포함하는 유전막을 포함할 수 있다. 몇몇 실시예들에 따른 반도체 메모리 장치에서, 커패시터 유전막(192)은 강유전체 물질막과 상유전

체 물질막의 적층막 구조를 가질 수 있다.

- [0085] 상부 전극(193)은 예를 들어, 도핑된 반도체 물질, 금속, 도전성 금속 질화물, 금속 실리사이드 중 적어도 하나를 포함할 수 있지만, 이에 제한되는 것은 아니다.
- [0086] 도 4는 몇몇 실시예들에 따른 반도체 메모리 장치를 설명하기 위한 도면이다. 설명의 편의상 도 1 내지 도 3에서 설명한 것과 다른 점을 중심으로 설명한다.
- [0087] 도 4를 참고하면, 스페이서막(170S)은 트렌치(TR)의 바닥면(TR_BS)을 따라 연장될 수 있다.
- [0088] 스페이서막(170S)은 트렌치(TR)의 양 측벽(TR_SW)을 따라 연장되는 수직부와 트렌치(TR)의 바닥면(TR_BS)을 따라 연장되는 수평부를 포함한다. 스페이서막(170S)의 수평부는 각각의 스페이서막(170S)의 수직부를 연결한다. 즉, 몇몇 실시예에서, 스페이서막(170S)은 트렌치(TR)의 바닥면(TR_BS)과 트렌치(TR)의 측벽(TR_SW)의 일부를 따라 연장될 수 있다.
- [0089] 도 5는 몇몇 실시예들에 따른 반도체 메모리 장치를 설명하기 위한 도면이다. 설명의 편의상 도 1 내지 도 3에서 설명한 것과 다른 점을 중심으로 설명한다.
- [0090] 도 5를 참고하면, 스페이서막(170S)의 상면(170S_US)은 매몰 컨택(BC)의 상면(BC_US)보다 높을 수 있다.
- [0091] 기판(100)의 상면에서 스페이서막(170S)의 상면(170S_US)까지의 높이는 기판(100)의 상면에서 매몰 컨택(BC)의 상면(BC_US)까지의 높이보다 클 수 있다. 스페이서막(170S)의 제조 과정에서, 스페이서막(170S)이 리세스되는 정도에 따라 스페이서막(170S)의 상면(170S_US)의 높이가 달라질 수 있다.
- [0092] 이에 따라, 스페이서막(170S)은 매몰 컨택(BC)과 제2 방향(D2)으로 완전히 오버랩될 수 있다. 스페이서막(170S)의 적어도 일부는 랜딩 패드(LP)의 측벽과 접촉될 수 있다. 스페이서막(170S)의 적어도 일부는 랜딩 패드(LP)와 제2 방향(D2)으로 오버랩될 수 있다.
- [0093] 도 6은 몇몇 실시예들에 따른 반도체 메모리 장치를 설명하기 위한 도면이다. 설명의 편의상 도 1 내지 도 3에서 설명한 것과 다른 점을 중심으로 설명한다.
- [0094] 도 6을 참고하면, 스페이서막(170S)의 상면은 곡면일 수 있다. 매몰 컨택(BC)의 측벽에서, 트렌치(TR)의 중심을 향할수록 기판(100)의 상면에서 스페이서막(170S)의 상면(170S_US)까지의 높이는 낮아질 수 있다.
- [0095] 몇몇 실시예에서, 필링막(170F)의 제2 부분(170F_2)과 필링막(170F)의 제1 부분(170F_1)의 경계에서, 필링막(170F)의 제2 부분(170F_2)의 제2 방향(D2)으로의 폭과, 필링막(170F)의 제1 부분(170F_1)의 제2 방향(D2)으로의 폭은 동일할 수 있다.
- [0096] 도 7은 몇몇 실시예들에 따른 반도체 메모리 장치를 설명하기 위한 도면이다. 설명의 편의상 도 1 내지 도 3에서 설명한 것과 다른 점을 중심으로 설명한다.
- [0097] 도 7을 참고하면, 몇몇 실시예에 따른 반도체 메모리 장치는 심(seam; 175)을 포함할 수 있다.
- [0098] 심(175)은 스페이서막(170S)과 제2 방향(D2)으로 이격되어 배치될 수 있다. 심(175)은 한 쌍의 스페이서막(170S) 사이에 배치될 수 있다. 심(175)은 필링막(170F)의 내부에 배치될 수 있다.
- [0099] 심(175)은 필링막(170F)의 제1 부분(170F_1)과 제2 부분(170F_2)에 걸쳐서 배치될 수 있다. 심(175)의 상면은 스페이서막(170S)의 상면(170S_US)보다 높을 수 있다. 심(175)의 적어도 일부는 필링막(170F)의 제2 부분(170F_2)과 제2 방향(D2)으로 오버랩될 수 있다. 심(175)의 적어도 일부는 필링막(170F)의 제1 부분(170F_1)과 제2 방향(D2)으로 오버랩될 수 있다.
- [0100] 심(175)의 하면은 트렌치(TR)의 바닥면(TR_BS)보다 높을 수 있다. 심(175)은 트렌치(TR)의 바닥면(TR_BS)으로부터 제4 방향(D4)으로 이격될 수 있다.
- [0101] 도 8은 몇몇 실시예들에 따른 반도체 메모리 장치를 설명하기 위한 도면이다. 설명의 편의상 도 1 내지 도 3에서 설명한 것과 다른 점을 중심으로 설명한다.
- [0102] 도 8을 참고하면, 심(175)은 하부 심(175_1)과 하부 심(175_1) 상의 상부 심(175_2)을 포함할 수 있다.
- [0103] 하부 심(175_1)은 스페이서막(170S)과 제2 방향(D2)으로 이격되어 배치될 수 있다. 하부 심(175_1)은 한 쌍의 스페이서막(170S) 사이에 배치될 수 있다. 하부 심(175_1)은 필링막(170F)의 제1 부분(170F_1)과 제2 부분(170F_2)에 걸쳐서 배치될 수 있다. 즉, 하부 심(175_1)의 상면은 필링막(170F)의 제1 부분(170F_1)의 상면보다

높을 수 있다.

- [0104] 하부 심(175_1)의 하면은 트렌치(TR)의 바닥면(TR_BS)보다 높을 수 있다. 하부 심(175_1)은 트렌치(TR)의 바닥면(TR_BS)으로부터 제4 방향(D4)으로 이격될 수 있다.
- [0105] 상부 심(175_2)은 하부 심(175_1) 상에 배치될 수 있다. 상부 심(175_2)은 하부 심(175_1)과 제4 방향(D4)으로 이격될 수 있다. 상부 심(175_2)은 층간 절연막(180)의 하면과 이격되지 않을 수 있다. 다만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0106] 도 9는 몇몇 실시예들에 따른 반도체 메모리 장치를 설명하기 위한 도면이다. 설명의 편의상 도 1 내지 도 3에서 설명한 것과 다른 점을 중심으로 설명한다.
- [0107] 도 9를 참고하면, 몇몇 실시예에 따른 반도체 메모리 장치에서, 필링막(170F)의 제1 부분(170F_1)의 제2 방향(D2)으로의 폭과 트렌치(TR)의 제2 방향(D2)으로의 폭의 비는 0.5 보다 클 수 있다.
- [0108] 스페이서막(170S)은 제2 방향(D2)으로의 제1 폭(W1)을 가질 수 있다. 필링막(170F)의 제1 부분(170F_1)은 제2 방향(D2)으로의 제2 폭(W2)을 가질 수 있다. 트렌치(TR)는 제2 방향(D2)으로의 제3 폭(W3)을 가질 수 있다.
- [0109] 트렌치(TR)의 제2 방향(D2)으로의 제3 폭(W3)과 필링막(170F)의 제1 부분(170F_1)의 제2 방향(D2)으로의 제2 폭(W2)의 비는 0.5 이상일 수 있다. 다만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0110] 도 10 내지 도 25는 몇몇 실시예들에 따른 반도체 메모리 장치 제조 방법을 설명하기 위한 중간단계 도면들이다. 도 10 내지 도 25를 참고하여 몇몇 실시예에 따른 반도체 메모리 장치 제조 방법에 대하여 설명한다.
- [0111] 도 10을 참고하면, 기판(100) 내에 복수의 소자 분리막(105)과 복수의 게이트 구조체(110)가 형성될 수 있다.
- [0112] 복수의 게이트 구조체(110)는 각각 제1 방향(D1)으로 연장될 수 있다. 복수의 게이트 구조체(110)는 서로 제2 방향(D2)으로 이격될 수 있다. 복수의 게이트 구조체(110) 중 일부는 소자 분리막(105) 내에 배치될 수 있다. 복수의 게이트 구조체(110) 중 일부는 기판(100) 내에 매립될 수 있다.
- [0113] 게이트 구조체(110)는 게이트 절연막(111)과, 게이트 전극(112)과, 게이트 캡핑 도전막(113)과, 게이트 캡핑 패턴(114)을 포함할 수 있다.
- [0114] 게이트 절연막(111)은 게이트 트렌치(110t)의 프로파일을 따라 배치될 수 있다. 게이트 전극(112)은 게이트 절연막(111) 상에 배치될 수 있다. 게이트 전극(112)은 게이트 트렌치(110t)의 일부를 채울 수 있다. 게이트 캡핑 도전막(113)은 게이트 전극(112) 상에 배치될 수 있다. 게이트 캡핑 도전막(113)은 게이트 트렌치(110t)의 일부를 채울 수 있다. 게이트 캡핑 패턴(114)은 게이트 캡핑 도전막(113) 상에 배치될 수 있다. 게이트 캡핑 패턴(114)은 게이트 전극(112)과 게이트 캡핑 도전막(113)을 형성하고 남은 게이트 트렌치(110t)를 채울 수 있다.
- [0115] 이어서, 기판(100)의 상면, 소자 분리막(105)의 상면, 및 게이트 구조체(110)의 상면 상에 프리 매몰 컨택(BC_P)이 형성될 수 있다. 프리 매몰 컨택(BC_P)은 예를 들어, 불순물이 도핑된 반도체 물질, 도전성 실리사이드 화합물, 도전성 금속 질화물 및 금속 중 적어도 하나를 포함할 수 있다. 이하에서 프리 매몰 컨택(BC_P)은 폴리 실리콘인 것으로 설명한다.
- [0116] 도 11을 참고하면, 프리 매몰 컨택(BC_P) 상에 프리 마스크막(300P)이 형성될 수 있다. 프리 마스크막(300P)은 예를 들어, SOH(spin on hardmask)일 수 있으나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0117] 도 12를 참고하면, 프리 마스크막(300P) 상에 제1 포토레지스트(PR1)가 형성될 수 있다.
- [0118] 제1 포토레지스트(PR1)는 후술할 펜스를 형성하기 위해 이용될 수 있다. 각각의 제1 포토레지스트(PR1) 사이의 제2 방향(D2)으로의 간격은, 펜스의 제2 방향(D2)으로의 폭과 동일할 수 있다. 여기서 '동일'이란 공정 상의 마진을 포함할 수 있다.
- [0119] 도 13을 참고하면, 복수의 제1 포토레지스트(PR1)를 마스크로 이용하여 프리 마스크막(300P) 및 프리 매몰 컨택(BC_P)을 식각할 수 있다.
- [0120] 프리 마스크막(300P)이 식각되어 마스크막(300)이 형성될 수 있다. 프리 매몰 컨택(BC_P)이 식각되어 매몰 컨택(BC), 및 트렌치(TR)가 형성될 수 있다.
- [0121] 트렌치(TR)는 인접하는 매몰 컨택(BC) 사이에 형성될 수 있다. 트렌치(TR)의 측벽(TR_SW)은 매몰 컨택(BC)의 측

벽과 동일할 수 있다. 트렌치(TR)의 바닥면(TR_BS)은 기판(100)의 상면보다 낮게 형성될 수 있다. 다만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.

- [0122] 도 14를 참고하면, 제1 포토레지스트(PR1)가 제거될 수 있다. 제1 포토레지스트(PR1)가 제거되어 마스크막(300)의 상면이 노출될 수 있다.
- [0123] 도 15를 참고하면, 기판(100) 상에, 프리 스페이서막(170S_P)이 형성될 수 있다.
- [0124] 프리 스페이서막(170S_P)은 트렌치(TR)의 바닥면(TR_BS), 트렌치(TR)의 측벽(TR_SW), 마스크막(300)의 측벽, 및 마스크막(300)의 상면을 따라 컨포말하게 형성될 수 있다.
- [0125] 프리 스페이서막(170S_P)은 예를 들어, 원자층 증착(atomic layer deposition; ALD) 공정을 이용하여 형성될 수 있지만, 이에 제한되는 것은 아니다. 프리 스페이서막(170S_P)은 저유전율 물질을 포함할 수 있다. 프리 스페이서막(170S_P)은 저유전율 물질을 포함할 수 있다. 프리 스페이서막(170S_P)은 예를 들어, 실리콘 산화물(SiO₂), 또는 실리콘 질화물보다 낮은 유전 상수를 갖는 저유전율 물질 중 적어도 하나를 포함할 수 있지만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0126] 도 16을 참고하면, 프리 스페이서막(170S_P)의 일부가 제거되어 스페이서막(170S)이 형성될 수 있다.
- [0127] 프리 스페이서막(170S_P)이 식각되어 트렌치(TR)의 바닥면(TR_BS)의 일부, 트렌치(TR)의 측벽(TR_SW)의 일부, 마스크막(300)의 상면 및 마스크막(300)의 측벽이 노출될 수 있다. 트렌치(TR) 내에 한 쌍의 스페이서막(170S)은 제2 방향(D2)으로 서로 이격될 수 있다. 트렌치(TR) 내의 한 쌍의 스페이서막(170S)은 트렌치(TR)의 바닥면(TR_BS)을 따라 연장되지 않을 수 있다.
- [0128] 도 17을 참고하면, 기판(100), 소자 분리막(105) 및 게이트 구조체(110) 상에, 프리 필링막(170F_P)이 형성될 수 있다.
- [0129] 프리 필링막(170F_P)은 스페이서막(170S)이 형성되고 남은 트렌치(TR)를 채울 수 있다. 프리 필링막(170F_P)은 스페이서막(170S)과, 마스크막(300)을 완전히 덮을 수 있다. 프리 필링막(170F)은 스페이서막(170S) 보다 유전 상수가 높은 물질을 포함할 수 있다. 프리 필링막(170F)은 예를 들어, 실리콘 질화물, 실리콘 산화물, 또는 실리콘 산화물보다 높은 유전 상수를 갖는 고유전율 물질 중 적어도 하나를 포함할 수 있지만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0130] 도 18을 참고하면, 프리 필링막(170F_P)과, 마스크막(300)을 제거하여 필링막(170F)이 형성될 수 있다.
- [0131] 마스크막(300)이 제거되어 매몰 콘택(BC)이 노출될 수 있다. 필링막(170F)의 상면에서 스페이서막(170S)의 상면까지의 높이(H)는 5nm 내지 100nm일 수 있다. 다만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0132] 도 19를 참고하면, 매몰 콘택(BC)의 일부가 식각될 수 있다. 매몰 콘택(BC)과 필링막(170F)의 식각 선택비는 다르기 때문에, 매몰 콘택(BC)만 선택적으로 식각될 수 있다.
- [0133] 매몰 콘택(BC)의 상면(BC_US)은 스페이서막(170S)의 상면(170S_US) 보다 높을 수 있다. 다만, 본 발명의 기술적 사상은 이에 제한되는 것은 아니고, 매몰 콘택(BC)의 상면(BC_US)은 스페이서막(170S)의 상면(170S_US) 보다 낮을 수 있음은 물론이다.
- [0134] 도 20을 참고하면, 매몰 콘택(BC)과, 필링막(170F) 상에, 프리 랜딩 패드(LP_P)가 형성될 수 있다.
- [0135] 프리 랜딩 패드(LP_P)는 매몰 콘택(BC)의 상면(BC_US)과 필링막(170F)을 완전히 덮을 수 있다. 프리 랜딩 패드(LP_P)는 예를 들어, 불순물이 도핑된 반도체 물질, 도전성 실리사이드 화합물, 도전성 금속 질화물, 도전성 금속 탄화물, 금속 및 금속 합금 중 적어도 하나를 포함할 수 있다.
- [0136] 도 21을 참고하면, 매몰 콘택(BC) 상에, 제2 포토레지스트(PR2)가 형성될 수 있다. 제2 포토레지스트(PR2)는 매몰 콘택(BC)과 제4 방향(D4)으로 오버랩되는 부분을 포함할 수 있다.
- [0137] 이어서, 제2 포토레지스트(PR2)를 마스크로 이용하여 프리 랜딩 패드(LP_P)의 일부와, 필링막(170F)의 일부가 제거될 수 있다. 프리 랜딩 패드(LP_P)의 일부 및 필링막(170F)의 일부가 제거되어 층간 절연막 트렌치(180t)가 형성될 수 있다.
- [0138] 프리 랜딩 패드(LP_P)의 일부가 제거되어 랜딩 패드(LP)가 형성될 수 있다.
- [0139] 도 22를 참고하면, 층간 절연막 트렌치(180t)를 채우는 층간 절연막(180)이 형성될 수 있다.

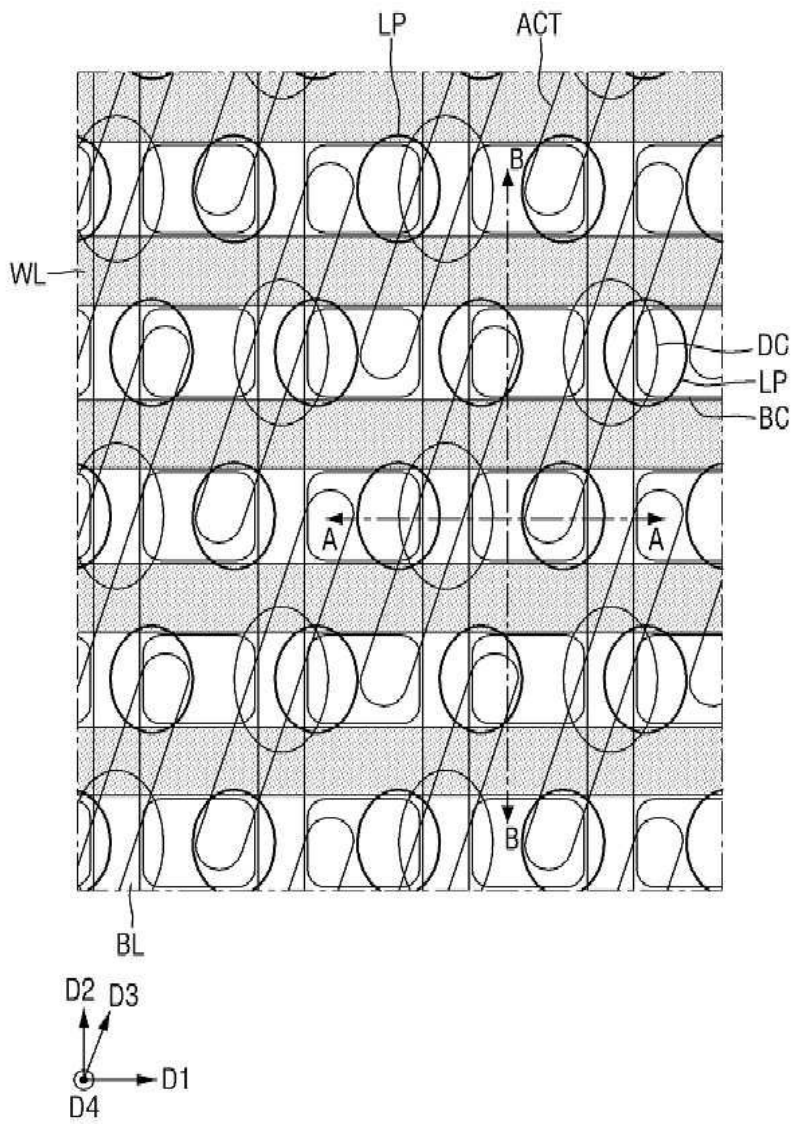
- [0140] 도시되진 않았지만, 층간 절연막 트렌치(180t)를 채우고, 제2 포토레지스트를 덮는 프리 층간 절연막이 형성될 수 있다. 이어서, 제2 포토레지스트와 프리 층간 절연막을 제거하여 층간 절연막(180)이 형성될 수 있다.
- [0141] 도 23를 참고하면, 층간 절연막(180)과 랜딩 패드(LP) 상에, 식각 정지막(185)과 커패시터(190)가 형성될 수 있다.
- [0142] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

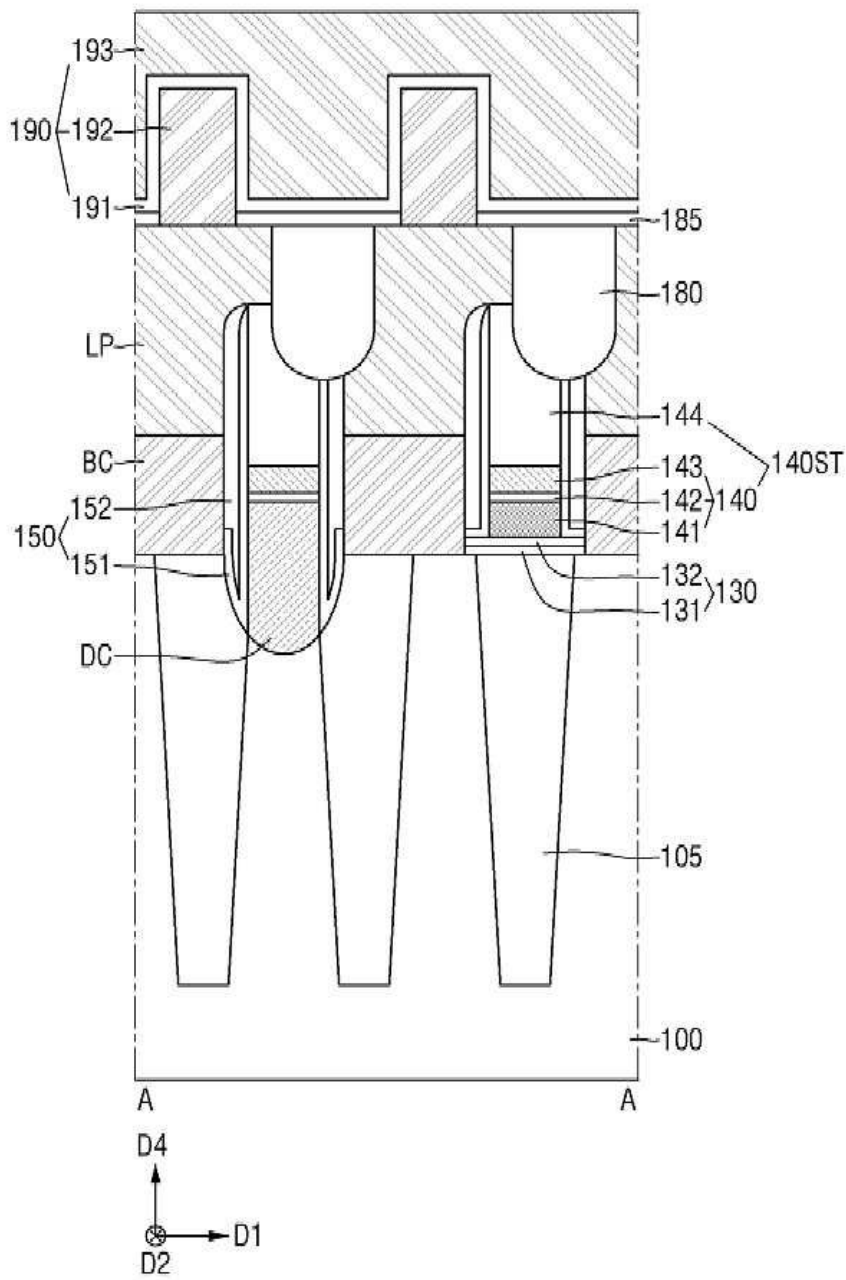
- [0143] 100: 기관 112: 게이트 전극
 BC: 매몰 콘택 TR: 트렌치
 170: 펜스 170S: 스페이서막
 170F: 필링막 DC: 다이렉트 콘택
 LP: 랜딩 패드 190: 커패시터

도면

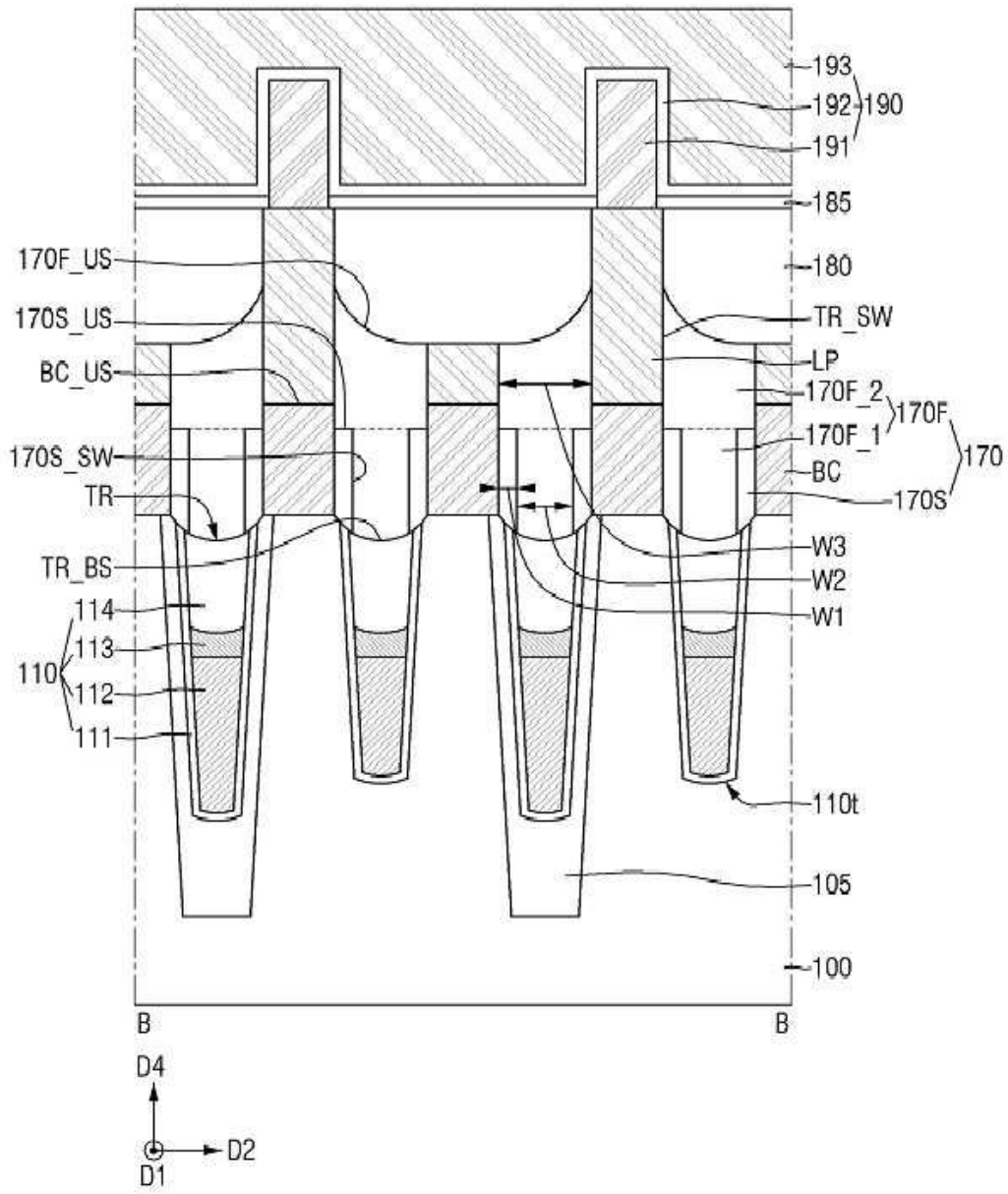
도면1



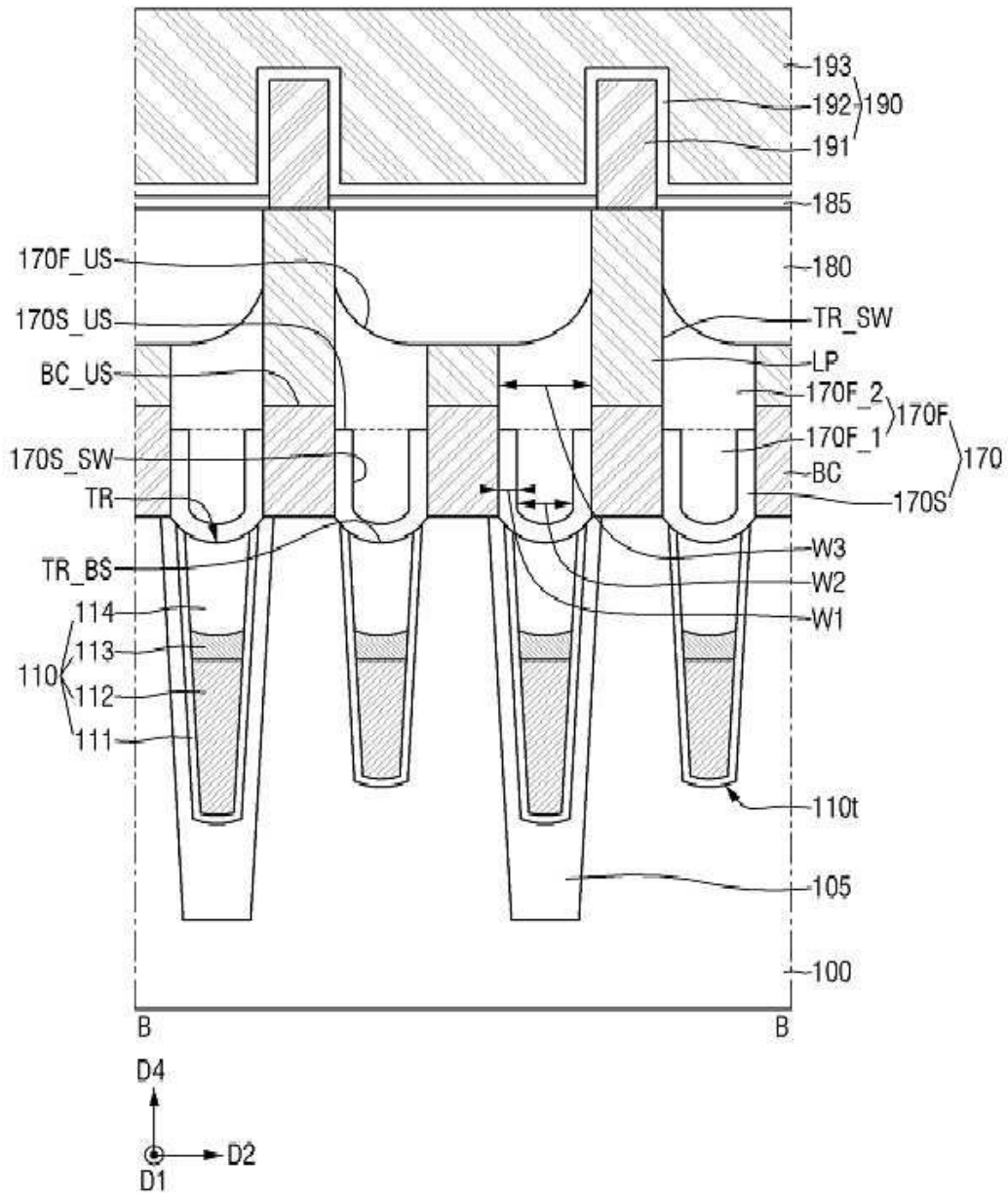
도면2



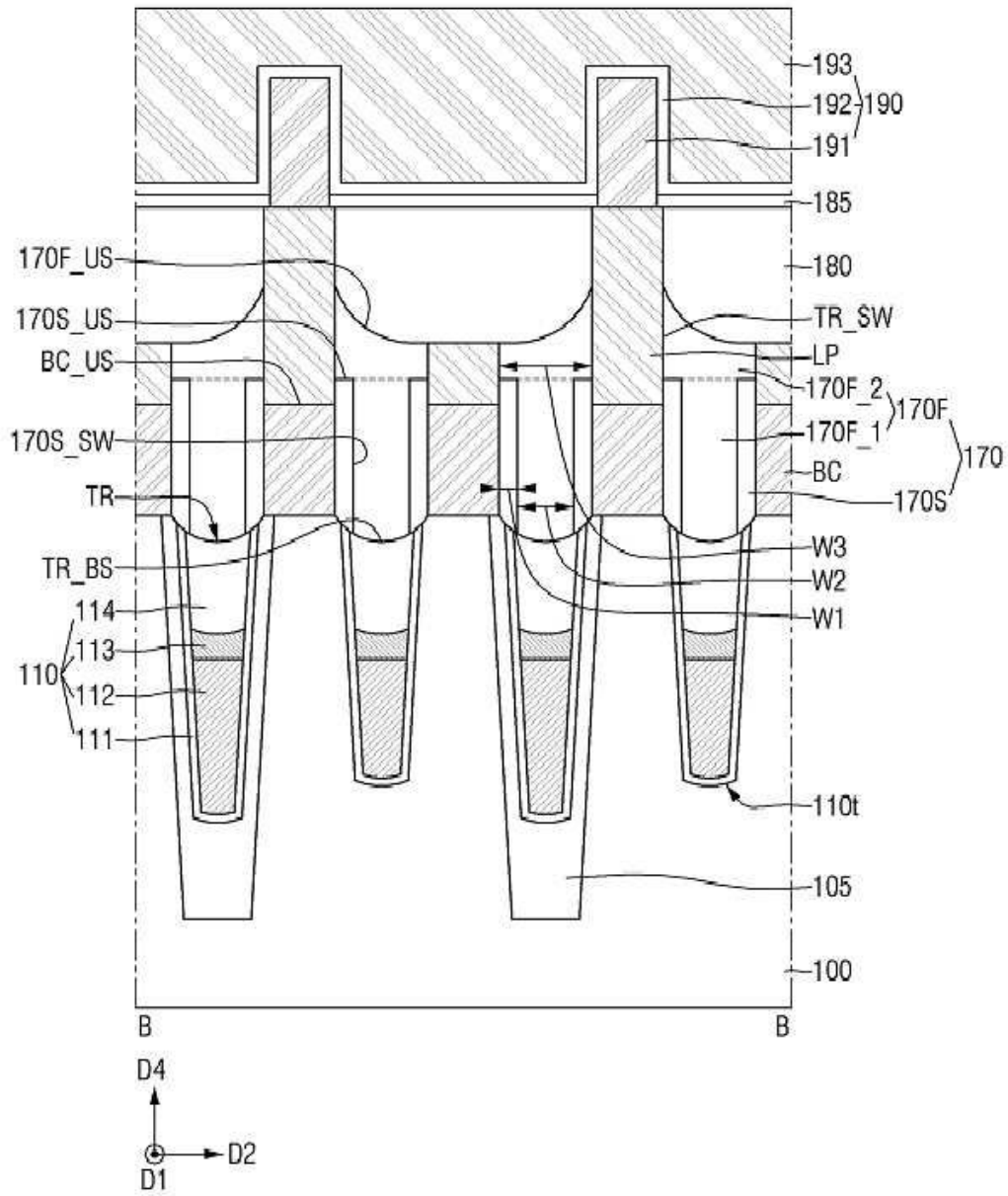
도면3



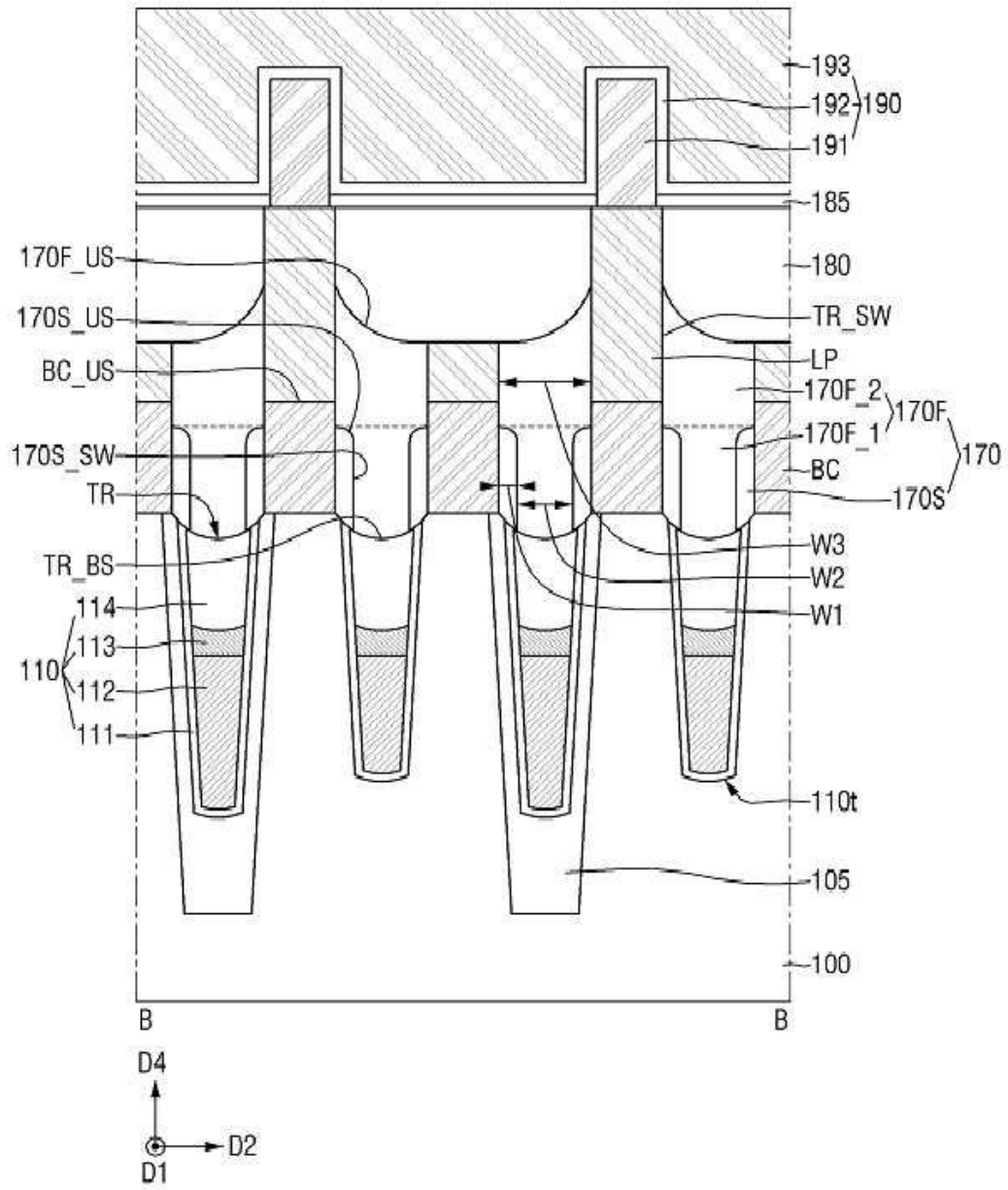
도면4



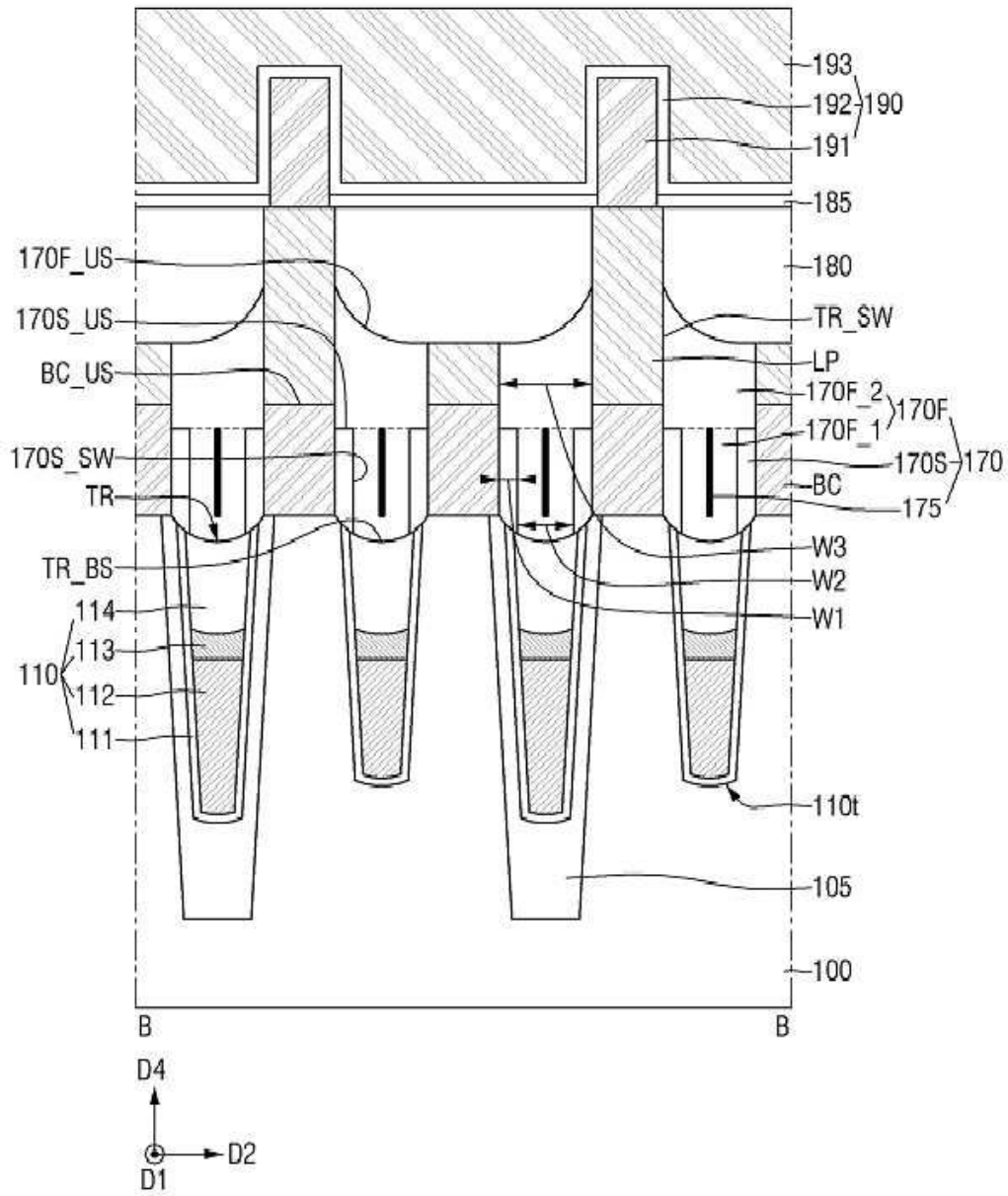
도면5



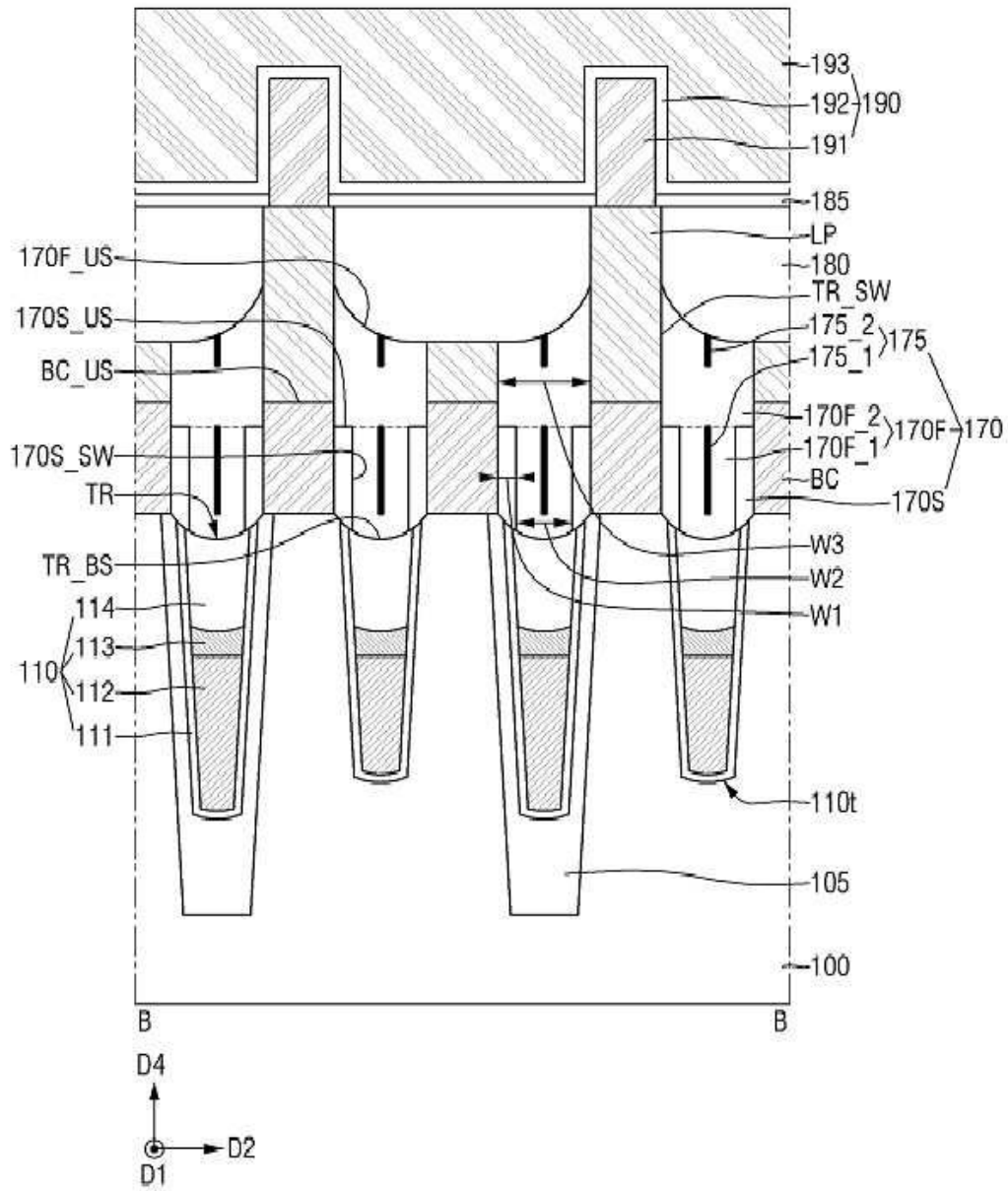
도면6



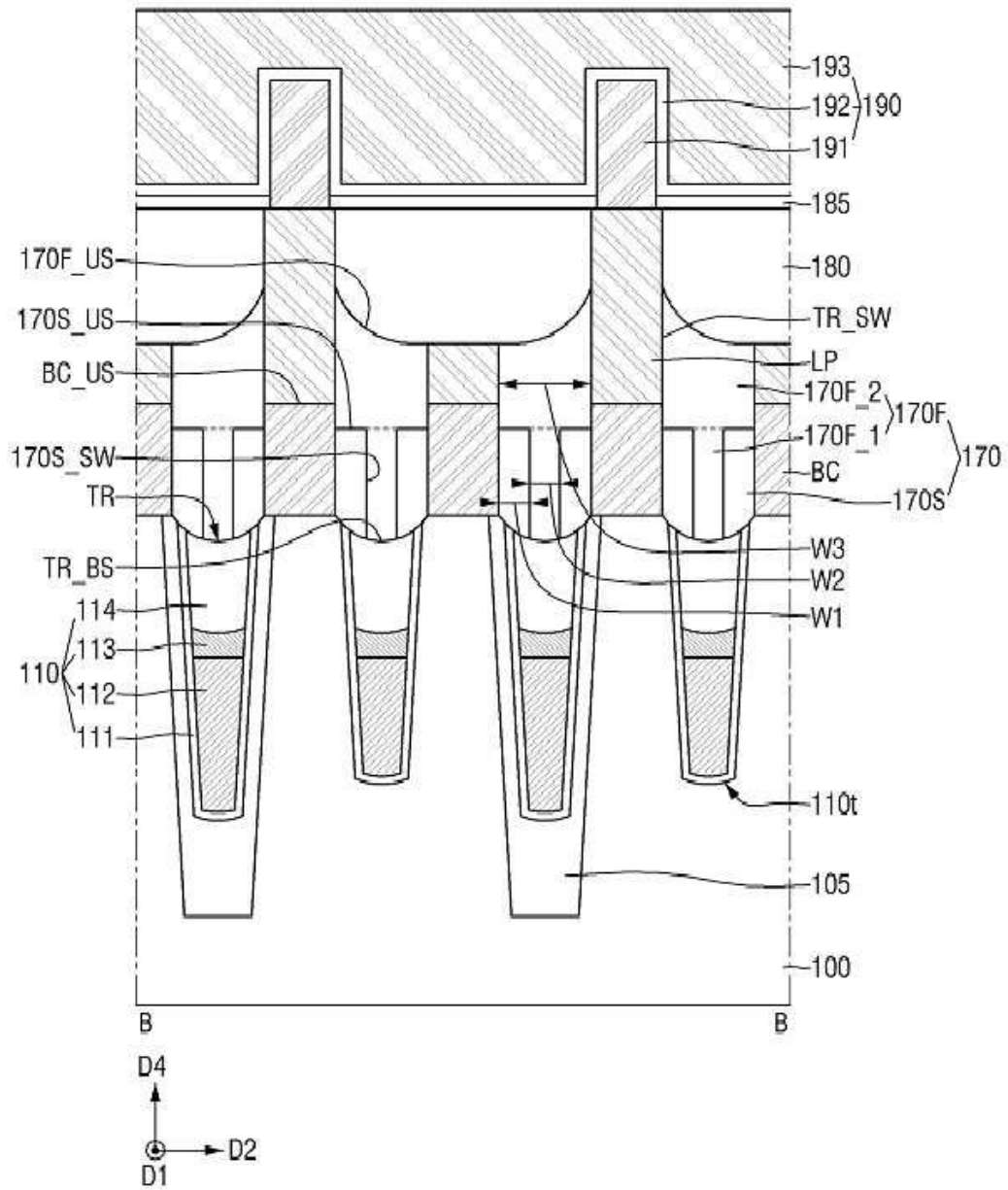
도면7



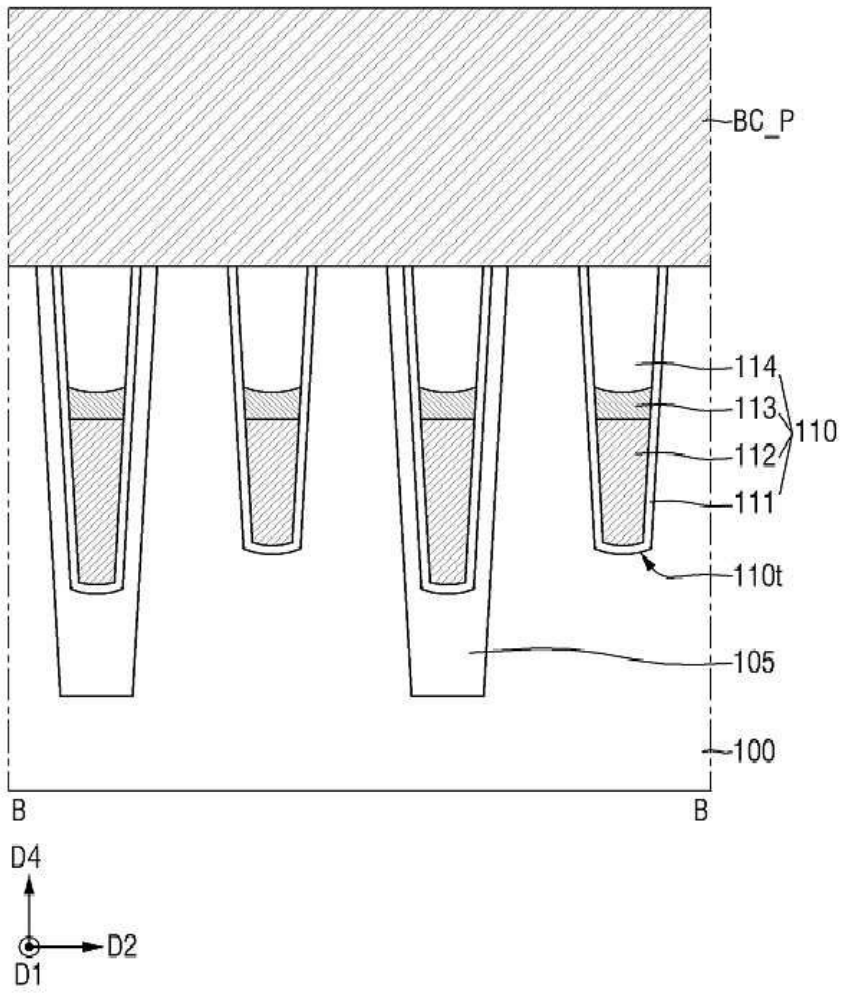
도면8



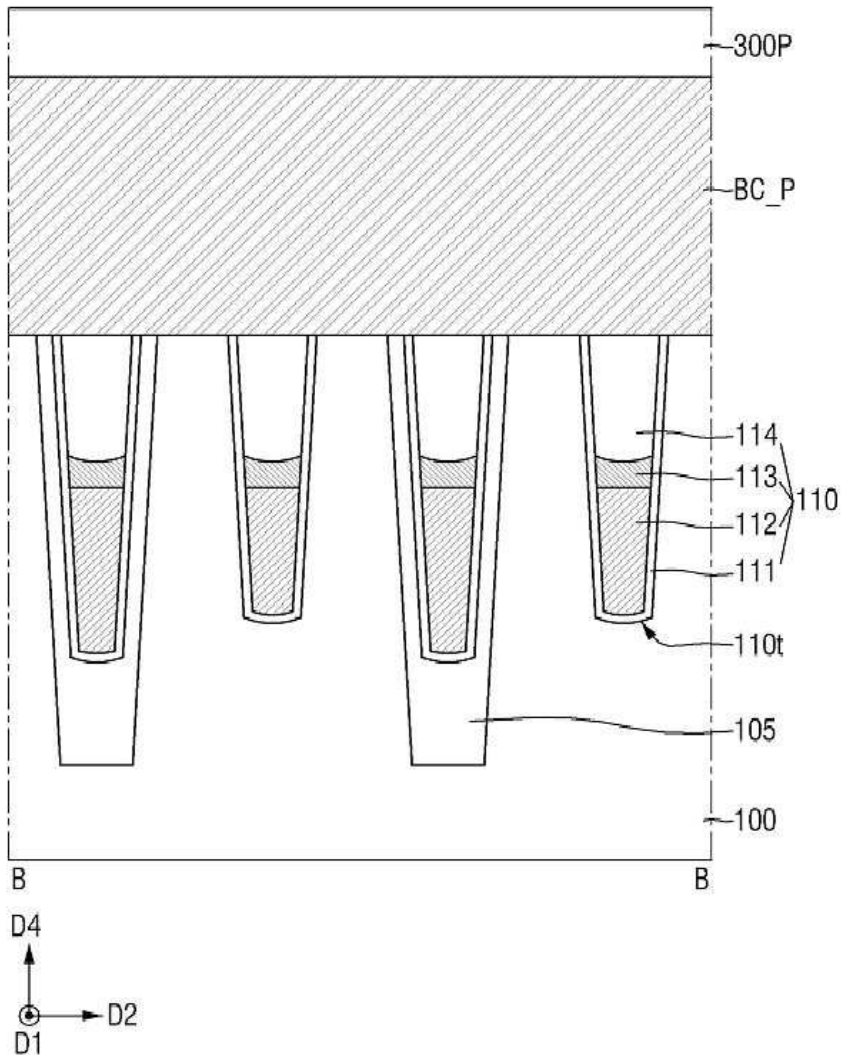
도면9



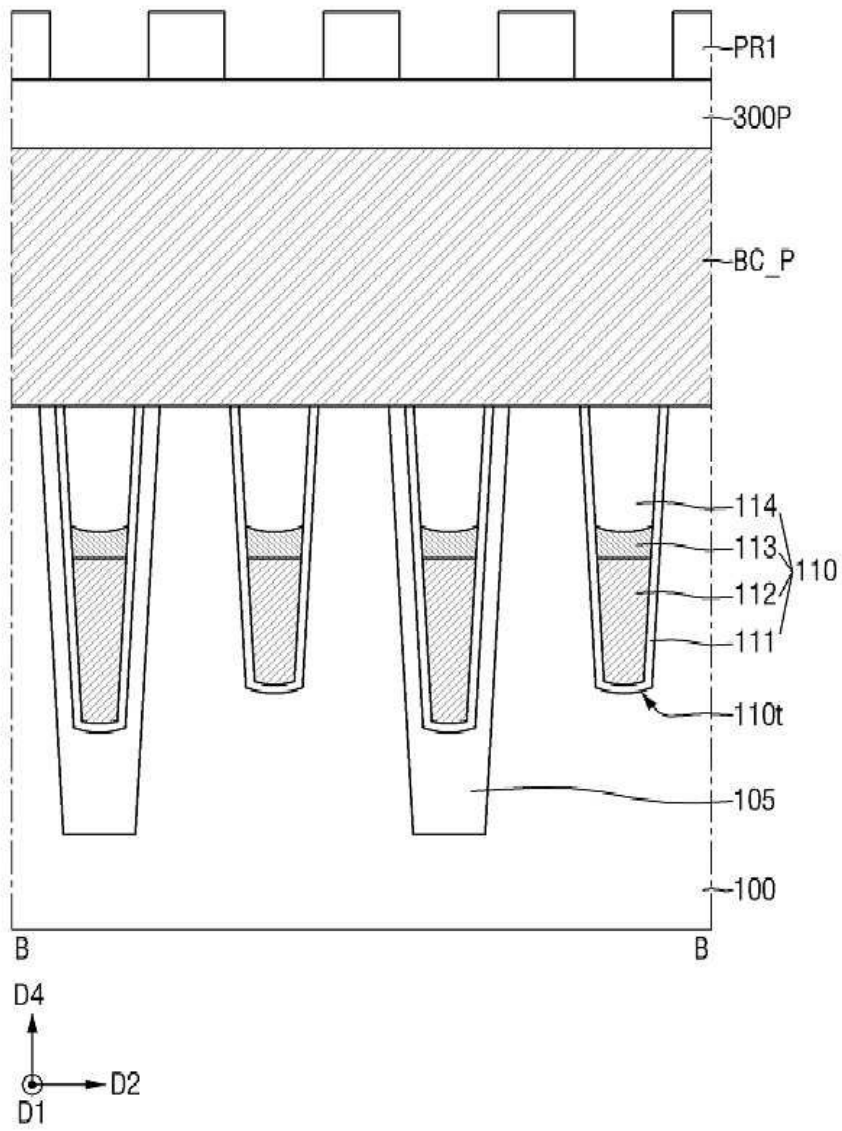
도면10



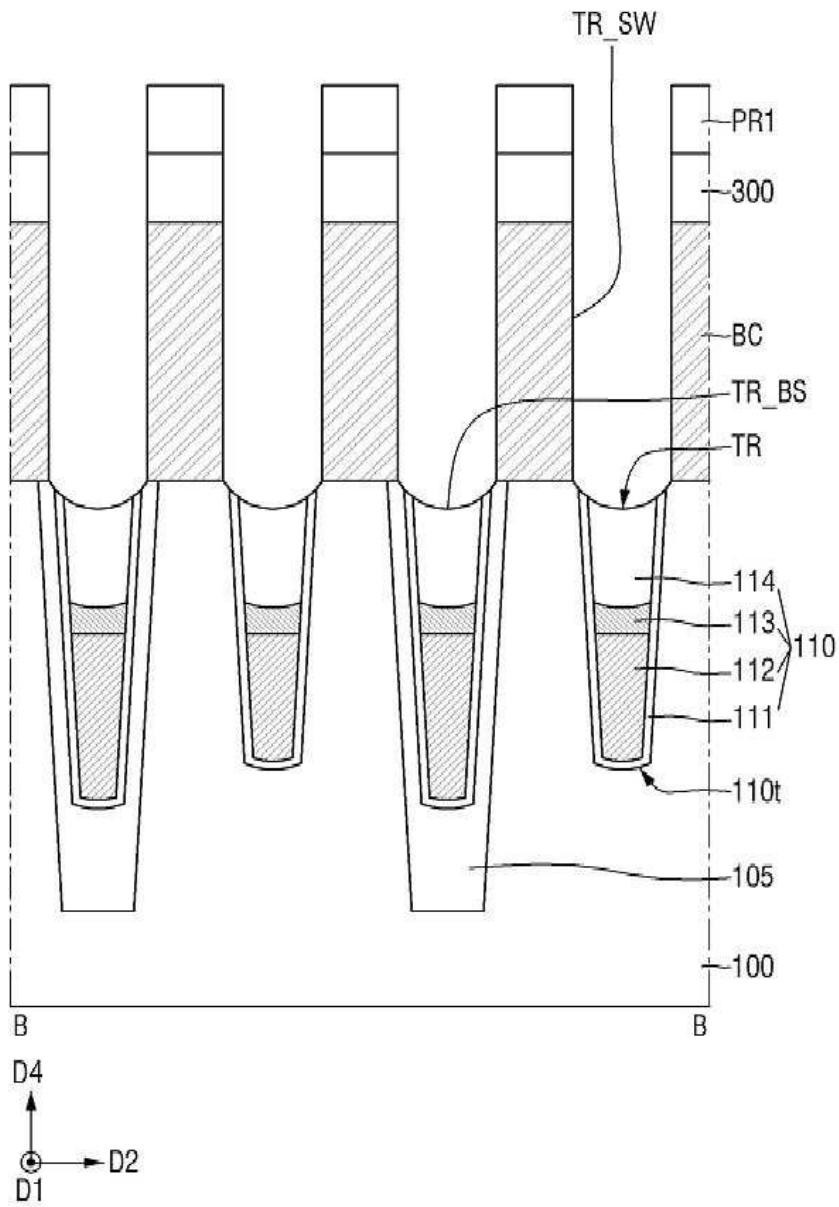
도면11



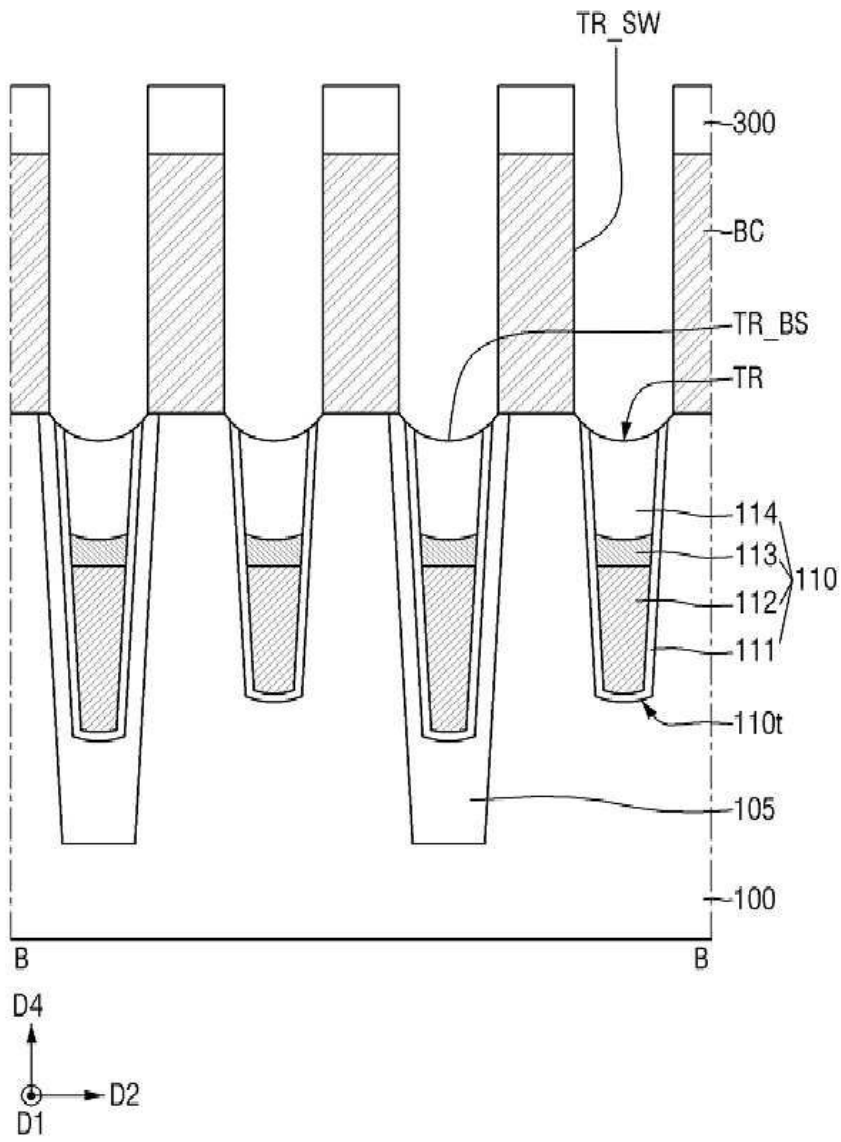
도면12



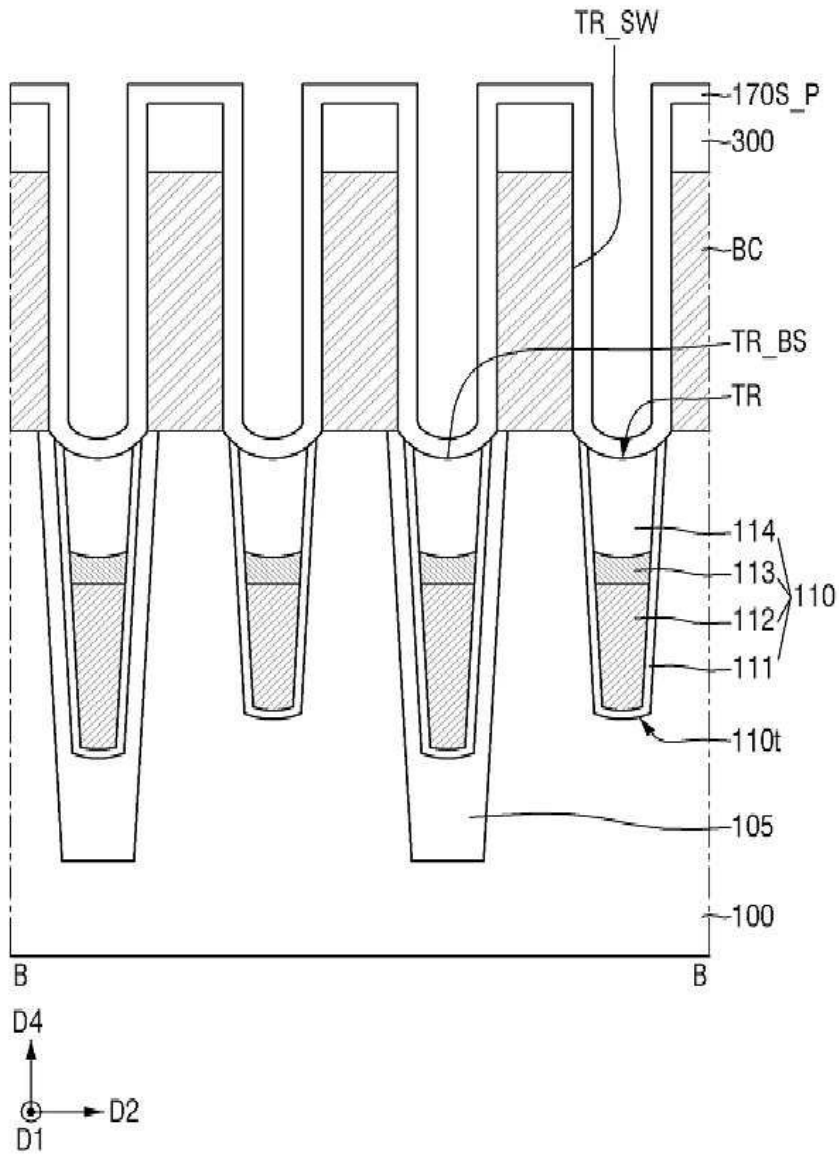
도면13



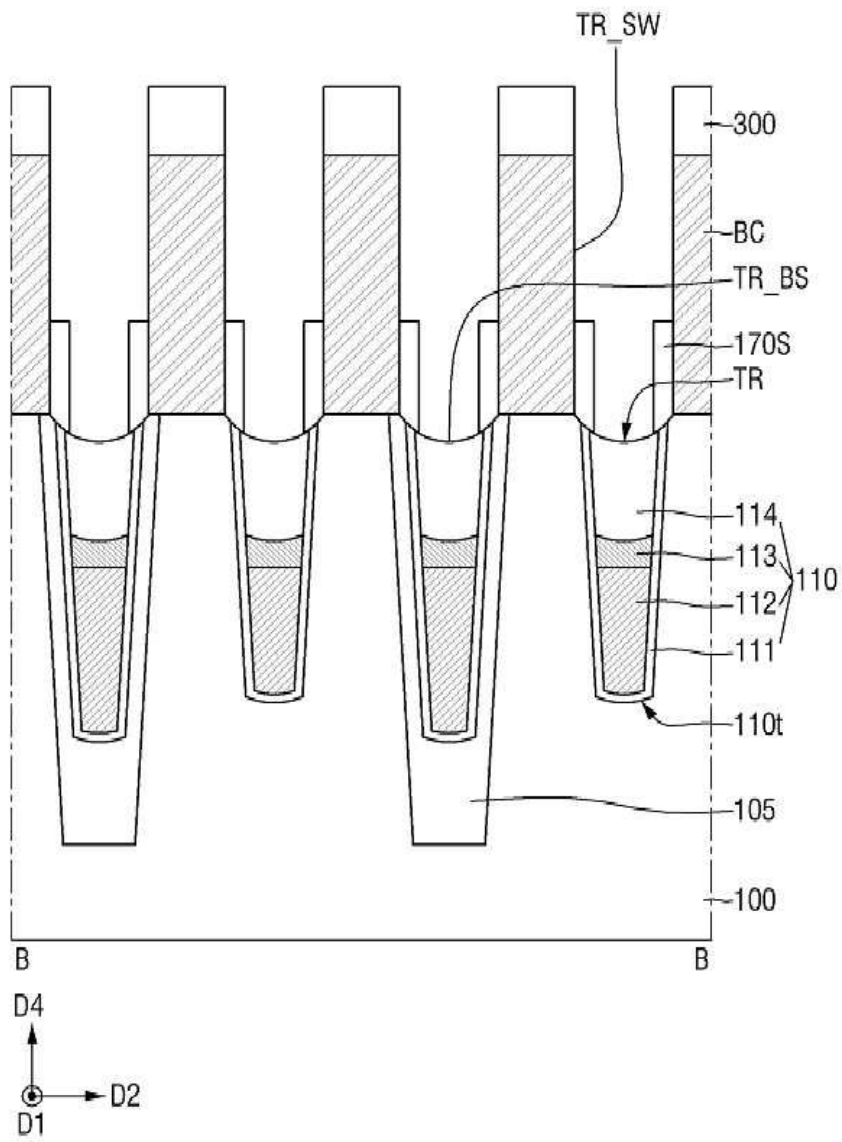
도면14



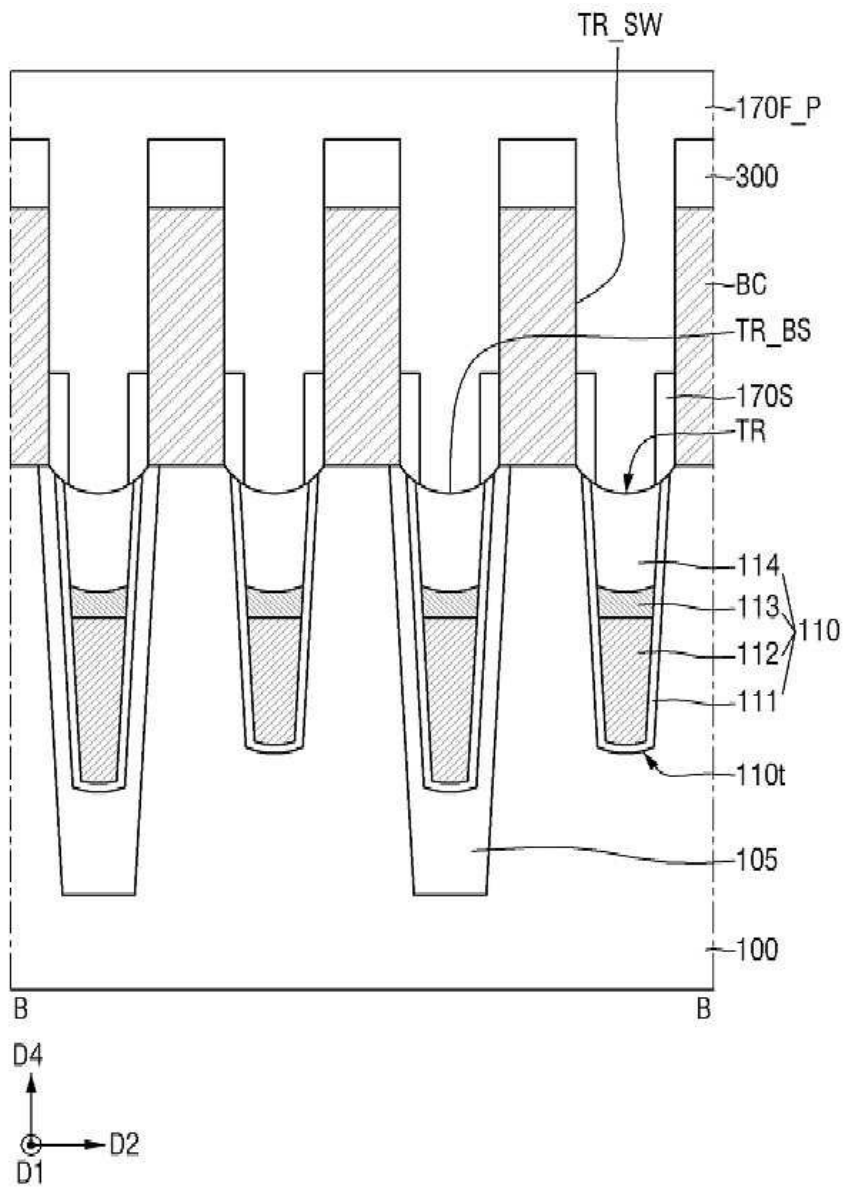
도면15



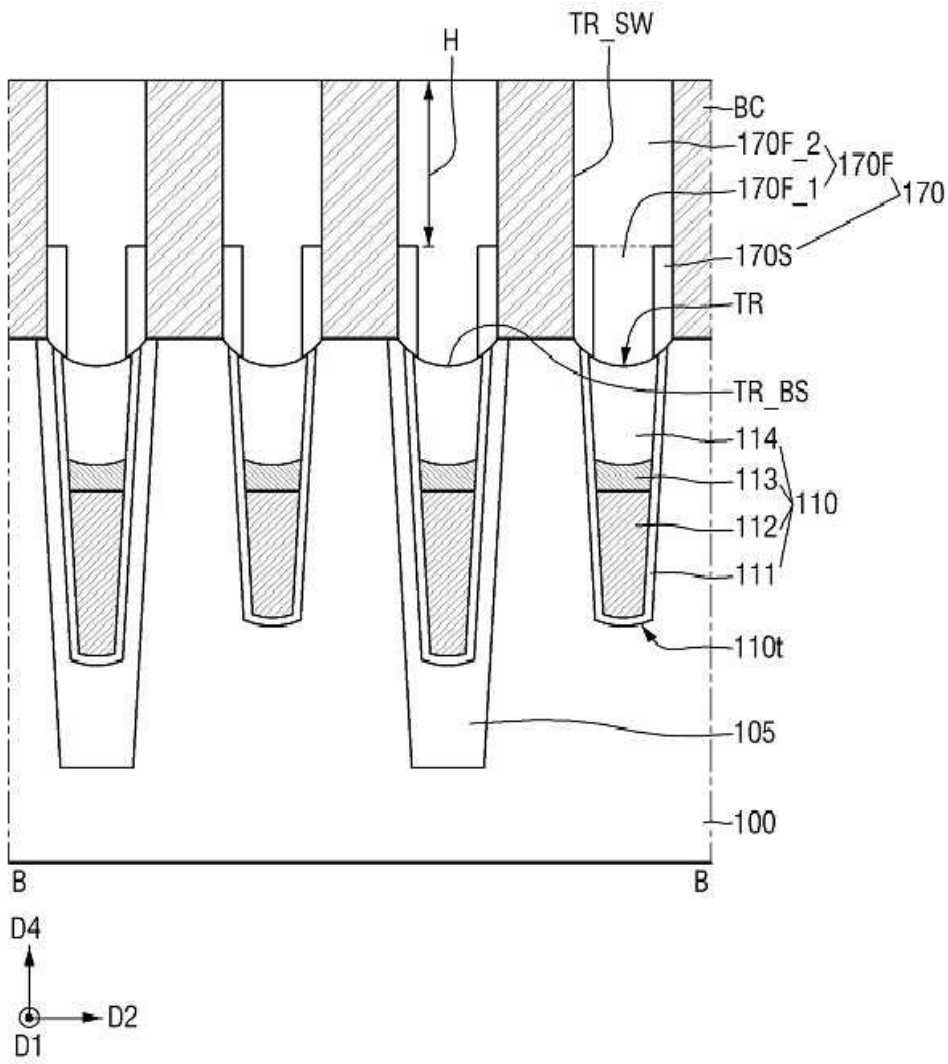
도면16



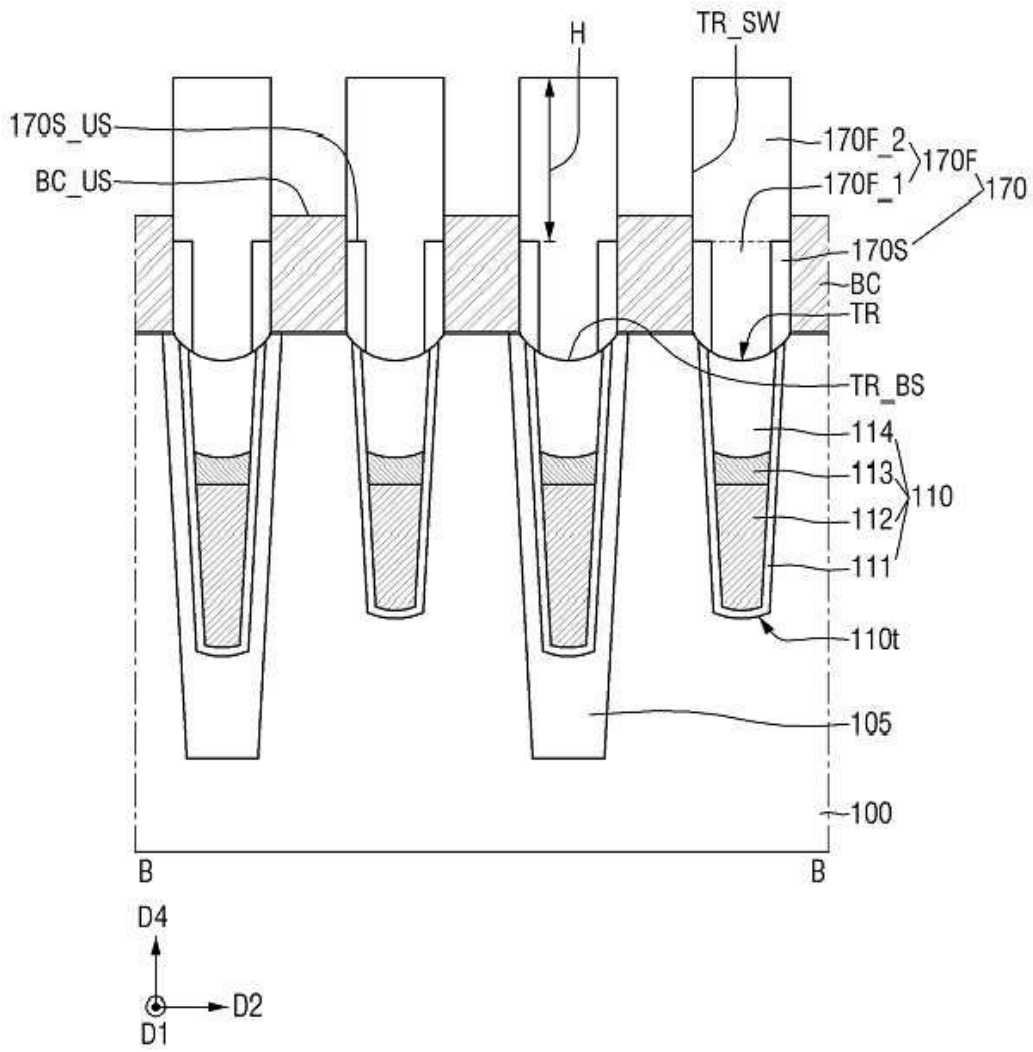
도면17



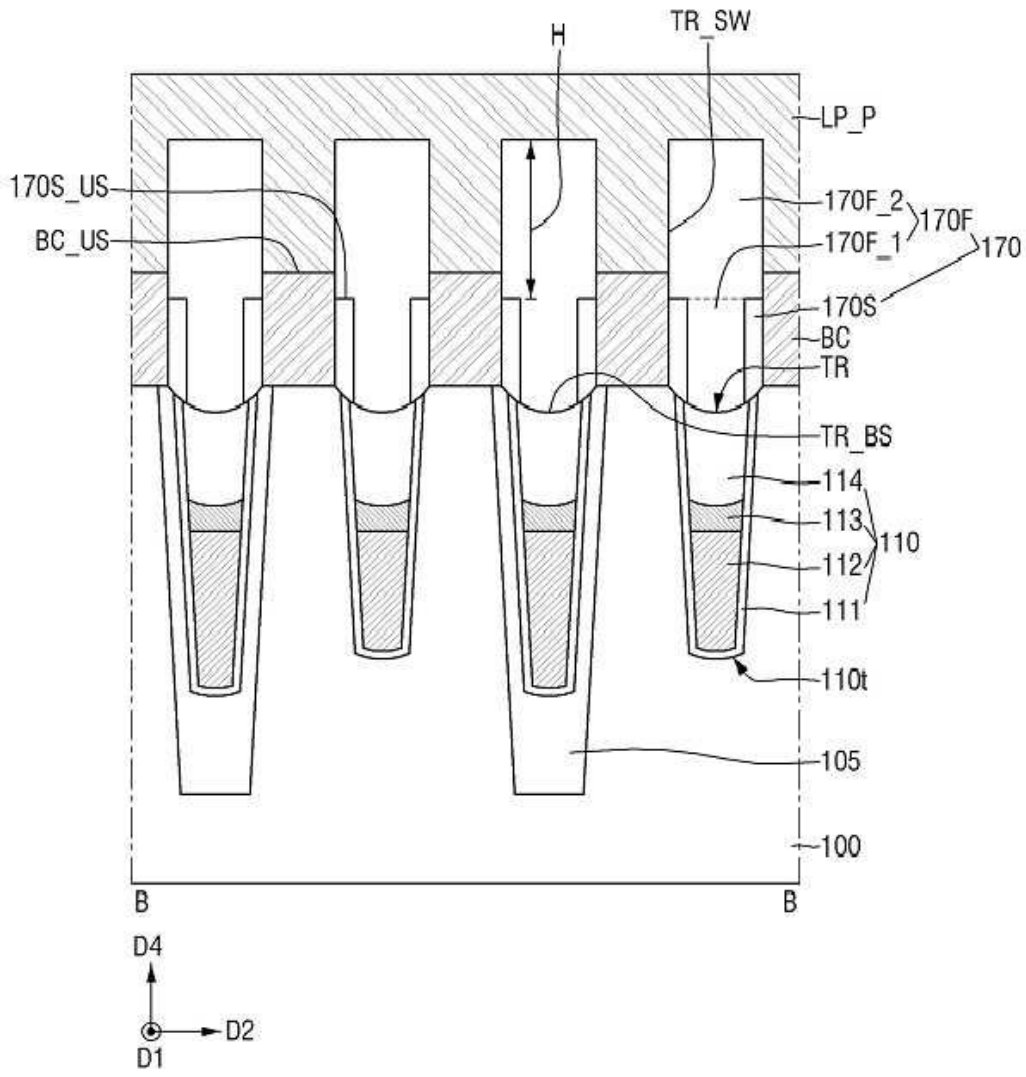
도면18



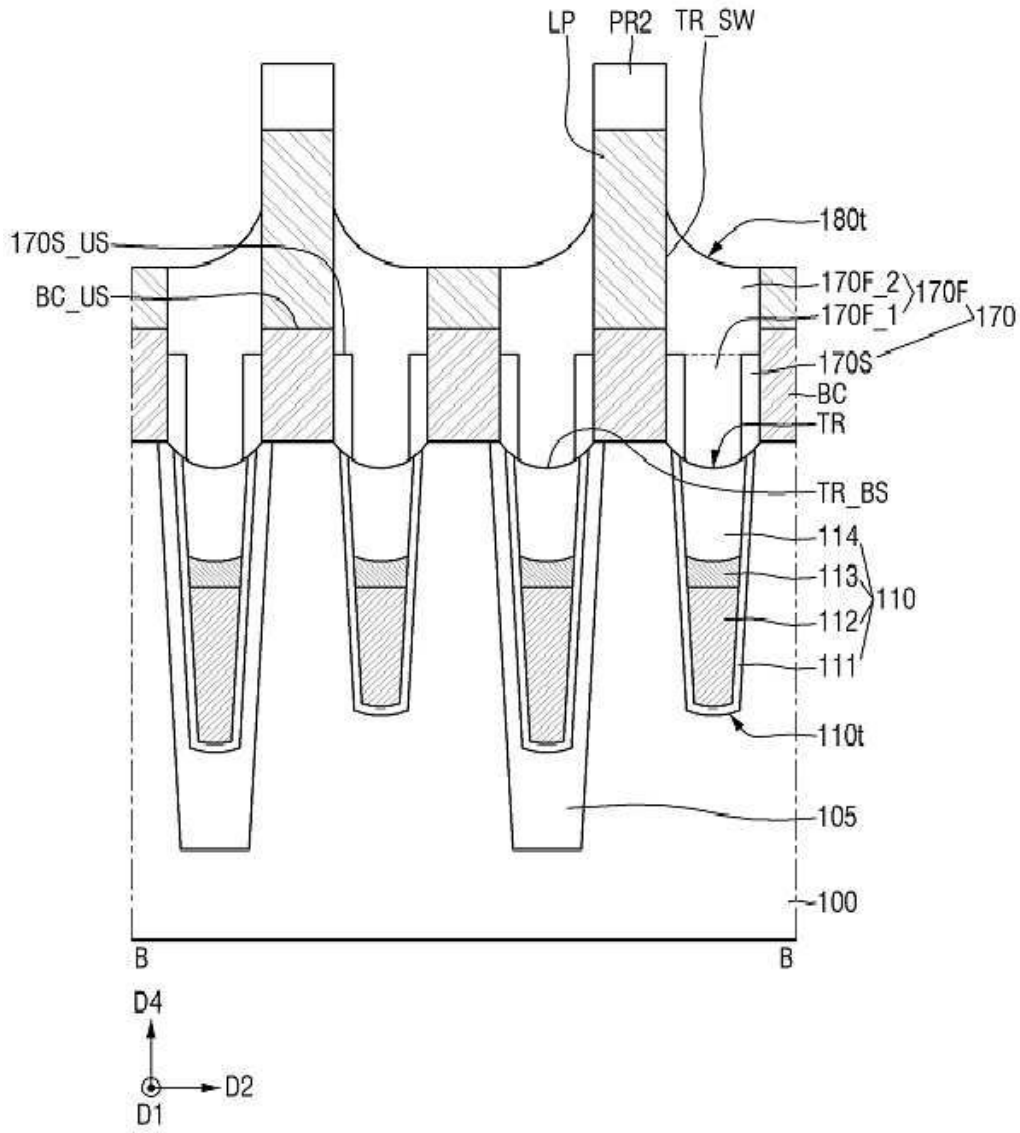
도면19



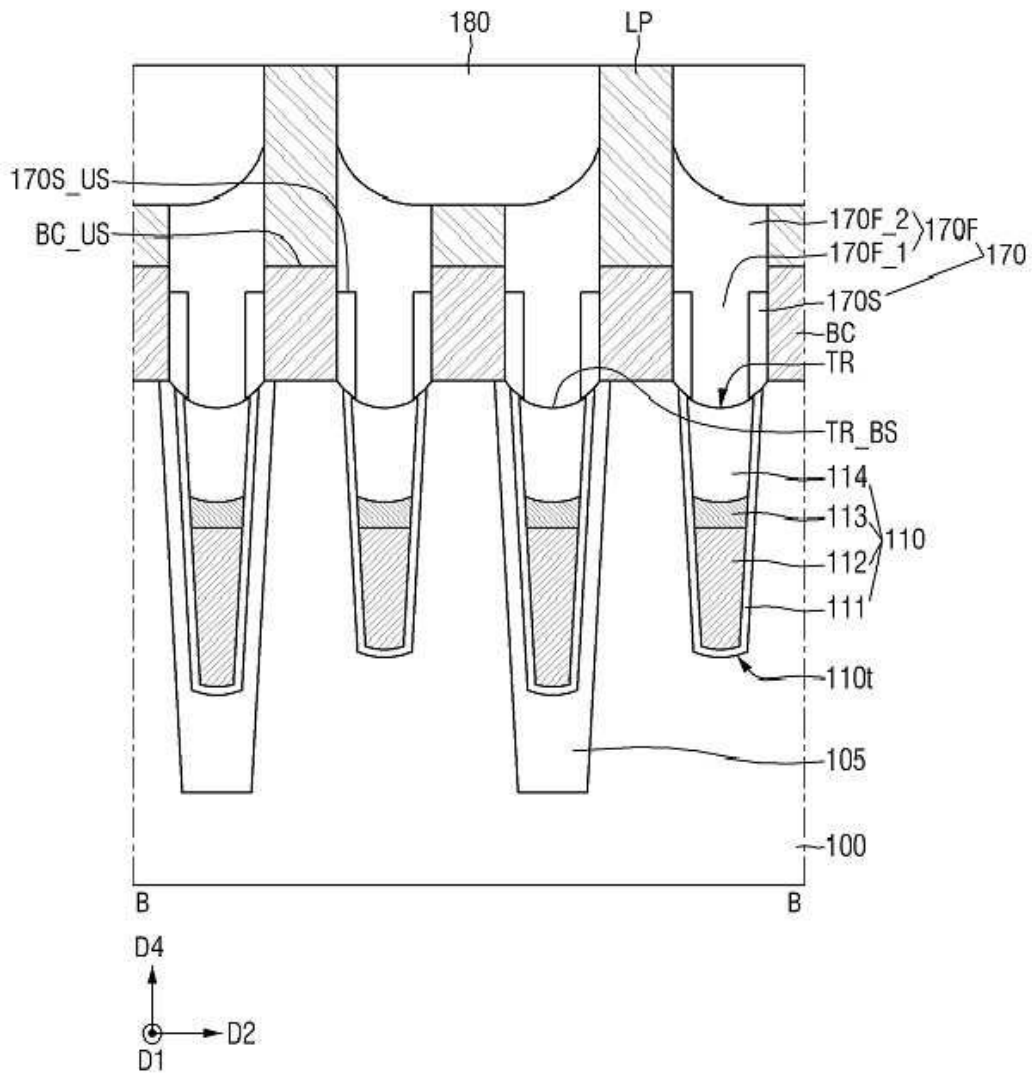
도면20



도면21



도면22



도면23

