

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl. ⁶ G11C 11/407	(45) 공고일자 1996년 12월 09일	(11) 공고번호 특1996-0016363
(21) 출원번호 특1993-0024054	(24) 등록일자 1996년 12월 09일	(65) 공개번호 특1995-0015381
(22) 출원일자 1993년 11월 12일	(43) 공개일자 1995년 06월 16일	

(73) 특허권자	엘지반도체주식회사 문정환 충청북도 청주시 향정동 50번지
(72) 발명자	이상현 서울특별시 관악구 신림 9동 231-14 김승봉 서울특별시 서초구 우면동 7-1
(74) 대리인	양순석

심사관 : 김승완 (책자공보 제4747호)

(54) 반도체 메모리장치의 칼럼 셀렉터 회로

요약

요약 없음

대표도

도1

명세서

[발명의 명칭]

반도체 메모리장치의 칼럼 셀렉터 회로

[도면의 간단한 설명]

제1도는 종래 반도체 메모리장치의 비트라인 제어기능의 칼럼 셀렉터회로도

제2도는 본 발명에 따른 반도체 메모리장치의 비트라인 제어회로의 블럭도

제3도는 본 발명에 따른 비트라인 제어회로의 컨트롤로직의 예시도

* 도면의 주요부분에 대한 부호의 설명

10 : 칼럼 셀렉터회로 20 : 비트라인 드라이브회로

30 : 컨트롤로직 40 : 비트라인 제어회로

N1-N6 : NMOS 트랜지스터 P1-P13 : PMOS 트랜지스터

BL, /BL : 비트라인 DL, /DL : 데이터라인

[발명의 상세한 설명]

본 발명은 반도체 메모리장치의 비트라인 제어회로에 관한 것으로서, 특히 칼럼, 셀렉터회로를 피모스 (PMOS) 트랜지스터만으로 구성하고, 한 쌍의 비트라인 사이에 비트라인 드라이브회로 및 이를 제어하는 컨트롤로직으로 이루어지는 비트라인 제어회로를 부가하여 칼럼 셀렉터회로에 의한 데이터라인의 캐패시턴스를 감소시키도록 한 반도체 메모리장치의 칼럼 셀렉터 회로에 관한 것이다.

일반적으로 반도체 메모리장치에 비트라인을 제어하는 칼럼 셀렉터는 제1도에 도시된 바와 같이 한쌍의 데이터라인(DL, /DL)에 연결되는 비트라인의 수는 칩 구성에 따라 4쌍, 8쌍, 16쌍등으로 접속된다.

즉 (가)도는 NMOS 트랜지스터를 사용하여 칼럼 셀렉터회로를 구성한 것으로서, 두개의 NOS 트랜지스터 (N1)(N2)의 게이트가 서로 접속되어 칼럼 선택신호(Ya)에 의해 제어되며, 상기 트랜지스터(N1)(N2)의 일측단에는 한쌍의 비트라인(BL, /BL)이 연결되곤, 타측단은 한쌍의 입출력 데이터라인(DL, /DL)에 접속되어 있다.

또한 (나)도는 PMOS 트랜지스터(P1, P2)를 사용하여 칼럼 셀렉터를 구성한 것으로서, (가)도와 같은 배열 구조를 갖고, 다만 칼럼 선택신호(Ya)와 반대위상의 칼럼 선택신호(/Ya)로 제어된다.

그리고 (다)도는 상기 (가)(나)도의 혼합형태로서 패스(pass) 게이트를 사용한 것이다.

즉 (가)도의 NMOS 트랜지스터(N1)(N2)는 라이트(Write)시 '하이' 데이터가 NMOS 트랜지스터의 문턱전압

만큼 감소되어서 비트라인(BL,/BL)에 전달되고, 또 리드(Read)시 NMOS 트랜지스터의 작은 전류 구동능력 때문에 비트라인(BL,/BL) 신호가 데이터라인(DL,/DL)에 전달되는 시간이 길게 된다.

또한 (나)도의 PMOS 트랜지스터(P1)(P2)는 라이트시 '로우' 데이터가 PMOS 트랜지스터(P1)(P2)의 문턱전압 만큼 증가되어서 비트라인(BL,/BL)에 전달되는 반면, 리드시 PMOS 트랜지스터의 전류구동능력이 크므로 비트라인(BL,/BL) 신호가 데이터라인(DL,/DL)에 전달되는 시간이 짧게 된다.

한편 위에서 설명한 두가지 회로의 장점을 취하고 단점을 제거하기 위해 (다)도의 패스게이트(Pass Gate)를 사용한다. 즉, 라이트시에는 NMOS와 PMOS가 각각 '로우' 데이터와 '하이' 데이터를 전압강하없이 전달하고, 리드시는 주로 PMOS에 의해 한쌍의 비트라인(BL,/BL)의 전압차가 그대로 데이터라인(DL,/DL)에 전달된다.

상기와 같은 종래 칼럼 셀렉터회로는 PMOS 트랜지스터와 NMOS 트랜지스터가 동시에 데이터라인에 연결되어 있는 관계로 인한 데이터라인의 로딩(Loading) 캐패시턴스가 증가하게 되며, 이는 고속동작에 있어서의 장애요인이 되어 반도체 메모리장치의 신뢰성이 저하되는 것이다.

본 발명은 상기와 같은 문제점을 해결하기 위해 칼럼 셀렉터 회로는 PMOS 트랜지스터만으로 구성하고, 한쌍의 비트라인 사이에 비트라인 드라이브회로와, 상기 비트라인 드라이브회로를 제어하는 콘트롤로직으로 구성된 비트라인 제어회로를 연결하여 라이트와 리드시의 동작 특성을 패스 트랜지스터의 경우와 같게 할 수 있고, 데이터라인의 로딩 캐패시턴스는 패스 트랜지스터의 경우보다 작게 하여 고속동작을 실행할 수 있도록 하는 반도체 메모리장치의 칼럼 셀렉터 회로를 제공하는데 있다.

상기 목적을 달성하기 위한 본 발명의 특징은, 한 쌍의 비트라인을 갖는 반도체 메모리장치의 비트라인 제어회로에 있어서, 2개 PMOS 트랜지스터의 게이트가 서로 접속되어 칼럼 선택신호의 반대위상을 갖는 신호에 의해 제어되며, 상기 트랜지스터 각각의 일측단에는 한쌍의 비트라인이 각각 연결되고, 타측단은 한쌍의 데이터라인의 접속된 칼럼 셀렉터 회로와, 칼럼 셀렉터 회로의 비트라인 선택유무에 따라 비트라인을 풀업 또는 플로팅상태로 만드는 비트라인 드라이브회로와, 상기 비트라인 드라이브회로의 일측단에 연결되어 칼럼 선택 신호 및 라이트 인에이블신호에 의해 동작되어 상기 비트라인 드라이브회로를 제어하는 콘트롤로직으로 이루어진 비트라인 제어회로를 상기 한쌍의 비트라인 사이에 병렬로 접속되는데 있다.

이하 첨부된 도면에 의해 상세히 설명하면 다음과 같다.

제2도는 본 발명에 따른 반도체 메모리장치의 비트라인 제어회로의 블록도로서, 칼럼 셀렉터 회로(10)는 2개의 PMOS 트랜지스터(P1)(P2)의 게이트가 서로 접속되어 칼럼 선택신호(Ya)의 반대위상을 갖는 /Ya신호로 제어되며, 상기 트랜지스터(P1)(P2)의 일측단에는 한쌍의 비트라인(BL,/BL)이 각각 연결되고, 타측단은 한쌍의 데이터라인(DL,/DL)이 접속된다.

또한 상기 한쌍의 비트라인(BL,/BL) 사이에는 비트라인 드라이브회로(40)가 접속되고, 상기 비트라인 드라이브회로(40)는 2개의 NMOS 트랜지스터(N1)(N2)의 일측에 연결되어 칼럼 선택신호(Ya,/Ya) 및 라이트 인에이블신호(WE)에 의해 래치회로(20)를 제어하는 콘트롤로직(30)을 포함하여 구성된다.

제3도는 상기 콘트롤로직(30)의 구체적인 회로를 도시한 것으로서, (A)도는 래치회로(20)은 트랜지스터(N1)(N2) 타측단자(X,Y)에 NMOS 트랜지스터(N3)의 일측단자가 병렬로 접속되고, 상기 트랜지스터(N3)는 칼럼 선택신호(Ya) 및 라이트 인에이블신호(WE)가 적(積)으로 게이트에 인가되어 제어된다.

(B)도는 두개의 NMOS 트랜지스터(N4)(N5)의 게이트가 서로 접속되어 칼럼 선택신호(Ya) 및 라이트 인에이블신호(WE)에 의해 제어되고, 상기 트랜지스터(N4)(N5)의 일측단은 래치회로(20)의 X,Y 단자에 각각 연결되며, 타측단은 접지되어 있다.

(C)도는 하나의 NMOS 트랜지스터(N6)로 구성되며, 상기 트랜지스터(N6)의 드레인단은 래치회로(20)인 X,Y 단자에 연결되고, 소스측은 반대위상의 칼럼 선택신호(/Ya)가 인가되며, 게이트단에는 라이트 인에이블신호(WE)에 의해 제어된다.

상기와 같이 이루어진 본 발명은 비트라인(BL,/BL)이 선택되지 않은 경우와, 선택된 경우를 구분하여 설명하면 다음과 같다.

먼저 비트라인(BL,/BL)이 선택않을 경우에는 칼럼 셀렉터신호(Ya)가 '로우'레벨이 됨에 따라 비트라인 드라이브회로(40)인 래치회로(20)의 X,Y단 전압이 '하이' 임피던스(플로팅) 상태이거나 Vcc 레벨이 되어 래치회로(20)가 동작을 하지 않아 풀업(pull-up) 회로의 역할을 하게 된다.

즉, 래치회로(20)에 연결된 콘트롤로직(30)을 제3도의 (A)를 적용할 경우를 설명하면, 먼저 비트라인(BL,/BL)이 선택되지 않으면 칼럼 선택신호(Ya)가 '로우'레벨이 됨에 따라 콘트롤로직(30)의 트랜지스터(N3)가 오프됨과 동시에 반대 위상신호 /Ya에 의해 제어되는 칼럼 셀렉터회로(10)의 트랜지스터(P1)(P2)는 턴온 상태가 된다.

따라서 비트라인(BL,/BL)에 공급되는 데이터는 래치회로(20)의 동작으로 X,Y단을 통해 트랜지스터(N3)로 인가되나, 상기 트랜지스터(N3)는 오프상태로 되어 라이트 인에이블신호(WE)에 관계없이 래치회로(20)의 X,Y 전압이 '하이' 임피던스(플로팅) 상태 또는 Vcc 레벨이 된다.

또한 콘트롤로직(30)을 제3도의 (B)를 적용할 경우 비트라인(BL,/BL)이 선택되지 않으면 칼럼 선택신호(Ya)가 '로우'레벨이 됨에 따라 콘트롤로직(30)의 트랜지스터(N4)(N5)가 오프됨과 동시에 반대 위상신호 /Ya에 의해 제어되는 칼럼 셀렉터회로(10)의 트랜지스터(P1)(P2)는 턴온 상태가 된다.

따라서 비트라인(BL,/BL)에 공급되는 데이터는 래치회로(20)의 동작으로 X,Y단을 통해 트랜지스터(N3)로 인가되나, 상기 트랜지스터(N3)는 오프상태로 되어 라이트 인에이블신호(WE)가 '로우'일때 래치회로(20)의 X,Y 전압이 '하이' 임피던스(플로팅) 상태 또는 Vcc 레벨이 된다.

그리고 콘트롤로직(30)을 제3도의 (C)를 적용할 경우 비트라인(BL,/BL)이 선택되지 않으면 칼럼 선택신호(Ya)는 '로우'가 됨에 따라 이와 반대위상의 /Ya 신호가 트랜지스터(N6)의 소스에 인가됨으로서 라이트

인에이블신호(WE)가 '하이' 레벨인 경우 트랜지스터(N6)는 오프상태로 되어 래치회로(20)의 X,Y 전압이 '하이' 임피던스 또는 Vcc 레벨이 된다.

따라서, 비트라인(BL,/BL)이 선택되지 않을 경우에는 상기 래치회로(20)가 동작하지 않은 상태에 있거나 풀업회로의 역할을 하게 된다.

그 다음은 비트라인(BL,/BL)이 선택된 상태에서 라이트 인에이블신호(WE)의 레벨에 따라 동작되는 과정을 설명하면 다음과 같다.

먼저 비트라인(BL,/BL)이 선택되고, 라이트 인에이블(WE) 값이 '로우'인 경우에는 제3도의 (A)~(C)에 도시된 트랜지스터(N3~N6)는 오프상태가 되어 래치회로(20)의 X,Y 전압이 '하이' 임피던스 상태에 있으므로 상기 래치회로는 동작을 하지 않게 됨에 따라 비트라인(BL,/BL)의 신호는 칼럼 셀렉터 회로(10)를 통해 데이터라인(DL,/DL)으로 전달된다.

이때 한쌍의 비트라인(BL,/BL)의 전압레벨이 Vcc 근처의 값을 가지고 있기 때문에 칼럼 셀렉터회로(10)의 전류구동능력은 큰 값을 갖게 되고, 신호 전달은 빠른 시간내에 이루어지게 된다.

한편 비트라인(BL,/BL)이 선택된 상태에서 라이트 인에이블신호(WE) 값이 '하이'인 경우에는 제3도의 (A)~(C)에 도시된 트랜지스터(N3~N6)는 모두 턴온상태가 됨에 따라 래치회로(20)의 X,Y단의 전압이 그라운드 레벨에 있게 되므로 래치회로(20)는 동작을 시작하여 데이터라인(DL,/DL)으로부터 비트라인(BL,/BL)에 전달된 신호의 '하이' 데이터는 Vcc 레벨에, 그리고 '로우'데이터는 PMOS 트랜지스터의 문턱전압 근처의 값을 각각 갖고 있게되어 래치회로(20)에 의해 '로우' 데이터의 값을 그라운드 레벨로 떨어뜨리게 되어 라이트(write)시 '로우' 데이터가 비트라인에 불완전하게 쓰여짐으로써 인해 생기는 제반문제를 제거하게 되는 것이다.

이상에서 상술한 바와같이 본 발명은 칼럼 셀렉터회로는 PMOS 트랜지스터만으로 구성하고, 한쌍의 비트라인 사이에 비트라인 드라이브회로와, 상기 비트라인 드라이브회로를 제어하는 콘트롤로직으로 구성된 비트라인 제어회로를 연결하여 라이트와 리드시의 동작 특성을 패스 트랜지스터의 경우와 같게 할 수 있고, 데이터라인의 로딩 캐패시턴스는 패스 트랜지스터의 경우보다 작게 하여 고속동작을 실행할 수 있도록 함은 물론 라이트 리커버리 기능 및 프리차지/이퀄라이저기능을 동시에 갖추고, 리드시 비트라인의 분리에 장장을 주지않도록 하여 반도체 메모리장치의 신뢰성 향상에 기여할 수 있는 것이다.

(57) 청구의 범위

청구항 1

한 쌍의 비트라인을 갖는 반도체 메모리장치의 비트라인 제어회로에 있어서, 2개의 PMOS 트랜지스터의 게이트가 서로 접속되어 칼럼 선택신호(Ya)의 반대위상을 갖는 신호(/Ya)에 의해 온오프 제어되며, 상기 트랜지스터 각각의 일측단에는 한쌍의 비트라인이 각각 연결되고, 타측단은 한쌍의 데이터라인이 접속된 칼럼 셀렉터회로와, 칼럼 셀렉터회로의 비트라인 선택유무에 따라 비트라인을 풀업 또는 플로팅 상태로 만드는 비트라인 드라이브회로와, 상기 비트라인 드라이브회로의 일측단에 연결되어 칼럼 선택신호(Ya) 및 라이트 인에이블신호(WE)에 의해 온오프 동작되어 상기 비트라인 드라이브회로를 제어하는 콘트롤로직으로 이루어진 비트라인 제어회로로 상기 한쌍의 비트라인 사이에 병렬로 접속되는 것을 특징으로 하는 반도체 메모리장치의 칼럼 셀렉터 회로.

청구항 2

제1항에 있어서, 상기 비트라인 드라이브회로는 NMOS 트랜지스터로 구성된 래치회로를 사용한 것을 특징으로 하는 반도체 메모리장치의 칼럼 셀렉터 회로

청구항 3

제1항 또는 제2항에 있어서, 상기 콘트롤로직은 상기 래치회로인 트랜지스터 타측단자(X,Y)에 NMOS 트랜지스터(N3)의 링측 단자가 병렬로 접속되고, 상기 트랜지스터(N3)의 게이트에는 칼럼 선택신호(Ya) 및 라이트 인에이블신호(WE)가 적(積)으로 인가되어 되도록 한 것을 특징으로 하는 반도체 메모리장치의 칼럼 셀렉터 회로.

청구항 4

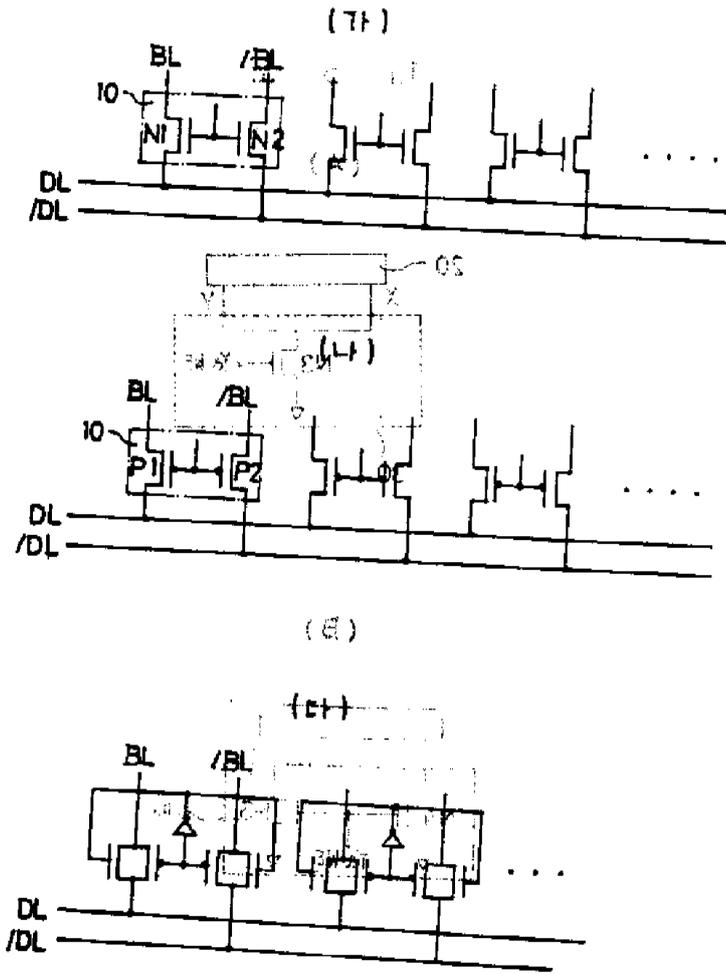
제1항에 있어서, 상기 콘트롤로직은 두개의 NMOS 트랜지스터(N4)(N5)의 게이트가 서로 접속되어 칼럼 선택신호(Ya) 및 라이트 인에이블신호(WE)에 의해 제어되고, 상기 트랜지스터(N4)(N5)의 일측단은 상기 래치회로의 X,Y 단자에 각각 연결되며, 타측단은 접지되도록 한 것을 특징으로 하는 반도체 메모리장치의 칼럼 셀렉터 회로.

청구항 5

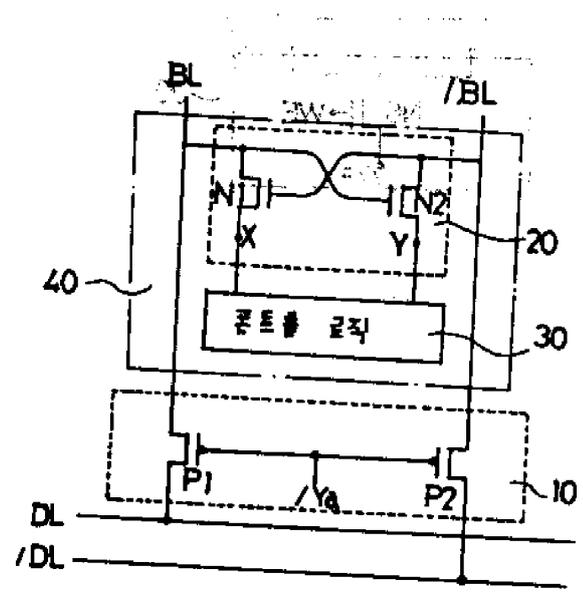
제1항에 있어서, 상기 콘트롤로직은 하나의 NMOS 트랜지스터(N6)로 구성되며, 상기 트랜지스터(N6)의 드레인단은 래치회로인 X,Y 단자에 연결되고, 소스측은 칼럼 선택신호(/Ya)가 인가되며, 게이트단에는 라이트 인에이블 신호(WE)에 의해 제어되도록 한 것을 특징으로 하는 반도체 메모리장치의 칼럼 셀렉터회로.

도면

도면1

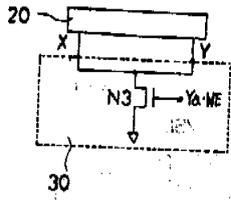


도면2

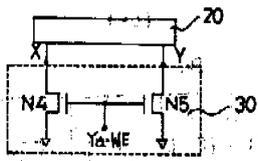


도면3

(A)



(B)



(C)

