

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4175096号  
(P4175096)

(45) 発行日 平成20年11月5日(2008.11.5)

(24) 登録日 平成20年8月29日(2008.8.29)

(51) Int.Cl. F I  
**G06F 1/04 (2006.01)** G O 6 F 1/04 3 O 1 C  
**H03K 5/00 (2006.01)** H O 3 K 5/00 F

請求項の数 8 (全 15 頁)

|           |                               |           |               |
|-----------|-------------------------------|-----------|---------------|
| (21) 出願番号 | 特願2002-339632 (P2002-339632)  | (73) 特許権者 | 000004237     |
| (22) 出願日  | 平成14年11月22日(2002.11.22)       |           | 日本電気株式会社      |
| (65) 公開番号 | 特開2004-171487 (P2004-171487A) |           | 東京都港区芝五丁目7番1号 |
| (43) 公開日  | 平成16年6月17日(2004.6.17)         | (74) 代理人  | 100109313     |
| 審査請求日     | 平成17年10月17日(2005.10.17)       |           | 弁理士 机 昌彦      |
|           |                               | (74) 代理人  | 100121290     |
|           |                               |           | 弁理士 木村 明隆     |
|           |                               | (74) 代理人  | 100111637     |
|           |                               |           | 弁理士 谷澤 靖久     |
|           |                               | (72) 発明者  | 倉金 博          |
|           |                               |           | 東京都港区芝五丁目7番1号 |
|           |                               |           | 日本電気株式会社内     |
|           |                               | 審査官       | 緑川 隆          |

最終頁に続く

(54) 【発明の名称】 クロック制御方式及び方法

(57) 【特許請求の範囲】

【請求項1】

CPUと、前記CPUの周辺機能ブロックと、入力されたシステム・クロックの周波数を逡倍して出力する逡倍回路と、前記逡倍回路から出力された信号の周波数を分周して、前記CPUに供給される第1のクロックを生成する第1の分周回路と、前記逡倍回路から出力された前記信号の周波数を分周して、前記周辺機能ブロックに供給される第2のクロックを生成する第2の分周回路と、前記第1のクロックを使用しない低消費電力モードに前記CPUを設定するとき、前記逡倍回路の逡倍率の値をN(正数)分の1に設定変更させた後、前記周辺機能ブロックの前段に設けられる前記分周回路の分周率の値をN分の1に設定変更させてから前記CPUを前記低消費電力モードに設定するクロック制御手段とを備えることを特徴とするクロック制御方式。

10

【請求項2】

請求項1記載のクロック制御方式において、前記クロック制御手段は、前記CPUの前記低消費電力モードを解除するとき、前記周辺機能ブロックの前段に設けられる前記分周回路の分周率の値をN倍に設定変更させた後、前記逡倍回路の逡倍率の値をN倍に設定変更させてから前記CPUの前記低消費電力モードの設定を解除することを特徴とするクロック制御方式。

【請求項3】

CPUと、前記CPUの周辺機能ブロックと、前記CPU及び前記周辺機能ブロックに供給されるそれぞれのクロックを生成する逡倍回路及び複数の分周回路とを備え、入力され

20

たシステム・クロックの周波数を前記逓倍回路で逓倍した後、前記分周回路でそれぞれ分周して前記クロックとして前記CPU及び前記周辺機能ブロックに供給するクロック制御方法において、前記CPU用クロックを使用しない低消費電力モードに前記CPUを設定するとき、前記逓倍回路の逓倍率の値をN（正数）分の一に設定変更した後、前記周辺機能ブロックの前段に設けられる前記分周回路の分周率の値をN分の一に設定変更させてから前記CPUを前記低消費電力モードに設定することを特徴とするクロック制御方法。

【請求項4】

請求項3記載のクロック制御方法において、前記CPUの前記低消費電力モードを解除するとき、前記周辺機能ブロックの前段に設けられる前記分周回路の分周率の値をN倍に設定変更した後、前記逓倍回路の逓倍率の値をN倍に設定変更させてから前記CPUの前記低消費電力モードの設定を解除することを特徴とするクロック制御方法。

10

【請求項5】

CPUと、前記CPUの周辺機能ブロックと、前記CPU及び前記周辺機能ブロックに使用されるクロックを生成する逓倍回路及び複数の分周回路と、前記CPU、前記逓倍回路及び前記分周回路の制御を行う制御手段とを備え、入力されたシステム・クロックの周波数を前記逓倍回路が逓倍して、前記CPUと前記CPUの周辺機能ブロックとの前段にそれぞれ第1の分周回路及び第2の分周回路として接続された前記複数の分周回路にそれぞれ入力し、前記逓倍回路から出力された信号の周波数を前記第1の分周回路が分周して前記CPU用クロックとして前記CPUに供給し、前記逓倍回路から出力された信号の周波数を前記第2の分周回路が分周して前記周辺機能ブロック用クロックとして前記周辺機能ブロックに供給するクロック制御方法において、前記制御手段が、クロックを使用しない低消費電力モードに前記CPUを設定するとき、前記逓倍回路の逓倍率の値をN（正数）分の一に設定変更させた後、前記周辺機能ブロックの前段に設けられる第2の分周回路の分周率の値をN分の一に設定変更させてから前記CPUを前記低消費電力モードに設定することを特徴とするクロック制御方法。

20

【請求項6】

請求項5記載のクロック制御方法において、前記制御手段は、前記CPUの前記低消費電力モードを解除するとき、前記周辺機能ブロックの前段に設けられる第2の分周回路の分周率の値をN倍に設定変更した後、前記逓倍回路の逓倍率の値をN倍に設定変更させてから前記CPUの前記低消費電力モードの設定を解除することを特徴とするクロック制御方法。

30

【請求項7】

CPUと、前記CPUの周辺機能ブロックと、前記CPU及び前記周辺機能ブロックに使用されるクロックを生成する逓倍回路及び分周回路と、前記逓倍回路及び前記分周回路の動作制御を行う制御手段とを備え、入力されたシステム・クロックの周波数を前記逓倍回路が逓倍して、前記CPUと前記CPUの周辺機能ブロックとの前段にそれぞれ第1の分周回路及び第2の分周回路として接続された前記分周回路にそれぞれ入力し、前記逓倍回路から出力された信号の周波数を前記第1の分周回路が分周して前記CPU用クロックとして前記CPUに供給し、前記逓倍回路から出力された信号の周波数を前記第2の分周回路が分周して前記周辺機能ブロック用クロックとして前記周辺機能ブロックに供給するクロック制御方法において、前記制御手段は、前記CPUから出力される第1のクロック停止許可信号を受信したとき、前記周辺機能ブロックから出力される第2のクロック停止許可信号の受信の有無により前記周辺機能ブロックが動作を継続中であるか否かの確認を行い、前記周辺機能ブロックから出力される第2のクロック停止許可信号の受信がなかったとき、前記周辺機能ブロックが動作を継続中であると判定し、前記逓倍回路の逓倍率の値をN（正数）分の一に設定変更させた後、前記周辺機能ブロックの前段に設けられる第2の分周回路の分周率の値をN分の一に設定変更させてから前記CPUを低消費電力モードに設定することを特徴とするクロック制御方法。

40

【請求項8】

請求項7記載のクロック制御方法において、前記制御手段が前記CPUから出力される第

50

1のクロック停止許可信号の受信がなくなったとき、前記周辺機能ブロックから出力される第2のクロック停止許可信号の受信の有無により前記周辺機能ブロックが動作を継続中であるか否かの確認を行い、前記周辺機能ブロックから出力される第2のクロック停止許可信号の受信がなかったとき、前記周辺機能ブロックが動作を継続中であると判定し、前記周辺機能ブロックの前段に設けられる第2の分周回路の分周率の値をN倍に設定変更した後、前記逡倍回路の逡倍率の値をN倍に設定変更してから前記CPUの低消費電力モードを解除することを特徴とするクロック制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はクロック制御方式及び方法に関し、特にCPUとLCDコントローラなどの周辺機能ブロックを搭載して、携帯型情報処理装置や携帯型通信機器等を構成する各種デバイスの、逡倍回路及び分周回路を備えたクロック制御方式及び方法に関する。

【0002】

【従来の技術】

従来、デジタル回路を使用する情報処理装置や通信機器には、それらの情報処理装置や通信機器に必要な様々な機能を実現するため、クロックで動作する各種のデジタル回路が使用されているが、上記情報処理装置や通信機器を構成する個々のデバイス内でも、複数のデジタル回路が使用され、それらのデジタル回路で実現される機能ブロックの機能の違いによって、デジタル回路に供給されるクロックの周波数が異なることが多く、それらのデジタル回路を駆動するために、様々な周波数のクロック周波数が使用されている。

【0003】

このため、周波数の異なる複数のクロックが使用される、情報処理装置や通信機器の各デバイス内では、デバイス内あるいは外部に設けられた発振器で生成される基準となるクロック（以下、システム・クロックという）の周波数を、まず逡倍回路で逡倍し、そのデバイス内で使用される各種のクロックの周波数よりも大きい周波数のクロックを生成し、生成された前記クロックを、デバイス内の各種の機能ブロックに使用されている各種のデジタル回路に分配するとき、上記の機能ブロックの前段に設けられた分周回路によって、それぞれのデジタル回路に必要な周波数を有するクロックになるように分周した後、デジタル回路に供給されている。

【0004】

上記のように、情報処理装置や通信機器の中で、システム・クロックの周波数を一旦、逡倍回路で逡倍し、さらに、逡倍回路からの出力信号の周波数を分周回路によって分周し、それぞれのデジタル回路が必要とする周波数を有するクロックを生成し、それぞれの機能ブロックのデジタル回路に供給する技術は、例えば、特開2002-108490号公報、あるいは、特開2001-296842号公報などに示される。

【0005】

上記の特開2002-108490号公報に記載のクロック供給回路の技術は、例えば、デジタル放送の受信用LSIにおいて、受信回路及びDSPなどの処理回路にクロックを供給するクロック供給回路、特に、放送信号に対する同期ずれの量に応じて、受信回路に供給するクロックの周波数を切り替えることで送信信号との同期を保ち、また、処理回路の負荷などに応じて処理回路に供給するクロックの周波数を切り替えるクロック供給回路に関するものである。

【0006】

なお、この技術は、システム・クロックの発生源として低周波数の外部発振器を用い、この低周波数の外部発振器から出力された信号の周波数を逡倍回路で一旦逡倍し、その後、各種の機能回路にそれぞれ必要な周波数のクロックを、別々の分周回路で分周して生成し供給することにより、クロック供給回路としての回路構成を簡略化でき、低消費電力化を実現できるクロック供給回路の技術として開発されている。

10

20

30

40

50

## 【 0 0 0 7 】

また、上記の特開 2 0 0 1 - 2 9 6 8 4 2 号公報に記載の技術は、液晶表示パネルを駆動してビデオ画像を表示させるための信号（クロック）を生成する信号生成装置に関する技術であり、安定した動作を実現でき、且つ駆動対象となる液晶表示パネルの構成画素数に任意に対応できる信号生成装置に関する技術である。

## 【 0 0 0 8 】

上記信号生成装置は、ビデオ信号中の水平同期信号を検出する同期検出回路と、システム・クロックを逡倍回路で逡倍した後、そのクロックの周波数を上記水平同期信号を用いて分周することによって、液晶パネルの信号電極を駆動するための、任意周波数のクロックを生成する分周回路とを備えて構成されている。

10

## 【 0 0 0 9 】

このように、情報処理装置や通信機器では、システム・クロックの周波数から、各種装置内の各種のデジタル回路にそれぞれ必要な、互いに周波数の異なる各種のクロックを生成するために、上述したような用い方をする逡倍回路及び分周回路を備えて構成されることが多い。

## 【 0 0 1 0 】

次に、携帯型情報処理装置や携帯型通信機器等の各種装置に用いられる各種デバイスの中の、CPU（Central Processing Unit：中央処理装置）とLCD（Liquid Crystal Display：液晶表示）コントローラなどの周辺機能ブロックを搭載したデバイスにおける、上記逡倍回路及び分周回路を備えた従来のクロック周波数の供給方法について説明する。

20

## 【 0 0 1 1 】

携帯型情報処理装置や携帯型通信機器等の各種装置に用いられる、CPUとLCDコントローラなどの周辺機能ブロックを搭載した各種デバイスでは、携帯型情報処理装置や携帯型通信機器等のバッテリーから電力を供給されているので、装置の動作時間を長く保たせるため、CPUに低消費電力モードの機能を付加し、システム・クロックの供給を停止させてCPUの動作を停止させ、CPUによる消費電力を抑制するとともに、システム・クロックの生成のための回路で発生する消費電力を低減して、低消費電力化を図ることができるように構成されているものが多い。

## 【 0 0 1 2 】

上記低消費電力モードの機能を付加されたCPUを搭載して構成されたデバイスを使用している装置では、CPUに対する低消費電力モードを設定してシステム・クロックの供給を停止させ、CPUの動作を停止させることにより消費電力を抑制することができるようになっていたので、CPUの動作を停止させて消費電力を抑制する分、装置の動作時間を長く保たせることができる。

30

## 【 0 0 1 3 】

しかし、LCDコントローラなどのような周辺機能ブロックについては、その機能上の役割から、CPUの動作が停止しても、その動作を継続させなければならない場合、周辺機能ブロックにクロックを供給するために、継続して逡倍回路及び周辺機能ブロックの前段の分周回路により、システム・クロックから周辺機能ブロックに供給するクロックを生成しなければならない。

40

## 【 0 0 1 4 】

一般的には、周辺機能ブロックに要求されるクロックの周波数は、CPUに要求されるクロックの周波数よりも低い周波数で十分である場合が多いが、周辺機能ブロックの前段に設けられた分周回路に供給される、逡倍回路から出力された信号は、CPUの前段に設けられた分周回路に供給される信号と同じで、周辺機能ブロックの前段に設けられた分周回路に供給される信号としては、必要以上に周波数の高い信号を供給されていることになるが、必要以上に高い周波数まで一旦逡倍した信号を次の分周回路で、周辺機能ブロックに適した低い周波数まで分周しなければならず、逡倍回路で高い周波数に逡倍すればするほど、それだけ逡倍回路及び分周回路での無駄な消費電力が増加してしまうという問題を有

50

している。

【0015】

【特許文献1】

特開2002-108490号公報（第1頁～第3頁、図2）

【特許文献2】

特開2001-296842号公報（第1頁～第3頁、図1）

【0016】

【発明が解決しようとする課題】

上述した従来クロック制御方式及び方法では、一般的には周辺機能ブロックに要求されるクロックの周波数は、CPUに要求されるクロックの周波数よりも低い周波数で十分である場合が多いにもかかわらず、周辺機能ブロックの前段に設けられた分周回路に供給される逡倍回路から出力される信号は、CPUの前段に設けられた分周回路に供給される信号と同じで、周辺機能ブロックの前段に設けられた分周回路に供給される信号としては、必要以上に周波数の高い信号を供給されてることになるが、必要以上に高い周波数まで一旦逡倍した信号を次の分周回路で、周辺機能ブロックに適した低い周波数まで分周しなければならず、逡倍回路で高い周波数に逡倍すればするほど、それだけ逡倍回路及び分周回路での無駄な消費電力が増加してしまうという欠点を有している。

10

【0017】

本発明の目的は、CPUの低消費電力モード状態において、周辺機能ブロックの前段に設けられた分周回路に供給される信号の周波数を、CPUの通常モード状態における場合よりも低く設定でき、周辺機能ブロックに供給されるクロックを生成するために要する消費電力を従来より低く抑えることのできるクロック制御方式及び方法を提供することにある。

20

【0018】

【課題を解決するための手段】

第1の発明のクロック制御方式は、CPUと、前記CPUの周辺機能ブロックと、入力されたシステム・クロックの周波数を逡倍して出力する逡倍回路と、前記逡倍回路から出力された信号の周波数を分周して、前記CPUに供給される第1のクロックを生成する第1の分周回路と、前記逡倍回路から出力された前記信号の周波数を分周して、前記周辺機能ブロックに供給される第2のクロックを生成する第2の分周回路と、前記第1のクロックを使用しない低消費電力モードに前記CPUを設定するとき、前記逡倍回路の逡倍率の値をN（正数）分の1に設定変更させた後、前記周辺機能ブロックの前段に設けられる前記分周回路の分周率の値をN分の1に設定変更させてから前記CPUを前記低消費電力モードに設定するクロック制御手段とを備えることを特徴として構成される。

30

【0019】

また、第2の発明のクロック制御方式は、第1の発明のクロック制御方式において、前記クロック制御手段は、前記CPUの前記低消費電力モードを解除するとき、前記周辺機能ブロックの前段に設けられる前記分周回路の分周率の値をN倍に設定変更させた後、前記逡倍回路の逡倍率の値をN倍に設定変更させてから前記CPUの前記低消費電力モードの設定を解除することを特徴として構成される。

40

【0020】

また、第3の発明のクロック制御方法は、CPUと、前記CPUの周辺機能ブロックと、前記CPU及び前記周辺機能ブロックに供給されるそれぞれのクロックを生成する逡倍回路及び複数の分周回路とを備え、入力されたシステム・クロックの周波数を前記逡倍回路で逡倍した後、前記分周回路でそれぞれ分周して前記クロックとして前記CPU及び前記周辺機能ブロックに供給するクロック制御方法において、前記CPU用クロックを使用しない低消費電力モードに前記CPUを設定するとき、前記逡倍回路の逡倍率の値をN（正数）分の1に設定変更した後、前記周辺機能ブロックの前段に設けられる前記分周回路の分周率の値をN分の1に設定変更させてから前記CPUを前記低消費電力モードに設定することを特徴として構成される。

50

## 【 0 0 2 1 】

また、第4の発明のクロック制御方法は、第3の発明のクロック制御方法において、前記CPUの前記低消費電力モードを解除するとき、前記周辺機能ブロックの前段に設けられる前記分周回路の分周率の値をN倍に設定変更した後、前記逡倍回路の逡倍率の値をN倍に設定変更させてから前記CPUの前記低消費電力モードの設定を解除することを特徴として構成される。

## 【 0 0 2 2 】

また、第5の発明のクロック制御方法は、CPUと、前記CPUの周辺機能ブロックと、前記CPU及び前記周辺機能ブロックに使用されるクロックを生成する逡倍回路及び複数の分周回路と、前記CPU、前記逡倍回路及び前記分周回路の制御を行う制御手段とを備え、入力されたシステム・クロックの周波数を前記逡倍回路が逡倍して、前記CPUと前記CPUの周辺機能ブロックとの前段にそれぞれ第1の分周回路及び第2の分周回路として接続された前記複数の分周回路にそれぞれ入力し、前記逡倍回路から出力された信号の周波数を前記第1の分周回路が分周して前記CPU用クロックとして前記CPUに供給し、前記逡倍回路から出力された信号の周波数を前記第2の分周回路が分周して前記周辺機能ブロック用クロックとして前記周辺機能ブロックに供給するクロック制御方法において、前記制御手段が、クロックを使用しない低消費電力モードに前記CPUを設定するとき、前記逡倍回路の逡倍率の値をN（正数）分の一に設定変更させた後、前記周辺機能ブロックの前段に設けられる第2の分周回路の分周率の値をN分の一に設定変更させてから前記CPUを前記低消費電力モードに設定することを特徴として構成される。

## 【 0 0 2 3 】

また、第6の発明のクロック制御方法は、第5の発明のクロック制御方法において、前記制御手段は、前記CPUの前記低消費電力モードを解除するとき、前記周辺機能ブロックの前段に設けられる第2の分周回路の分周率の値をN倍に設定変更した後、前記逡倍回路の逡倍率の値をN倍に設定変更させてから前記CPUの前記低消費電力モードの設定を解除することを特徴として構成される。

## 【 0 0 2 4 】

また、第7の発明のクロック制御方法は、CPUと、前記CPUの周辺機能ブロックと、前記CPU及び前記周辺機能ブロックに使用されるクロックを生成する逡倍回路及び分周回路と、前記逡倍回路及び前記分周回路の動作制御を行う制御手段とを備え、入力されたシステム・クロックの周波数を前記逡倍回路が逡倍して、前記CPUと前記CPUの周辺機能ブロックとの前段にそれぞれ第1の分周回路及び第2の分周回路として接続された前記分周回路にそれぞれ入力し、前記逡倍回路から出力された信号の周波数を前記第1の分周回路が分周して前記CPU用クロックとして前記CPUに供給し、前記逡倍回路から出力された信号の周波数を前記第2の分周回路が分周して前記周辺機能ブロック用クロックとして前記周辺機能ブロックに供給するクロック制御方法において、前記制御手段は、前記CPUから出力される第1のクロック停止許可信号を受信したとき、前記周辺機能ブロックから出力される第2のクロック停止許可信号の受信の有無により前記周辺機能ブロックが動作を継続中であるか否かの確認を行い、前記周辺機能ブロックから出力される第2のクロック停止許可信号の受信がなかったとき、前記周辺機能ブロックが動作を継続中であると判定し、前記逡倍回路の逡倍率の値をN（正数）分の一に設定変更させた後、前記周辺機能ブロックの前段に設けられる第2の分周回路の分周率の値をN分の一に設定変更させてから前記CPUを低消費電力モードに設定することを特徴として構成される。

## 【 0 0 2 5 】

また、第8の発明のクロック制御方法は、第7の発明のクロック制御方法において、前記制御手段が前記CPUから出力される第1のクロック停止許可信号の受信がなくなったとき、前記周辺機能ブロックから出力される第2のクロック停止許可信号の受信の有無により前記周辺機能ブロックが動作を継続中であるか否かの確認を行い、前記周辺機能ブロックから出力される第2のクロック停止許可信号の受信がなかったとき、前記周辺機能ブロックが動作を継続中であると判定し、前記周辺機能ブロックの前段に設けられる第2の分

10

20

30

40

50

周回路の分周率の値をN倍に設定変更した後、前記逡倍回路の逡倍率の値をN倍に設定変更してから前記CPUの低消費電力モードを解除することを特徴として構成される。

【0026】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して説明する。

【0027】

図1は、本発明のクロック制御方式及び方法の実施の一形態を示すブロック図である。

【0028】

図1に示す本発明のクロック制御方式及び方法は、携帯型情報処理装置や携帯型通信機器等の各種装置に用いられるデバイスに搭載され、携帯型情報処理装置や携帯型通信機器等の機能の中で要求される各種の情報・データの処理を行うCPUを、クロックを使用しない低消費電力モードに設定するとき、CPUの周辺機能ブロックであるLCDコントローラが動作を継続したままの状態にしておかれるのか否かの確認が行われ、LCDコントローラが動作させたままの状態にしておかれる場合は、まず周波数の逡倍回路として動作するPLL(Phase-Locked Loop:位同期ループ)の逡倍率を、例えばあらかじめ定められたN(正数)分の一の値に下げてPLLからの出力クロックの周波数を低い周波数にし、次に、動作させたままの状態におかれるLCDコントローラの前段にある、周波数の分周回路として動作する分周器の分周率もN分の一の値に下げて、逡倍率と分周率の両方の設定変更が行われる。このとき、上記逡倍率と分周率の設定変更の前後で、逡倍率の値と分周率の値の比である“逡倍率/分周率”の値が変わらないように、逡倍率と分周率のそれぞれの設定変更が行われる。

【0029】

すなわち、本発明では、上記のように、まずPLLの逡倍率が下げられ、ついで分周器の分周率が同じ率で下げられるように設定変更が行われることで、上記周辺機能ブロックに入力されるクロックの周波数は変わらないが、PLLの逡倍率を下げられるので、PLLからの出力信号の周波数を低くすることができ、それだけPLL及び分周器での消費電力を抑制することができる。

【0030】

なお、図1では、周辺機能ブロックとしてLCDコントローラがCPUとともにデバイスに搭載された場合を示している。

【0031】

図1に示す本実施の形態のクロック制御方式及び方法は、携帯型情報処理装置や携帯型通信機器等の各種装置に用いられるデバイスに搭載されて、携帯型情報処理装置や携帯型通信機器等の各種の情報・データの処理を行うCPU6と、CPU6の入出力デバイス(図示せず)と接続される周辺機能ブロックであり、分周器4から出力されるクロック15を入力し、LCD(図示せず)にピクセル・クロック(Pixel Clock)16を出力するLCDコントローラ7と、入力したシステム・クロック11の周波数を、後述するクロック制御部5により設定された逡倍率に従って逡倍し、PLL出力信号12として出力するPLL2と、PLL2から出力されるPLL出力信号12の周波数を、後述するクロック制御部5により設定される分周率に従って分周し、クロック14を生成してCPU6に出力する分周器3と、PLL2から出力されるPLL出力信号12の周波数を、後述するクロック制御部5により設定された分周率に従って分周し、クロック15を生成してLCDコントローラ7に出力する分周器4と、PLL2に対しPLL制御信号21による制御及びPLL状態監視信号22による監視を行い、分周器3に対し分周率制御信号24による制御及び分周器状態監視信号23による監視を行い、分周器4に対しては分周率制御信号28による制御及び分周器状態監視信号27による監視を行い、また、CPU6からはクロック停止許可信号25を受信して、CPU6に対する低消費電力モードの設定・解除の制御を開始し、CPU制御信号26によりCPU6に対して低消費電力モードの設定・解除の制御を行い、さらに、LCDコントローラ7からのクロック停止許可信号29を受信するクロック制御部5とから構成されている。

10

20

30

40

50

## 【 0 0 3 2 】

次に、動作を説明する。

## 【 0 0 3 3 】

まず最初に、CPU 6 の低消費電力モードの設定が行われるときの動作について説明する。

## 【 0 0 3 4 】

図 2 は、図 1 に示す本発明のクロック制御方式及び方法における CPU を低消費電力モードに設定する動作の一例を示す流れ図である。

## 【 0 0 3 5 】

図 1 において、クロック制御部 5 は、CPU 6 から出力されるクロック停止許可信号 2 5 の受信の有無により、CPU 6 がクロック 1 4 を必要としているか否かを検知する。すなわち、クロック制御部 5 が CPU 6 から出力されるクロック停止許可信号 2 5 を受信したとき（図 2 の S 1 : S はステップの意を示す）、クロック制御部 5 は CPU 6 がクロック 1 4 を必要としていないことを検知する。

10

## 【 0 0 3 6 】

CPU 6 がクロック 1 4 を必要としないことを検知したクロック制御部 5 は、周辺機能ブロックである LCD コントローラ 7 が LCD の表示のための動作状態にあるかどうかを、LCD コントローラ 7 からのクロック停止許可信号 2 9 の受信の有無により確認する（S 2）。

## 【 0 0 3 7 】

ステップ 2 で、クロック制御部 5 により、LCD コントローラ 7 が LCD の表示のための動作状態にあるかどうかの確認が行われて、LCD コントローラ 7 からのクロック停止許可信号 2 9 の受信が無いとき、すなわち、LCD コントローラ 7 が動作したままで LCD が表示状態であることをクロック制御部 5 が確認したときは、クロック制御部 5 は、まず、PLL 2 へ PLL 制御信号 2 1 を送出して、PLL 2 の通倍率をあらかじめ定められた通倍率に下げ、例えば N 分の一の値に下げ設定変更することにより PLL 2 からの出力信号の周波数を低い周波数にする。この PLL 2 の通倍率の設定変更の結果は、PLL 2 からクロック制御部 5 へ PLL 状態監視信号 2 2 によって通知される（S 3）。

20

## 【 0 0 3 8 】

その後で、クロック制御部 5 は、LCD コントローラ 7 の前段に設けられた分周器 4 へ分周率制御信号 2 8 を送出し、PLL 2 の通倍率の設定変更に対応させて、分周器 4 の分周率を N 分の一の値に下げ分周率を設定変更することにより、PLL 2 の通倍率の設定変更で一旦低い周波数になった LCD コントローラ 7 に供給されるクロック 1 5 の周波数は前と同じ周波数に戻される。なお、分周器 4 の分周率の設定変更の結果は、分周器 4 からクロック制御部 5 へ分周器状態監視信号 2 7 によって通知される（S 4）。

30

## 【 0 0 3 9 】

クロック制御部 5 は、上記の PLL 2 の通倍率及び分周器 4 の分周率の設定変更を行った後、CPU 制御信号 2 6 を CPU 6 に出力して CPU 6 を低消費電力モードに設定する（S 5）。

## 【 0 0 4 0 】

上記のように、PLL 2 の通倍率と分周器 4 の分周率の両方を、それぞれあらかじめ定められた値、上記の例では N 分の一の値に変更することで、分周器 4 から出力される LCD コントローラ 7 に入力されるクロックの周波数が、上記の通倍率と分周率の両方の変更以前のときと変わらない周波数のままで、PLL 2 からの出力信号の周波数を、あらかじめ定められた低い周波数に下げることができる。

40

## 【 0 0 4 1 】

なお、PLL 2 の通倍率と分周器 4 の分周率の変更に際しては、変更の順序は PLL 2 による通倍率の設定変更が先に行われなければならない、上記に説明した順序と逆の順序で、通倍率を下げる前に分周率を下げてしまうと、LCD コントローラ 7 に入力されるクロック 1 5 の周波数が一時的に上がってしまい、LCD コントローラ 7 が正常に動作できなく

50

なる可能性がある。

【0042】

また、上記ステップ2でクロック制御部5により、LCDコントローラ7がLCDの表示のための動作状態にあるかどうかの確認が行われたとき、クロック制御部5は、LCDコントローラ7からのクロック停止許可信号29の受信が有るとき、すなわち、LCDコントローラ7がLCDを表示させるための動作状態には無いことを確認したときは、PLL2の出力を停止させる出力停止の設定の制御を行い(S6)、CPU制御信号26をCPU6に出力してCPU6を低消費電力モードに設定する(S5)。

【0043】

なお、上記ステップ3及びステップ4においてPLL2の通倍率と分周器4の分周率の設定変更が行われ、ステップ5においてCPU6の低消費電力モードの設定が行われた後に、クロック制御部5にLCDコントローラ7からのクロック停止許可信号29の受信があったときは、クロック制御部5は分周率制御信号28を分周器4に出力し、分周器4に対して上記ステップ4で行われた分周器4の分周率の設定変更をリセットし、すなわち、分周率をN倍に設定してから、PLL制御信号21をPLL2に出力し、PLL2に対して上記ステップ3で行われたPLL2の通倍率の設定変更をリセットし、すなわち、通倍率をN倍に設定し、かつ、PLL出力停止の設定を行う。

【0044】

次に、CPU6の低消費電力モードの解除が行われるときの動作について説明する。

【0045】

図3は、図1に示す本発明のクロック制御方式及び方法におけるCPUの低消費電力モードの設定を解除する動作の一例を示す流れ図である。

【0046】

上述したように、図2に示す動作の流れで、図1に示すCPU6の低消費電力モードの設定が行われてその状態が継続しているものとする。

【0047】

このような状態にあって、クロック制御部5が、CPU6から出力されるクロック停止許可信号25を受信しなくなったとき(S11)、クロック制御部5はCPU6がクロック14を必要としていることを検知し、LCDコントローラ7はLCDの表示のための動作状態にあるかどうかを、LCDコントローラ7からのクロック停止許可信号29の受信の有無により確認し(S12)、ステップ12でクロック制御部5により、LCDコントローラ7がLCDの表示のための動作状態にあるかどうかの確認が行われて、LCDコントローラ7からのクロック停止許可信号29の受信が無いとき、すなわち、LCDコントローラ7がLCDの表示のための動作状態であることをクロック制御部5が確認したときは、クロック制御部5は、まず、LCDコントローラ7の前段に設けられた分周器4へ分周率制御信号28を送出して、そのときの分周器4の分周率の値を、低消費電力モードの設定の場合と逆に、N倍の値に上げて設定変更する。この分周器4の分周率の設定変更の結果は、分周器4からクロック制御部5へ分周器状態監視信号27によって通知される(S13)。

【0048】

次に、クロック制御部5からPLL2へPLL制御信号21を送出して、そのときのPLL2の通倍率の値も、低消費電力モードの設定の場合と逆に、N倍の値に上げて設定変更し、PLL2からの出力信号の周波数を、あらかじめ定められた周波数、すなわち、CPUの低消費電力モードの設定以前のあらかじめ定められた周波数に戻す。このときのPLL2の通倍率の設定変更の結果も、PLL2からクロック制御部5へPLL状態監視信号22によって通知される(S14)。

【0049】

そして、クロック制御部5は、上記のPLL2の通倍率及び分周器4の分周率の設定変更を行った後、CPU制御信号26をCPU6に出力してCPU6の低消費電力モードの設定を解除する(S15)。

10

20

30

40

50

## 【 0 0 5 0 】

また、ステップ 1 2 でクロック制御部 5 により、LCD コントローラ 7 が LCD の表示のための動作状態にあるかどうかの確認が行われ、クロック制御部 5 が LCD コントローラ 7 からのクロック停止許可信号 2 9 の受信を確認したときは、上述したように、PLL 2 の出力が停止された状態であり、クロック制御部 5 によって、ステップ 3 で行われた PLL 2 の通倍率の設定変更が既に取りセットされ、かつステップ 4 で行われた分周器 4 の分周率の設定変更が取りセットされている状態であるので、ステップ 1 3 及びステップ 1 4 の動作を経ずに、クロック制御部 5 は直接、PLL 2 の出力停止の設定解除の制御をするための PLL 制御信号 2 1 を PLL 2 に送出し、PLL 2 の出力停止の設定解除の制御を行って ( S 1 6 )、CPU 制御信号 2 6 を CPU 6 に出力して CPU 6 の低消費電力モードの設定を解除する ( S 1 5 )。

10

## 【 0 0 5 1 】

低消費電力モード解除の場合は、上記のように、PLL 2 の通倍率及び分周器 4 の分周率の両方の値をそれぞれ N 倍の値に設定変更することによって、低消費電力モード設定の前の、あらかじめ定められた値に戻すことで、LCD コントローラ 7 に入力されるクロックの周波数が、上記の通倍率と分周率の設定変更以前と変わらない周波数の状態で、かつ、PLL 2 からの出力信号の周波数を、CPU の低消費電力モードの設定以前のあらかじめ定められた周波数に戻すことができる。

## 【 0 0 5 2 】

上記のように、CPU 6 の低消費電力モードの解除が行われる場合は、LCD コントローラ 7 が LCD の表示のための動作状態にあるか否かの確認が行われて、LCD コントローラ 7 が LCD の表示のための動作状態にあった場合に、まず分周器 4 の分周率が上げられ、次に PLL 2 の通倍率が上げられる。すなわち、PLL 2 の通倍率と分周器 4 の分周率の設定変更は、CPU 6 の低消費電力モードの設定時に行われた、PLL 2 の通倍率と分周器 4 の分周率の設定変更の順序が入れ替り、分周器 4 の分周率の変更が先に行われて、その後で PLL 2 の通倍率の変更が行われる。

20

## 【 0 0 5 3 】

また、上記に説明したように、PLL 2 の通倍率の値をあらかじめ定められた低い値に設定変更し、さらに、LCD コントローラ 7 の前段に設けられた分周器 4 の分周率の値を、PLL 2 の通倍率を低い値に設定変更したと同じ比率で低い値に設定変更させるように構成することにより、CPU の低消費電力モード状態において、分周器 4 より LCD コントローラ 7 に出力されるクロック 1 5 の周波数を変えないで、LCD コントローラ 7 の前段に設けられた分周器 4 に供給される信号の周波数を、CPU 6 の通常モード状態における場合よりも低く設定でき、LCD コントローラ 7 に供給されるクロックを生成するために要する消費電力を従来より低く抑えることができる。

30

## 【 0 0 5 4 】

なお、周辺機能ブロックの中には動作時に定常的にクロックなどの信号を出力するものがある。例えば、図 1 に示した LCD コントローラ 7 がそのような周辺機能ブロックの一つであり、LCD コントローラ 7 のような周辺ブロックは動作時に定常的にピクセル・クロック 1 6 を出力する。LCD コントローラ 7 のような周辺機能ブロックから出力されるピクセル・クロックのようなクロックの中には、そのクロックが周辺機能ブロックから出力されている状態の中で上記周波数の変更が行われると、そのクロックの供給を受ける相手機器が正常に動作できない場合がある。

40

## 【 0 0 5 5 】

このように場合、すなわち、ピクセル・クロックを出力する、図 1 に示した LCD コントローラ 7 に供給されるクロックの周波数が変動する場合、前述した通倍率・分周率の変更の前後で LCD コントローラ 7 に供給されるクロックの停止・再開を行うことで、LCD コントローラ 7 から出力されるピクセル・クロックの供給を受ける相手機器 ( LCD ) の動作に影響を与えることを防止することができる。このような場合の動作の流れを図 4 及び図 5 に示す。

50

## 【 0 0 5 6 】

図 4 は、図 1 に示す本発明のクロック制御方式及び方法における CPU を低消費電力モードに設定する動作の他の一例を示す流れ図であり、図 5 は、図 1 に示す本発明のクロック制御方式及び方法における CPU の低消費電力モードの設定を解除する動作の他の一例を示す流れ図である。

## 【 0 0 5 7 】

図 4 及び図 5 は、図 2 及び図 3 の場合と同様に、対象となる周辺機能ブロックが LCD コントローラ 7 の場合を示しているが、LCD コントローラ 7 から出力されるピクセル・クロックの供給を受ける相手機器の動作に影響を与えることを防止する場合の動作の流れを示す流れ図である。図 4 及び図 5 に示す動作の流れと図 2 及び図 3 に示す動作の流れとの違いは、前述した逡倍率・分周率の変更の前後で LCD コントローラ 7 に供給されるクロック 15 の停止及び再開を行う動作が、ステップ 23、26、及びステップ 33、36 として動作の流れの中に入っていることである。なお、図 2 及び図 3 の場合は、PLL 2 及び分周器 4 による周波数の変更が、LCD コントローラ 7 から出力されるピクセル・クロックの供給を受ける相手機器 (LCD) の動作に影響を与えることについては考慮していない場合の動作の流れを示した図である。

10

## 【 0 0 5 8 】

図 4 及び図 5 において、ステップ 23、33 では、LCD コントローラ 7 から出力されるピクセル・クロックの出力が停止され、ステップ 26、36 では、LCD コントローラ 7 から出力されるピクセル・クロックの出力が再開される。

20

## 【 0 0 5 9 】

以上で動作説明を終える。

## 【 0 0 6 0 】

なお、図 1 に示す本実施の形態のクロック制御方式及び方法についての上記の説明では、周辺機能ブロックとして、図示しない LCD に接続される LCD コントローラ 7 を示して説明したが、本発明のクロック制御方式及び方法における周辺機能ブロックとしては LCD コントローラに限定されるものではない。

## 【 0 0 6 1 】

また、上記の説明では、CPU 6 及び LCD コントローラ 7 からクロック制御部 5 へ送出されるクロック停止許可信号 25 及びクロック停止許可信号 29 は連続的にクロック制御部 5 へ送出されることで説明したが、それぞれ連続信号でなく、クロック停止を許可する状態になったときに、クロック停止を許可するためのクロック停止許可信号を一度クロック制御部 5 へ送出し、クロック停止を許可する状態でなくなったときには、そのときにクロック停止の許可を取り消すためのクロック停止不許可信号を送出するようにしてもよい。

30

## 【 0 0 6 2 】

## 【 発明の効果 】

以上説明したように、本発明のクロック制御方式及び方法は、CPU を低消費電力モードに設定するにあたって、逡倍回路から出力される信号の周波数を、より低い周波数に変更するため、逡倍回路の逡倍率の値を低い値に設定変更し、LCD コントローラなどの周辺機能ブロックの前段に設けられる分周回路の分周率の値を、逡倍回路で逡倍率の値を低い値に設定変更した分だけ低い値にするように構成することにより、CPU の低消費電力モード状態において、周辺機能ブロックの前段に設けられた分周回路に逡倍回路から供給される信号の周波数を、CPU の通常モード状態における場合よりも低く設定でき、周辺機能ブロックに供給されるクロックを生成するために要する消費電力を従来より低く抑えることができるという効果を有している。

40

## 【 図面の簡単な説明 】

【 図 1 】 本発明のクロック制御方式及び方法の実施の一形態を示すブロック図である。

【 図 2 】 図 1 に示すクロック制御方式及び方法における CPU を低消費電力モードに設定する動作の一例を示す流れ図である。

50

【図3】図1に示すクロック制御方式及び方法におけるCPUの低消費電力モードの設定を解除する動作の一例を示す流れ図である。

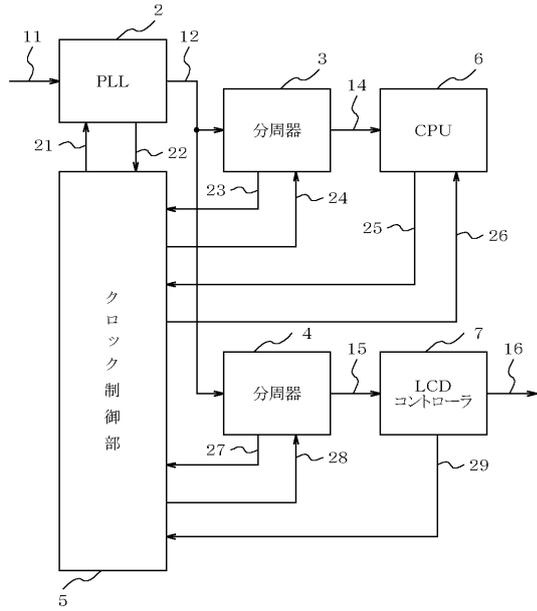
【図4】図1に示すクロック制御方式及び方法におけるCPUを低消費電力モードに設定する動作の他の一例を示す流れ図である。

【図5】図1に示すクロック制御方式及び方法におけるCPUの低消費電力モードの設定を解除する動作の他の一例を示す流れ図である。

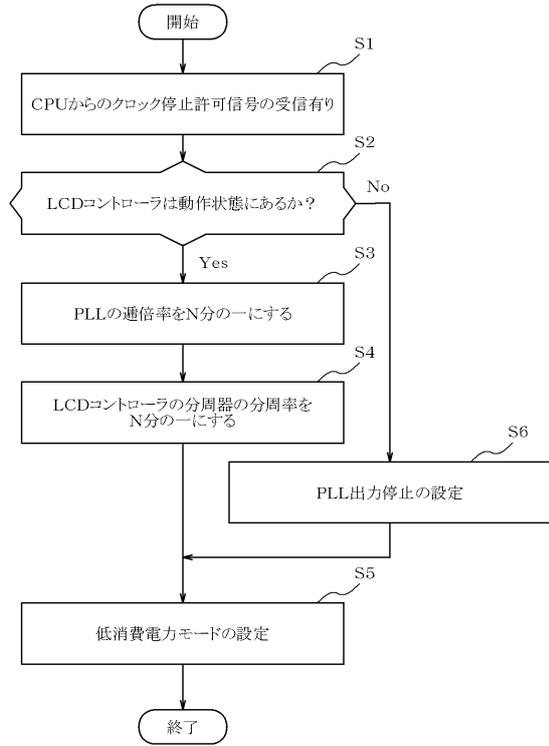
【符号の説明】

|       |            |    |
|-------|------------|----|
| 2     | PLL        |    |
| 3     | 分周器        |    |
| 4     | 分周器        | 10 |
| 5     | クロック制御部    |    |
| 6     | CPU        |    |
| 7     | LCDコントローラ  |    |
| 11    | システム・クロック  |    |
| 12    | PLL出力信号    |    |
| 14、15 | クロック       |    |
| 16    | ピクセル・クロック  |    |
| 21    | PLL制御信号    |    |
| 22    | PLL状態監視信号  |    |
| 23    | 分周器状態監視信号  | 20 |
| 24    | 分周率制御信号    |    |
| 25    | クロック停止許可信号 |    |
| 26    | CPU制御信号    |    |
| 27    | 分周器状態監視信号  |    |
| 28    | 分周率制御信号    |    |
| 29    | クロック停止許可信号 |    |

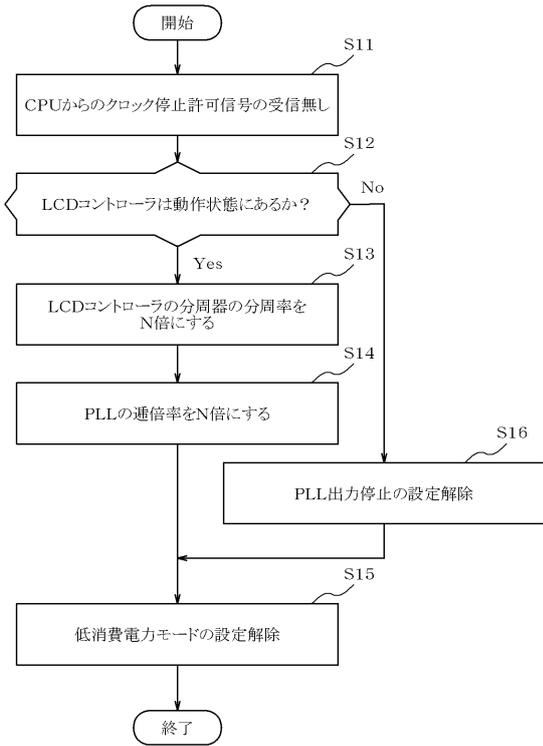
【図1】



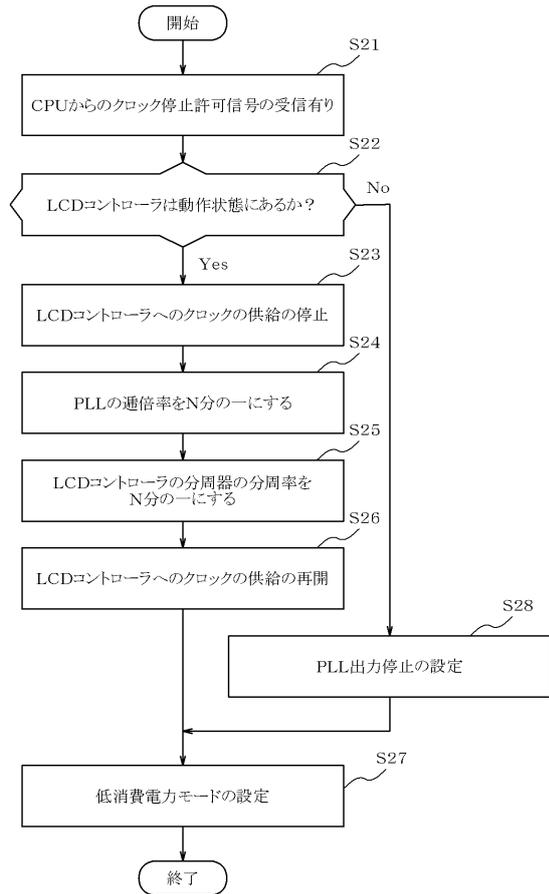
【図2】



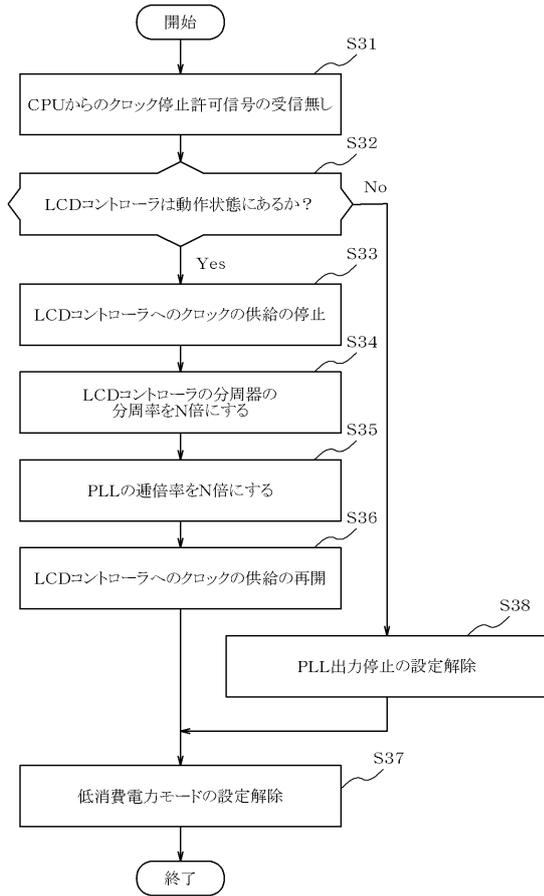
【図3】



【図4】



【図5】



## フロントページの続き

- (56)参考文献 特開2001-051747(JP,A)  
特開2001-296842(JP,A)  
特開2002-043930(JP,A)  
特開2002-163031(JP,A)  
特開平10-161768(JP,A)

## (58)調査した分野(Int.Cl., DB名)

G06F 1/04

H03K 5/00