

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年9月29日(2005.9.29)

【公開番号】特開2003-318405(P2003-318405A)

【公開日】平成15年11月7日(2003.11.7)

【出願番号】特願2002-124180(P2002-124180)

【国際特許分類第7版】

H 0 1 L 29/786

H 0 1 L 21/336

H 0 1 L 21/8238

H 0 1 L 27/08

H 0 1 L 27/092

【F I】

H 0 1 L 29/78 6 2 6 B

H 0 1 L 27/08 3 3 1 E

H 0 1 L 29/78 6 1 7 S

H 0 1 L 29/78 6 2 1

H 0 1 L 27/08 3 2 1 A

H 0 1 L 27/08 3 2 1 D

【手続補正書】

【提出日】平成17年5月2日(2005.5.2)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板、埋め込み酸化膜およびSOI層が順に積層されたSOI基板の前記SOI層上に配設されたMOSトランジスタと、前記SOI層の表面内に設けられ、外部から電位固定可能なボディコンタクト部とを備え、前記MOSトランジスタのゲート電極の平面視形状が、ゲート幅方向の少なくとも一方の端部がゲート長方向に広がってゲートコンタクトパッドを構成する形状を有し、

前記ボディコンタクト部が、前記ゲートコンタクトパッドのゲート幅方向の端部外方の前記SOI層の表面内に設けられ、前記SOI層を通じて、前記ゲート電極下部のチャネル形成領域に電氣的に接続され、

前記MOSトランジスタのゲート絶縁膜が、ゲート幅方向において第1の厚さの第1の部分、第2の厚さの第2の部分を含む前記第2の厚さが、前記第1の厚さよりも厚い半導体装置の製造方法であって、

(a)前記SOI層上に、前記ゲート絶縁膜の第2の部分を含む前記第2の厚さの絶縁膜を選択的に形成する工程と、

(b)前記第2の部分を含む前記第2の厚さの絶縁膜に連続するように、前記SOI層上に、前記ゲート絶縁膜の第1の部分を含む前記第1の厚さの絶縁膜を選択的に形成する工程と、を備え、

前記工程(a)は、少なくとも前記ゲートコンタクトパッドの下部となる領域に、前記第2の厚さの絶縁膜を形成する工程を含む、半導体装置の製造方法。

【請求項2】

前記MOSトランジスタは、

デュアルオキサイドプロセスにより、厚さの異なる第1および第2のゲート絶縁膜を有する第1および第2のMOSトランジスタを形成する工程を兼用して形成され、

前記工程(a)は、

前記デュアルオキサイドプロセスにおいて、前記第1および第2のゲート絶縁膜のうち、厚さの厚い方を形成する工程を兼用して前記ゲート絶縁膜の第2の部分を含む前記第2の厚さの絶縁膜を形成する工程を含み、

前記工程(b)は、

前記デュアルオキサイドプロセスにおいて、前記第1および第2のゲート絶縁膜のうち、厚さの薄い方を形成する工程を兼用して前記ゲート絶縁膜の第1の部分形成する工程を含む、請求項1記載の半導体装置の製造方法。

【請求項3】

前記MOSトランジスタの形成領域となる活性領域を規定するとともに、前記MOSトランジスタを電氣的に分離するトレンチ分離絶縁膜を形成する工程をさらに備え、

前記工程(a)は、

(a-1)前記トレンチ分離絶縁膜の形成に際して前記SOI層上に形成される補助膜の下敷き酸化膜を除去せずに残すことで、前記ゲート絶縁膜の第2の部分を含む前記第2の厚さの絶縁膜とする工程を含む、請求項1記載の半導体装置の製造方法。

【請求項4】

前記MOSトランジスタは、第1および第2のMOSトランジスタを含み、

前記工程(a-1)は、前記第1および第2のMOSトランジスタのそれぞれの前記第2の部分を含む前記第2の厚さの絶縁膜を形成する工程に適用され、

前記第1および第2のMOSトランジスタのそれぞれの前記第1の部分は、デュアルオキサイドプロセスにより異なる厚さに形成される、請求項3記載の半導体装置の製造方法。

【請求項5】

前記MOSトランジスタの形成領域となる活性領域、前記ボディコンタクト部の形成領域および前記活性領域と前記ボディコンタクト部の形成領域との接続部を規定するとともに、前記MOSトランジスタを電氣的に分離するトレンチ分離絶縁膜を形成する工程をさらに備え、

前記工程(a)は、

(a-1)前記トレンチ分離絶縁膜の形成に際しての補助膜となる多層膜を前記SOI層上に形成する工程と、

(a-2)前記多層膜上に、少なくとも前記ゲート絶縁膜の第2の部分を含む前記第2の厚さの絶縁膜の形成領域が開口部となったレジストマスクをパターンニングする工程と、

(a-3)前記レジストマスクに覆われない領域を、前記SOI層の表面に達するまでエッチングにより除去する工程と、

(a-4)露出した前記SOI層の表面に比較的厚い酸化膜を形成し、前記開口部に対応する領域の前記比較的厚い酸化膜を、前記ゲート絶縁膜の第2の部分を含む前記第2の厚さの絶縁膜とする工程と、を含み、

前記(a-1)は、

前記多層膜の最下層膜として、前記SOI層上に下敷き酸化膜を形成する工程を含み、

前記工程(b)は前記工程(a)の後に実行され、前記下敷き酸化膜を除去した後、当該領域に前記第1の厚さの絶縁膜を形成する工程を含む、請求項1記載の半導体装置の製造方法。

【請求項6】

前記工程(a-2)は、

前記トレンチ分離酸化膜の形成領域に対応する部分にも開口部を有するように前記レジストマスクをパターンニングする工程を含み、

前記レジストマスクのパターンニングより、前記MOSトランジスタのゲート幅を自己整合的に決定する、請求項5記載の半導体装置の製造方法。

## 【請求項 7】

前記工程(a - 3)は、

前記SOI層をオーバーエッチングとなるようにエッチングする工程を含む、請求項5記載の半導体装置の製造方法。

## 【請求項 8】

前記工程(a - 3)は、

ケミカルドライエッチングにより前記下敷き酸化膜を除去する工程を含む、請求項5記載の半導体装置の製造方法。

## 【請求項 9】

前記SOI層のオーバーエッチングは、

ケミカルドライエッチングにより行う工程を含む、請求項7記載の半導体装置の製造方法。

## 【請求項 10】

前記工程(a - 3)は、

前記トレンチ分離酸化膜の形成領域に対応する部分の前記多層膜を前記SOI層の表面に達するまでエッチングする工程を含み、

前記工程(a)の後、前記トレンチ分離酸化膜の形成領域に対応する前記SOI層を前記埋め込み酸化膜に達するまでエッチングして、前記トレンチ分離酸化膜形成のためのトレンチを形成する工程をさらに備える、請求項5記載の半導体装置の製造方法。

## 【請求項 11】

前記工程(a)の後、前記トレンチの形成に先だって、

前記多層膜の表面および前記比較的厚い酸化膜の表面に絶縁膜を形成した後、前記絶縁膜を異方性エッチングにより除去して、前記多層膜の側面に前記絶縁膜のスペーサを形成する工程を、さらに備え、

前記絶縁膜のスペーサを残した状態で前記トレンチを形成する、請求項10記載の半導体装置の製造方法。

## 【請求項 12】

前記絶縁膜のスペーサを形成する工程は、CVD法によりシリコン酸化膜を形成する工程を含む、請求項10記載の半導体装置の製造方法。

## 【請求項 13】

前記絶縁膜のスペーサを形成する工程は、

CVD法によりシリコン窒化膜を形成する工程を含む、請求項10記載の半導体装置の製造方法。

## 【請求項 14】

前記工程(a - 3)は、

前記トレンチ分離酸化膜の形成領域に対応する部分の前記多層膜を前記SOI層の表面に達するまでエッチングする工程を含み、

前記工程(a - 3)と(a - 4)との間に、

前記SOI層を前記埋め込み酸化膜に達するまでエッチングして、前記トレンチ分離酸化膜形成のためのトレンチを形成する工程をさらに備える、請求項5記載の半導体装置の製造方法。

## 【請求項 15】

前記トレンチの形成後、

前記トレンチの内壁に露出する前記SOI層を酸化する工程をさらに含む、請求項10または請求項14記載の半導体装置の製造方法。

## 【請求項 16】

前記MOSトランジスタの形成領域となる活性領域を規定するとともに、前記MOSトランジスタを電氣的に分離するトレンチ分離絶縁膜を形成する工程をさらに備え、

前記トレンチ分離絶縁膜を形成する工程は、

前記活性領域を規定する第1のマスクデータおよび前記ボディコンタクト部の形成領域

を規定する第2のマスクデータを準備する工程と、

前記トレンチ分離酸化膜の非形成領域を規定する第3のマスクデータを準備する工程と、  
を含み、

前記第3のマスクデータを準備する工程は、

前記第1および第2のマスクデータを所定寸法だけアンダーサイズ処理して、第1および第2のアンダーサイズ済みデータとし、

該第1および第2のアンダーサイズ済みデータの間を接続する接続部のデータを入力する工程を有する、請求項1記載の半導体装置の製造方法。

【請求項17】

半導体基板、埋め込み酸化膜およびSOI層が順に積層されたSOI基板の前記SOI層上に配設されたMOSトランジスタと、前記SOI層の表面内に設けられ、外部から電位固定可能なボディコンタクト部とを備え、前記MOSトランジスタのゲート絶縁膜が、ゲート幅方向においてフッ素を有さない第1の部分と、フッ素を有する第2の部分を含む半導体装置の製造方法であって、

(a)前記SOI層上に、前記ゲート絶縁膜の第2の部分を含むフッ素を有する絶縁膜を形成する領域が開口部となったレジストマスクをパターニングする工程と、

(b)前記開口部から前記SOI層内にフッ素イオンをイオン注入する工程と、

(c)前記レジストマスクを除去した後、前記SOI層上を酸化する工程と、を備える、半導体装置の製造方法。

【請求項18】

半導体基板、埋め込み酸化膜およびSOI層が順に積層されたSOI基板の前記SOI層上に配設されたMOSトランジスタと、前記SOI層の表面内に設けられ、外部から電位固定可能なボディコンタクト部とを備え、前記MOSトランジスタのゲート絶縁膜が、ゲート幅方向において第1の厚さの第1の部分、第2の厚さの第2の部分を含む半導体装置の製造方法であって、

(a)前記SOI層上に、前記ゲート絶縁膜の第1の部分を含めて前記第1の厚さの絶縁膜を形成する領域が開口部となったレジストマスクをパターニングする工程と、

(b)前記開口部から前記SOI層内に窒素イオンをイオン注入する工程と、

(c)前記レジストマスクを除去した後、前記SOI層上を、前記第2の厚さの絶縁膜を形成する条件で酸化する工程と、を備える、半導体装置の製造方法。

【請求項19】

半導体基板、埋め込み絶縁膜およびSOI層が順に積層されたSOI基板の前記SOI層上に配設されたMOSトランジスタと、

前記SOI層の表面内に設けられ、外部から電位固定可能なボディコンタクト部とを備え、

前記MOSトランジスタのゲート電極の平面視形状が、ゲート幅方向の少なくとも一方の端部がゲート長方向に広がってゲートコンタクトパッドを構成する形状を有し、

前記ボディコンタクト部が、前記ゲートコンタクトパッドのゲート幅方向の端部外方の前記SOI層の表面内に設けられ、前記SOI層を通じて、前記ゲート電極下部のチャネル形成領域に電氣的に接続され、

前記MOSトランジスタのゲート絶縁膜は、ゲート幅方向において第1の厚さの第1の部分、第2の厚さの第2の部分を有し、

前記第2の厚さは、前記第1の厚さよりも厚く、

前記ゲート絶縁膜の前記第2の部分は、前記ゲートコンタクトパッドの下部に少なくとも配設される、半導体装置。

【請求項20】

前記ゲート絶縁膜の前記第1および第2の部分は一体的に形成される、請求項19記載の半導体装置。

【請求項21】

前記ゲート絶縁膜の前記第2の部分を含めて、前記第2の厚さの絶縁膜は、前記ゲート

コンタクトパッドの下部およびその周囲に配設される、請求項 2 0 記載の半導体装置。

【請求項 2 2】

前記第 2 の厚さの絶縁膜は、

前記ボディコンタクト部と前記チャネル形成領域との接続部となる前記 S O I 層の上部にまで配設される、請求項 2 1 記載の半導体装置。

【請求項 2 3】

前記ボディコンタクト部と前記チャネル形成領域との接続部となる前記 S O I 層のゲート長方向の長さは、前記ゲート電極のゲート長と、前記ゲート電極の側面に配設されるサイドウォール絶縁膜の幅の 2 倍の長さとは合わせた長さよりも短い、請求項 2 2 記載の半導体装置。

【請求項 2 4】

前記ボディコンタクト部と前記チャネル形成領域との接続部となる前記 S O I 層のゲート長方向の長さは、前記ゲートコンタクトパッドのゲート長方向の長さよりも短い、請求項 2 1 記載の半導体装置。

【請求項 2 5】

半導体基板、埋め込み絶縁膜および S O I 層が順に積層された S O I 基板の前記 S O I 層上に配設された M O S トランジスタと、

前記 S O I 層の表面内に設けられ、外部から電位固定可能なボディコンタクト部とを備え、

前記 M O S トランジスタのゲート絶縁膜は、ゲート幅方向において第 1 の厚さの第 1 の部分、第 2 の厚さの第 2 の部分を有し、

前記第 2 の厚さは、前記第 1 の厚さよりも厚く、

前記ボディコンタクト部は、

前記 M O S トランジスタのソース領域の、ゲート幅方向の端縁部外側の前記 S O I 層の表面内に、前記ソース領域に隣接して帯状に設けられ、

前記ゲート絶縁膜の前記第 2 の部分を含めて、前記第 2 の厚さの絶縁膜は、前記 M O S トランジスタのゲート電極のゲート幅方向の 2 つの端部のうち、帯状の前記ボディコンタクト部が配設された側に配設される、半導体装置。

【請求項 2 6】

前記ゲート絶縁膜の前記第 1 および第 2 の部分は一体的に形成される、請求項 2 5 記載の半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 7

【補正方法】変更

【補正の内容】

【0 0 4 7】

本発明に係る請求項 1 9 記載の半導体装置は、半導体基板、埋め込み絶縁膜および S O I 層が順に積層された S O I 基板の前記 S O I 層上に配設された M O S トランジスタと、前記 S O I 層の表面内に設けられ、外部から電位固定可能なボディコンタクト部とを備え、前記 M O S トランジスタのゲート電極の平面視形状が、ゲート幅方向の少なくとも一方の端部がゲート長方向に広がってゲートコンタクトパッドを構成する形状を有し、前記ボディコンタクト部が、前記ゲートコンタクトパッドのゲート幅方向の端部外方の前記 S O I 層の表面内に設けられ、前記 S O I 層を通じて、前記ゲート電極下部のチャネル形成領域に電氣的に接続され、前記 M O S トランジスタのゲート絶縁膜は、ゲート幅方向において第 1 の厚さの第 1 の部分、第 2 の厚さの第 2 の部分を有し、前記第 2 の厚さは、前記第 1 の厚さよりも厚く、前記ゲート絶縁膜の前記第 2 の部分は、前記ゲートコンタクトパッドの下部に少なくとも配設されている。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】 0 0 4 8

【補正方法】 変更

【補正の内容】

【 0 0 4 8 】

本発明に係る請求項 2 1 記載の半導体装置は、前記ゲート絶縁膜の前記第 2 の部分を含めて、前記第 2 の厚さの絶縁膜は、前記ゲートコンタクトパッドの下部およびその周囲に配設されている。

【手続補正 4】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 4 9

【補正方法】 変更

【補正の内容】

【 0 0 4 9 】

本発明に係る請求項 2 2 記載の半導体装置は、前記第 2 の厚さの絶縁膜が、前記ボディコンタクト部と前記チャンネル形成領域との接続部となる前記 S O I 層の上部にまで配設される。

【手続補正 5】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 5 0

【補正方法】 変更

【補正の内容】

【 0 0 5 0 】

本発明に係る請求項 2 3 記載の半導体装置は、前記ボディコンタクト部と前記チャンネル形成領域との接続部となる前記 S O I 層のゲート長方向の長さが、前記ゲート電極のゲート長と、前記ゲート電極の側面に配設されるサイドウォール絶縁膜の幅の 2 倍の長さとは合わせた長さよりも短い。

【手続補正 6】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 5 1

【補正方法】 変更

【補正の内容】

【 0 0 5 1 】

本発明に係る請求項 2 4 記載の半導体装置は、前記ボディコンタクト部と前記チャンネル形成領域との接続部となる前記 S O I 層のゲート長方向の長さが、前記ゲートコンタクトパッドのゲート長方向の長さよりも短い。

【手続補正 7】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 5 2

【補正方法】 変更

【補正の内容】

【 0 0 5 2 】

本発明に係る請求項 2 5 記載の半導体装置は、ボディコンタクト部が、前記 M O S トランジスタのソース領域の、ゲート幅方向の端縁部外側の前記 S O I 層の表面内に、前記ソース領域に隣接して帯状に設けられ、前記ゲート絶縁膜の前記第 2 の部分を含めて、前記第 2 の厚さの絶縁膜は、前記 M O S トランジスタのゲート電極のゲート幅方向の 2 つの端部のうち、帯状の前記ボディコンタクト部が配設された側に配設されている。

【手続補正 8】

【補正対象書類名】 明細書

【補正対象項目名】 0 1 4 2

【補正方法】 変更

## 【補正の内容】

## 【0142】

ここで、図29においては、レジストマスクRM7は窒化膜22上を完全には覆っていないが、これは、実際のプロセスではレジストマスクRM7が重ね合わせずれを起こすことを考慮したものである。なお、このようにレジストマスクRM7が重ね合わせずれを起こしたとしても、窒化膜22が存在するのでエッチングマスクとして機能し、MOSトランジスタのゲート幅は、領域BRの窒化膜22の幅で決まり、レジストマスクRM7が重ね合わせずれの影響を受けない。

## 【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0146

【補正方法】変更

## 【補正の内容】

## 【0146】

その後、図32に示す工程において、下敷き酸化膜4を除去した後、MOSトランジスタの活性領域ARおよびボディコンタクト部の形成領域BR上に酸化膜4Aを形成する。この酸化膜4Aはゲート絶縁膜となり、その厚さは例えば、1~10nmの範囲から選択すれば良い。そして、活性領域ARの酸化膜4A上にゲート電極12をパターンニングする。このとき、ゲート電極12は、ゲート幅方向の一方の端部が酸化膜5上に係合し、他方の端部は完全トレンチ分離酸化膜FT上に係合するようにパターンニングされ、領域BRの酸化膜4A上に形成される部分が、実質的なゲートとして機能する。なお、酸化膜5もゲート絶縁膜と呼称することができ、酸化膜4Aと5とで連続したゲート絶縁膜を構成する。この後、ソース・ドレイン不純物の注入によりソース・ドレイン領域を形成し、また、ゲート絶縁膜5が設けられる側のゲート電極12の端部の外方のSOI層3の表面内への不純物注入によりボディコンタクト部BDを形成することで、MOSトランジスタQ21が得られる。

## 【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0289

【補正方法】変更

## 【補正の内容】

## 【0289】

本発明に係る請求項21記載の半導体装置によれば、厚いゲート絶縁膜がゲートコンタクトパッドの下部およびその周囲に配設されるので、ソース・ドレイン間での電流リークパスが形成されることが防止される。

## 【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0290

【補正方法】変更

## 【補正の内容】

## 【0290】

本発明に係る請求項22記載の半導体装置によれば、第2の厚さの絶縁膜が、ボディコンタクト部とチャネル形成領域との接続部となるSOI層の上部にまで配設されるので、接続部に不要な不純物が注入されることを防止できる。

## 【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0291

【補正方法】変更

## 【補正の内容】

## 【0291】

本発明に係る請求項 2 3 記載の半導体装置によれば、ボディコンタクト部とチャネル形成領域との接続部となる S O I 層のゲート長方向の長さが、ゲート電極のゲート長と、ゲート電極の側面に配設されるサイドウォール絶縁膜の幅の 2 倍の長さとを合わせた長さよりも短いので、ゲート長が狭く、ゲート電極の下部に厚いゲート絶縁膜が存在する領域の S O I 層に、L D D 注入の不純物およびソース・ドレイン注入の不純物が導入されることを極力防止でき、電流リークを低減することができる。

【手続補正 1 3】

【補正対象書類名】明細書

【補正対象項目名】0 2 9 2

【補正方法】変更

【補正の内容】

【0 2 9 2】

本発明に係る請求項 2 4 記載の半導体装置によれば、ボディコンタクト部とチャネル形成領域との接続部となる S O I 層のゲート長方向の長さが、ゲートコンタクトパッドのゲート長方向の長さよりも短いので、接続部がゲートコンタクトパッドで覆われることになり、ソース・ドレイン不純物の注入に際して、当該接続部に導入されることを防止できる。

【手続補正 1 4】

【補正対象書類名】明細書

【補正対象項目名】0 2 9 3

【補正方法】変更

【補正の内容】

【0 2 9 3】

本発明に係る請求項 2 5 記載の半導体装置によれば、ソースタイ構造において、ボディコンタクト部とチャネル領域との接続部の上部に厚いゲート絶縁膜が設けられることになり、ゲート電極の電流が多く流れる領域のゲート絶縁膜の厚さは薄くすることで、ボディ固定が可能な構成でありながら、ゲート - ドレイン間の寄生容量を低減することができ、低消費電力かつ高速で安定な動作が可能な M O S トランジスタを得ることができる。