



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0092584
(43) 공개일자 2016년08월05일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) G09G 3/32 (2016.01)
G09G 3/36 (2006.01)

(52) CPC특허분류
G09G 3/20 (2013.01)
G09G 3/3225 (2013.01)

(21) 출원번호 10-2015-0012980
(22) 출원일자 2015년01월27일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자
박준현
경기도 수원시 권선구 권선로694번길 25 202동
501호 (권선동, 수원권선SKVIEW)

김중희
경기도 용인시 기흥구 서천서로 27 서천마을1단지
104-903호
(뒷면에 계속)

(74) 대리인
특허법인 고려

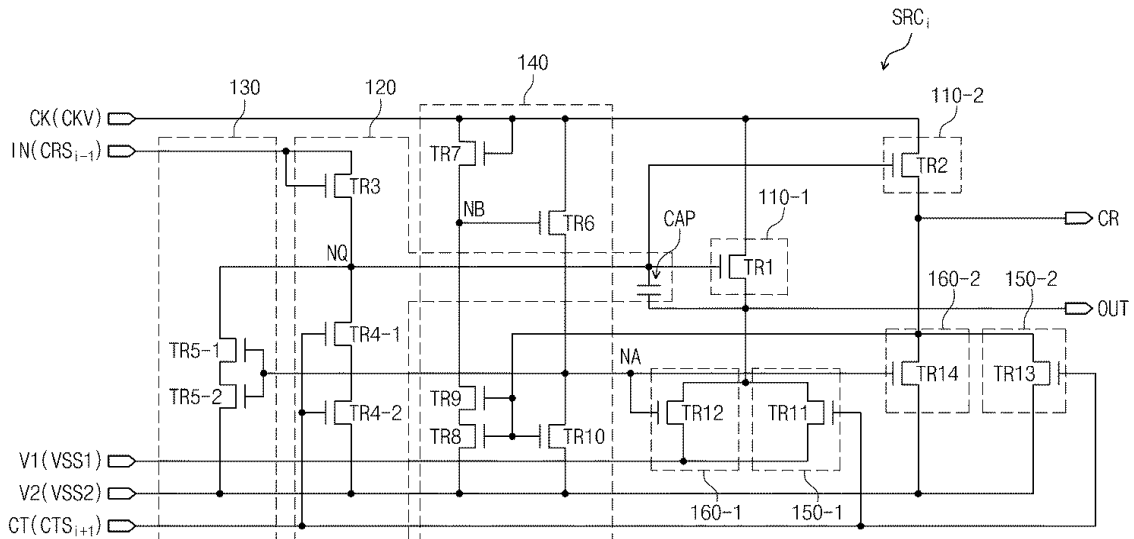
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 게이트 구동회로

(57) 요약

게이트 구동회로는 복수개의 구동 스테이지를 포함한다. 상기 복수개의 구동 스테이지 중에서 i번째 구동 스테이지는 A-노드 및 안정화부를 제어하는 스위칭신호를 출력하는 인버터부를 포함한다. 상기 인버터부는 5개의 인버터 트랜지스터(제1 내지 제5 인버터 트랜지스터)를 포함할 수 있다. 상기 제3 인버터 트랜지스터는 i번째 출력신호에 응답하여 저전압을 출력한다. 상기 제4 인버터 트랜지스터는 상기 i번째 출력신호가 출력되는 구간에 턴-온되어, 상기 제3 인버터 트랜지스터의 출력을 B-노드에 전달한다.

대표도



(52) CPC특허분류
G09G 3/3648 (2013.01)

(72) 발명자

김성환

경기도 용인시 기흥구 새천년로 40 녹원마을 새천
년그린빌 4단지 413동 1701호

임재근

경기도 수원시 영통구 덕영대로1555번길 20 944동
1512호 (영통동, 벽적골9단지아파트)

채종철

서울특별시 서초구 반포대로 275 114동 901호 (반
포동, 래미안퍼스티지아파트)

명세서

청구범위

청구항 1

복수개의 구동 스테이지들을 포함하는 게이트 구동회로에 있어서, 상기 구동 스테이지들 중 i 번째(여기서 i 는 2 이상의 자연수) 구동 스테이지는,

저전압 및 Q-노드의 전압에 응답하여 클럭신호에 근거하여 생성된 고전압을 포함하는 i 번째 출력신호를 출력하는 출력부;

상기 i 번째 출력신호가 출력된 이후, A-노드에 인가되는 스위칭신호에 응답하여 상기 Q-노드에 상기 저전압을 제공하는 안정화부;

상기 A-노드에 상기 안정화부를 제어하는 상기 스위칭신호를 출력하는 인버터부를 포함하며,

상기 인버터부는,

B-노드의 전압에 응답하여 상기 클럭신호에 근거하여 생성된 상기 스위칭 신호를 상기 A-노드에 제공하는 제1 인버터 트랜지스터;

상기 클럭신호에 응답하고 상기 클럭신호에 근거하여 상기 B-노드의 전압을 제어하는 제2 인버터 트랜지스터;

상기 i 번째 출력신호에 응답하여 상기 저전압을 출력하는 제3 인버터 트랜지스터; 및

상기 i 번째 출력신호가 출력되는 구간에 턴-온 되어, 상기 제3 인버터 트랜지스터의 출력을 상기 B-노드에 전달하는 제4 인버터 트랜지스터를 포함하는 게이트 구동회로.

청구항 2

제1 항에 있어서,

상기 제1 인버터 트랜지스터는,

상기 클럭신호를 인가받는 입력전극;

상기 B-노드에 연결된 제어전극; 및

상기 A-노드에 연결된 출력전극을 포함하고,

상기 제2 인버터 트랜지스터는,

상기 클럭신호를 공통으로 인가받는 입력전극과 제어전극; 및

상기 B-노드에 연결된 출력전극을 포함하며,

상기 제3 인버터 트랜지스터는,

상기 저전압을 인가받는 입력전극;

상기 i 번째 출력신호를 인가받는 제어전극; 및

상기 제4 인버터 트랜지스터의 입력전극에 연결된 출력전극을 포함하고,

상기 제4 인버터 트랜지스터는,

상기 제3 인버터 트랜지스터의 출력전극에 연결된 입력전극;

상기 i 번째 출력신호를 인가받는 제어전극; 및

상기 B-노드에 연결된 출력전극을 포함하는 게이트 구동회로.

청구항 3

제2 항에 있어서,

상기 인버터부는,

상기 i번째 출력신호에 응답하여, 상기 저전압을 상기 A-노드에 제공하는 제5 인버터 트랜지스터를 더 포함하는 게이트 구동회로.

청구항 4

제3 항에 있어서,

상기 제5 인버터 트랜지스터는,

상기 저전압을 인가받는 입력전극;

상기 i번째 출력신호를 인가받는 제어전극; 및

상기 A-노드에 연결된 출력전극을 포함하는 게이트 구동회로.

청구항 5

제4 항에 있어서,

상기 안정화부는,

서로 직렬 연결되고, 상기 A-노드의 전압에 응답하여 상기 B-노드에 상기 저전압을 출력하는 제1 안정화 트랜지스터 및 제2 안정화 트랜지스터를 포함하는 게이트 구동회로.

청구항 6

제5 항에 있어서,

상기 제1 안정화 트랜지스터는,

상기 제2 안정화 트랜지스터의 출력전극에 연결된 입력전극;

상기 A-노드에 연결된 제어전극; 및

상기 Q-노드에 연결된 출력전극을 포함하고,

상기 제2 안정화 트랜지스터는

상기 저전압을 인가받는 입력전극;

상기 A-노드에 연결된 제어전극; 및

상기 제1 안정화 트랜지스터의 입력전극에 연결된 출력전극을 포함하는 게이트 구동회로.

청구항 7

제6 항에 있어서,

상기 저전압은 레벨이 다른 제1 저전압과 제2 저전압을 포함하고,

상기 i번째 출력신호는,

상기 제1 저전압 및 상기 고전압을 포함하는 i번째 게이트 신호; 및

상기 제2 저전압 및 상기 고전압을 포함하는 i번째 캐리 신호를 포함하고,

상기 출력부는,

상기 게이트 신호를 출력하는 제1 출력부; 및

상기 캐리 신호를 출력하는 제2 출력부를 포함하는 게이트 구동회로.

청구항 8

제7 항에 있어서,

상기 i번째 구동 스테이지는,

i-1, i, 및 i+1번째 출력신호들이 출력되는 구간 동안에 상기 Q-노드의 전위레벨을 제어하는 제어부를 더 포함하는 게이트 구동회로.

청구항 9

제8 항에 있어서,

상기 i번째 구동 스테이지는,

상기 제1 출력부에서 출력되는 상기 게이트 신호를 상기 제1 저전압으로 다운시키는 제1 풀다운부; 및

상기 제2 출력부에서 출력되는 상기 캐리 신호를 상기 제2 저전압으로 다운시키는 제2 풀다운부를 더 포함하는 게이트 구동회로.

청구항 10

제9 항에 있어서,

상기 i번째 구동 스테이지는,

상기 게이트 신호가 상기 제1 저전압으로 다운된 이후에 상기 게이트 신호를 상기 제1 저전압으로 유지시키는 제1 홀딩부; 및

상기 캐리 신호가 상기 제2 저전압으로 다운된 이후에 상기 캐리 신호를 상기 제2 저전압으로 유지시키는 제2 홀딩부를 더 포함하는 게이트 구동회로.

청구항 11

제10 항에 있어서,

상기 제2 저전압의 전위 레벨은 상기 제1 저전압의 전위 레벨 보다 더 낮은 게이트 구동회로.

청구항 12

제1 항에 있어서,

상기 제1 인버터 트랜지스터는,

상기 클럭신호를 인가받는 입력전극;

상기 B-노드에 연결된 제어전극; 및

상기 A-노드에 연결된 출력전극을 포함하고,

상기 제2 인버터 트랜지스터는,

상기 클럭신호를 공통으로 인가받는 입력전극과 제어전극; 및

상기 B-노드에 연결된 출력전극을 포함하고,

상기 제3 인버터 트랜지스터는,

상기 제2 저전압을 인가받는 입력전극;

상기 출력신호를 인가받는 제어전극; 및

상기 제4 인버터 트랜지스터의 입력전극에 연결된 출력전극을 포함하고,

상기 제4 인버터 트랜지스터는,

상기 제3 인버터 트랜지스터의 출력전극에 연결된 입력전극;

상기 Q-노드에 연결된 제어전극; 및

상기 B-노드에 연결된 출력전극을 포함하는 게이트 구동회로.

청구항 13

제12 항에 있어서,

상기 인버터부는,

상기 출력신호에 응답하여, 상기 제2 저전압을 상기 A-노드에 제공하는 제5 인버터 트랜지스터를 더 포함하는 게이트 구동회로.

청구항 14

제13 항에 있어서,

상기 제5 인버터 트랜지스터는,

상기 제2 저전압을 인가받는 입력전극;

상기 출력신호를 인가받는 제어전극; 및

상기 A-노드에 연결된 출력전극을 포함하는 게이트 구동회로.

청구항 15

제14 항에 있어서,

상기 안정화부는,

서로 직렬 연결되고, 상기 A-노드의 전압에 응답하여 상기 B-노드에 상기 저전압을 출력하는 제1 안정화 트랜지스터 및 제2 안정화 트랜지스터를 포함하며,

상기 제1 안정화 트랜지스터는,

상기 제2 안정화 트랜지스터의 출력전극에 연결된 입력전극;

상기 A-노드에 연결된 제어전극; 및

상기 Q-노드에 연결된 출력전극을 포함하고,

상기 제2 안정화 트랜지스터는

상기 저전압을 인가받는 입력전극;

상기 A-노드에 연결된 제어전극; 및

상기 제1 안정화 트랜지스터의 입력전극에 연결된 출력전극을 포함하는 게이트 구동회로.

청구항 16

제15 항에 있어서,

상기 저전압은 레벨이 다른 제1 저전압과 제2 저전압을 포함하고,

상기 i번째 출력신호는,

상기 제1 저전압 및 상기 고전압을 포함하는 i번째 게이트 신호; 및

상기 제2 저전압 및 상기 고전압을 포함하는 i번째 캐리 신호를 포함하고,

상기 출력부는,

상기 게이트 신호를 출력하는 제1 출력부; 및

상기 캐리 신호를 출력하는 제2 출력부를 포함하는 게이트 구동회로.

청구항 17

제16 항에 있어서,

상기 i번째 구동 스테이지는,

i-1, i, 및 i+1번째 출력신호들이 출력되는 구간 동안에 상기 Q-노드의 전위레벨을 제어하는 동안 상기 Q-노드의 전위레벨을 제어하는 제어부;

상기 제1 출력부에서 출력되는 상기 게이트 신호를 상기 제1 저전압으로 다운시키는 제1 풀다운부;

상기 제2 출력부에서 출력되는 상기 캐리 신호를 상기 제2 저전압으로 다운시키는 제2 풀다운부;

상기 게이트 신호가 상기 제1 저전압으로 다운된 이후에 상기 게이트 신호를 상기 제1 저전압으로 유지시키는 제1 홀딩부; 및

상기 캐리 신호가 상기 제2 저전압으로 다운된 이후에 상기 캐리 신호를 상기 제2 저전압으로 유지시키는 제2 홀딩부를 더 포함하는 게이트 구동회로.

청구항 18

제17 항에 있어서,

상기 제2 저전압의 전위 레벨은 상기 제1 저전압의 전위 레벨 보다 더 낮은 게이트 구동회로.

발명의 설명

기술 분야

[0001] 본 발명은 게이트 구동회로 및 이를 포함하는 표시장치에 관한 것으로, 좀더 상세하게는 표시패널에 집적된 (integrated) 게이트 구동회로 및 신뢰성이 우수한 표시장치에 관한 것이다.

배경 기술

[0002] 표시장치는 복수 개의 게이트 라인들, 복수 개의 데이터 라인들, 상기 복수 개의 게이트 라인들과 상기 복수 개의 데이터 라인들에 연결된 복수 개의 화소들을 포함한다. 상기 표시장치는 상기 복수 개의 게이트 라인들에 게이트 신호들을 제공하는 게이트 구동회로 및 상기 복수 개의 데이터 라인들에 데이터 신호들을 출력하는 데이터 구동회로를 포함한다.

[0003] 상기 게이트 구동회로는 복수 개의 구동 스테이지 회로들(이하, 구동 스테이지들)을 포함하는 쉬프트 레지스터를 포함한다. 상기 복수 개의 구동 스테이지들은 상기 복수 개의 게이트 라인들에 대응하는 게이트 신호를 각각 출력한다. 상기 복수 개의 구동 스테이지들 각각은 유기적으로 연결된 복수 개의 트랜지스터들을 포함한다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 누설전류 방지를 통해 신뢰성이 높은 게이트 구동회로 및 이를 포함하는 표시장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0005] 본 발명의 일 실시예에 따른 복수개의 구동 스테이지들을 포함하는 게이트 구동회로에 있어서, 상기 구동 스테이지들 중 i번째(여기서 i는 2 이상의 자연수) 구동 스테이지는 출력부, 안정화부, 및 인버터부를 포함한다.

[0006] 상기 출력부는 저전압 및 Q-노드의 전압에 응답하여 클럭신호에 근거하여 생성된 고전압을 포함하는 i번째 출력 신호를 출력한다. 상기 안정화부는 상기 i번째 출력신호가 출력된 이후, A-노드에 인가되는 스위칭신호에 응답하여 상기 Q-노드에 상기 제2 저전압을 제공한다. 상기 인버터부는 상기 A-노드에 상기 안정화부를 제어하는 상기 스위칭신호를 출력한다.

[0007] 상기 인버터부는 제1 인버터 트랜지스터, 제2 인버터 트랜지스터, 제3 인버터 트랜지스터 및 제4 인버터 트랜지스터를 포함한다.

- [0008] 상기 제1 인버터 트랜지스터는 B-노드의 전압에 응답하여 상기 클럭신호에 근거하여 생성된 상기 스위칭 신호를 상기 A-노드에 제공한다. 상기 제2 인버터 트랜지스터는 상기 클럭신호에 응답하고 상기 클럭신호에 근거하여 상기 B-노드의 전압을 제어한다. 상기 제3 인버터 트랜지스터는 상기 i번째 출력신호에 응답하여 상기 저전압을 출력한다. 상기 제4 인버터 트랜지스터는 상기 i번째 출력신호가 출력되는 구간에 턴-온 되어, 상기 제3 인버터 트랜지스터의 출력을 상기 B-노드에 전달한다.
- [0009] 상기 제1 인버터 트랜지스터는 입력전극, 제어전극, 및 출력전극을 포함한다. 상기 입력전극은 상기 클럭신호를 인가 받는다. 상기 제어전극은 상기 B-노드에 연결된다. 상기 출력전극은 상기 A-노드에 연결된다.
- [0010] 상기 제2 인버터 트랜지스터는 입력전극, 제어전극, 및 출력전극을 포함한다. 상기 입력전극과 상기 제어전극은 상기 클럭신호를 공통으로 인가받는다. 상기 출력전극은 상기 B-노드에 연결된다.
- [0011] 상기 제3 인버터 트랜지스터는 입력전극, 제어전극, 및 출력전극을 포함한다. 상기 입력전극은 상기 저전압을 인가받는다. 상기 제어전극은 상기 i번째 출력신호를 인가받는다. 상기 출력전극은 상기 제4 인버터 트랜지스터의 입력전극에 연결된다.
- [0012] 상기 제4 인버터 트랜지스터는 입력전극, 제어전극, 및 출력전극을 포함한다. 상기 입력전극은 상기 제3 인버터 트랜지스터의 출력전극에 연결된다. 상기 제어전극은 상기 i번째 출력신호를 인가받는다. 상기 출력전극은 상기 B-노드에 연결된다.
- [0013] 상기 인버터부는 상기 i번째 출력신호에 응답하여, 상기 저전압을 상기 A-노드에 제공하는 제5 인버터 트랜지스터를 더 포함한다.
- [0014] 상기 제5 인버터 트랜지스터는 입력전극, 제어전극, 및 출력전극을 포함한다. 상기 입력전극은 상기 저전압을 인가 받는다. 상기 제어전극은 상기 i번째 출력신호를 인가 받는다. 상기 출력전극은 상기 A-노드에 연결된다.
- [0015] 상기 안정화부는 서로 직렬 연결된 제1 안정화 트랜지스터 및 제2 안정화 트랜지스터를 포함한다. 상기 제1 안정화 트랜지스터 및 상기 제2 안정화 트랜지스터는 상기 A-노드의 전압에 응답하여 상기 B-노드에 상기 저전압을 출력한다.
- [0016] 상기 제1 안정화 트랜지스터는 입력전극, 제어전극, 및 출력전극을 포함한다. 상기 입력전극은 상기 제2 안정화 트랜지스터의 출력전극에 연결된다. 상기 제어전극은 상기 A-노드에 연결된다. 상기 출력전극은 상기 Q-노드에 연결된다.
- [0017] 상기 제2 안정화 트랜지스터는 입력전극, 제어전극, 및 출력전극을 포함한다. 상기 입력전극은 상기 저전압을 인가받는다. 상기 제어전극은 상기 A-노드에 연결된다. 상기 출력전극은 상기 제1 안정화 트랜지스터의 입력전극에 연결된다.
- [0018] 상기 저전압은 레벨이 다른 제1 저전압과 제2 저전압을 포함한다.
- [0019] 상기 i번째 출력신호는 i번째 게이트 신호 및 i번째 캐리 신호를 포함한다. 상기 i번째 게이트 신호는 상기 제1 저전압 및 상기 고전압을 포함한다. 상기 i번째 캐리 신호는 상기 제2 저전압 및 상기 고전압을 포함한다.
- [0020] 상기 출력부는 제1 출력부 및 제2 출력부를 포함한다. 상기 제1 출력부는 상기 게이트 신호를 출력한다. 상기 제2 출력부는 상기 캐리 신호를 출력한다.
- [0021] 상기 i번째 구동 스테이지는 제어부를 더 포함할 수 있다. 상기 제어부는 i-1, i, 및 i+1번째 출력신호들이 출력되는 구간 동안에 상기 Q-노드의 전위레벨을 제어한다.
- [0022] 상기 i번째 구동 스테이지는 제1 풀다운부 및 제2 풀다운부를 더 포함할 수 있다. 상기 제1 풀다운부는 상기 제1 출력부에서 출력되는 상기 게이트 신호를 상기 제1 저전압으로 다운시킨다. 상기 제2 풀다운부는 상기 제2 출력부에서 출력되는 상기 캐리 신호를 상기 제2 저전압으로 다운시킨다.
- [0023] 상기 i번째 구동 스테이지는 제1 홀딩부 및 제2 홀딩부를 더 포함할 수 있다. 상기 제1 홀딩부는 상기 게이트 신호가 상기 제1 저전압으로 다운된 이후에 상기 게이트 신호를 상기 제1 저전압으로 유지시킨다. 상기 제2 홀딩부는 상기 캐리 신호가 상기 제2 저전압으로 다운된 이후에 상기 캐리 신호를 상기 제2 저전압으로 유지시킨다.
- [0024] 상기 제2 저전압의 전위 레벨은 상기 제1 저전압의 전위 레벨보다 더 낮을 수 있다.

[0025] 본 발명의 다른 실시예에 따른 상기 제4 인버터 트랜지스터는 입력전극, 제어전극, 및 출력전극을 포함한다. 상기 입력전극은 상기 제3 인버터 트랜지스터의 출력전극에 연결된다. 상기 제어전극은 상기 Q-노드에 연결된다. 상기 출력전극은 상기 B-노드에 연결된다.

발명의 효과

[0026] 본 발명의 실시예에 따르면, 인버터부에 포함되는 노드에서 발생하는 누설 전류를 방지할 수 있다. 이에 따라, 신뢰성이 높은 게이트 구동회로 및 이를 포함하는 표시장치를 제공할 수 있다.

도면의 간단한 설명

- [0027] 도 1은 본 발명의 일 실시예에 따른 표시장치의 평면도이다.
- 도 2는 본 발명의 일 실시예에 따른 표시장치의 신호들의 타이밍도이다.
- 도 3는 본 발명의 일 실시예에 따른 화소의 등가회로도이다.
- 도 4는 본 발명의 일 실시예에 따른 화소의 단면도이다.
- 도 5는 본 발명의 일 실시예에 따른 게이트 구동회로의 블럭도이다.
- 도 6는 도 5에 도시된 복수 개의 스테이지들 중 i번째 스테이지의 회로도이다.
- 도 7은 도 6에 도시된 i번째 스테이지의 입출력신호 파형도이다.
- 도 8은 도 6에 도시된 B-노드(NB)의 출력신호 파형도이다.
- 도 9는 도 6에 도시된 A-노드(NA)의 출력신호 파형도이다.
- 도 10은 도 6에 도시된 Q-노드(NQ)의 출력신호 파형도이다.
- 도 11은 본 발명의 일 실시예에 따른 도 5에 도시된 복수 개의 스테이지들 중 i번째 스테이지의 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명한다.
- [0029] 도 1은 본 발명의 일 실시예에 따른 표시장치의 평면도이다. 도 2는 본 발명의 일 실시예에 따른 표시장치의 신호들의 타이밍도이다.
- [0030] 도 1 및 도 2에 도시된 것과 같이, 본 발명의 실시 예에 따른 표시장치는 표시패널(DP), 게이트 구동회로(100), 및 데이터 구동회로(200)를 포함한다.
- [0031] 표시패널(DP)은 특별히 한정되는 것은 아니며, 예를 들어, 액정 표시패널(liquid crystal display panel), 유기발광 표시패널(organic light emitting display panel), 전기영동 표시패널(electrophoretic display panel), 및 일렉트로웨팅 표시패널(electrowetting display panel)등의 다양한 표시패널을 포함할 수 있다. 본 실시예에서 표시패널(DP)은 액정 표시패널로 설명된다. 한편, 액정 표시패널을 포함하는 액정 표시장치는 미 도시된 편광자, 백라이트 유닛 등을 더 포함할 수 있다.
- [0032] 표시패널(DP)은 제1 기판(DS1), 제1 기판(DS1)과 이격된 제2 기판(DS2) 및 제1 기판(DS1)과 제2 기판(DS2) 사이에 배치된 액정층(LCL)을 포함한다. 평면 상에서, 표시패널(DP)은 복수 개의 화소들(PX₁₁~PX_{mm})이 배치된 표시영역(DA) 및 표시영역(DA)을 둘러싸는 비표시영역(NDA)을 포함한다.
- [0033] 표시패널(DP)은 제1 기판(DS1) 상에 배치된 복수 개의 게이트 라인들(GL1~GLn) 및 게이트 라인들(GL1~GLn)과 교차하는 복수 개의 데이터 라인들(DL1~DLm)을 포함한다. 복수 개의 게이트 라인들(GL1~GLn)은 게이트 구동회로(100)에 연결된다. 복수 개의 데이터 라인들(DL1~DLm)은 데이터 구동회로(200)에 연결된다. 도 1에는 복수 개의 게이트 라인들(GL1~GLn) 중 일부와 복수 개의 데이터 라인들(DL1~DLm) 중 일부만이 도시되었다. 또한, 표시패널(DP)은 제1 기판(DS1)의 비표시영역(NDA)에 배치된 더미 게이트 라인(GLd)을 더 포함할 수 있다.
- [0034] 도 1에는 복수 개의 화소들(PX₁₁~PX_{mm}) 중 일부만이 도시되었다. 복수 개의 화소들(PX₁₁~PX_{mm})은 복수 개의 게이트 라인들(GL1~GLn) 중 대응하는 게이트 라인 및 복수 개의 데이터 라인들(DL1~DLm) 중 대응하는 데이터 라인에 각

각 연결된다. 다만, 더미 게이트 라인(GLd)은 복수 개의 화소들(PX₁₁~PX_{nm})에 연결되지 않는다.

- [0035] 복수 개의 화소들(PX₁₁~PX_{nm})은 표시하는 컬러에 따라 복수 개의 그룹들로 구분될 수 있다. 복수 개의 화소들(PX₁₁~PX_{nm})은 주요색(primary color) 중 하나를 표시할 수 있다. 주요색은 레드, 그린, 블루, 및 화이트를 포함할 수 있다. 한편, 이에 제한되는 것은 아니고, 주요색은 옐로우, 시안, 마젠타 등 다양한 색상을 더 포함할 수 있다.
- [0036] 게이트 구동회로(100) 및 데이터 구동회로(200)는 신호 제어부(SC, 예컨대 타이밍 컨트롤러)로부터 제어 신호를 수신한다. 신호 제어부(SC)는 메인 회로기관(MCB)에 실장될 수 있다. 신호 제어부(SC)는 외부의 그래픽 제어부(미도시)로부터 영상 데이터 및 제어 신호를 수신한다. 제어 신호는 프레임 구간들(Fn-1, Fn, Fn+1)을 구별하는 신호인 수직 동기 신호(Vsync), 수평 구간들(HP)을 구별하는 신호, 즉 행 구별 신호인 수평 동기 신호(Hsync), 데이터가 들어오는 구역을 표시하기 위해 데이터가 출력되는 구간 동안만 하이 레벨인 데이터 인에이블 신호 및 클럭 신호들을 포함할 수 있다.
- [0037] 게이트 구동회로(100)는 프레임 구간들(Fn-1, Fn, Fn+1) 동안에 신호 제어부(SC)로부터 수신한 제어 신호(이하, 게이트 제어 신호)에 기초하여 게이트 신호들(GS1~GSn)을 생성하고, 게이트 신호들(GS1~GSn)을 복수 개의 게이트 라인들(GL1~GLn)에 출력한다. 게이트 신호들(GS1~GSn)은 수평 구간들(HP)에 대응하게 순차적으로 출력될 수 있다. 게이트 구동회로(100)는 박막공정을 통해 화소들(PX₁₁~PX_{nm})과 동시에 형성될 수 있다. 예컨대, 게이트 구동회로(100)는 비표시영역(NDA)에 ASG(Amorphous Silicon TFT Gate driver circuit) 형태 또는 OSG(Oxide Semiconductor TFT Gate driver circuit) 형태로 실장될 수 있다.
- [0038] 도 1은 복수 개의 게이트 라인들(GL1~GLn)의 좌측 말단들에 연결 하나의 게이트 구동회로(100)를 예시적으로 도시하였다. 본 발명의 일 실시예에서, 표시장치는 2개의 게이트 구동회로들을 포함할 수 있다. 2개의 게이트 구동회로들 중 하나는 복수 개의 게이트 라인들(GL1~GLn)의 좌측 말단들에 연결되고, 다른 하나는 복수 개의 게이트 라인들(GL1~GLn)의 우측 말단들에 연결될 수 있다. 또한, 2개의 게이트 구동회로들 중 하나는 홀수 번째 게이트 라인들에 연결되고, 다른 하나는 짝수 번째 게이트 라인들에 연결될 수 있다.
- [0039] 데이터 구동회로(200)는 신호 제어부(SC)로부터 수신한 제어 신호(이하, 데이터 제어 신호)에 기초하여 신호 제어부(SC)로부터 제공된 영상 데이터에 따른 계조 전압들을 생성한다. 데이터 구동회로(200)는 계조 전압들을 데이터 전압들(DS)으로써 복수 개의 데이터 라인들(DL1~DLm)에 출력한다.
- [0040] 데이터 전압들(DS)은 공통 전압에 대하여 양의 값을 갖는 정극성 데이터 전압들 및/또는 음의 값을 갖는 부극성 데이터 전압들을 포함할 수 있다. 각각의 수평 구간들(HP) 동안에 데이터 라인들(DL1~DLm)에 인가되는 데이터 전압들 중 일부는 정극성을 갖고, 다른 일부는 부극성을 가질 수 있다. 데이터 전압들(DS)의 극성은 액정의 열화를 방지하기 위하여 프레임 구간들(Fn-1, Fn, Fn+1)에 따라 반전될 수 있다. 데이터 구동회로(200)는 반전 신호에 응답하여 프레임 구간 단위로 반전된 데이터 전압들을 생성할 수 있다.
- [0041] 데이터 구동회로(200)는 구동칩(210) 및 구동칩(210)을 실장하는 연성회로기관(220)을 포함할 수 있다. 데이터 구동회로(200)는 복수 개의 구동칩(210)과 연성회로기관(220)을 포함할 수 있다. 연성회로기관(220)은 메인 회로기관(MCB)과 제1 기관(DS1)을 전기적으로 연결한다. 복수 개의 구동칩들(210)은 복수 개의 데이터 라인들(DL1~DLm) 중 대응하는 데이터 라인들에 대응하는 데이터 신호들을 제공한다.
- [0042] 도 1은 테이프 캐리어 패키지(TCP: Tape Carrier Package) 타입의 데이터 구동회로(200)를 예시적으로 도시하였다. 본 발명의 일 실시예에서, 데이터 구동회로(200)는 칩 온 글래스(COG: Chip on Glass) 방식으로 제1 기관(DS1)의 비표시영역(NDA) 상에 배치될 수 있다.
- [0043] 도 3은 본 발명의 일 실시예에 따른 화소의 등가회로도이다. 도 4는 본 발명의 일 실시예에 따른 화소의 단면도이다. 도 1에 도시된 복수 개의 화소들(PX₁₁~PX_{nm}) 각각은 도 3에 도시된 등가회로를 가질 수 있다.
- [0044] 도 3에 도시된 것과 같이, 화소(PX_{ij})는 화소 박막 트랜지스터(TR, 이하 화소-트랜지스터), 액정 커패시터(C1c), 및 스토리지 커패시터(Cst)를 포함한다. 이하, 본 명세서에서 트랜지스터는 박막 트랜지스터를 의미한다. 본 발명의 일 실시예에서 스토리지 커패시터(Cst)는 생략될 수 있다.
- [0045] 화소-트랜지스터(TR)는 i번째 게이트 라인(GLi)과 j번째 데이터 라인(DLj)에 전기적으로 연결된다. 화소-트랜지스터(TR)는 i번째 게이트 라인(GLi)으로부터 수신한 게이트 신호에 응답하여 j번째 데이터 라인(DLj)으로부터

수신한 데이터 신호에 대응하는 화소 전압을 출력한다.

- [0046] 액정 커패시터(C1c)는 화소-트랜지스터(TR)로부터 출력된 화소 전압을 충전한다. 액정 커패시터(C1c)에 충전된 전하량에 따라 액정층(LCL, 도 3 참조)에 포함된 액정 방향자의 배열이 변화된다. 액정 방향자의 배열에 따라 액정층으로 입사된 광은 투과되거나 차단된다.
- [0047] 스토리지 커패시터(Cst)는 액정 커패시터(C1c)에 병렬로 연결된다. 스토리지 커패시터(Cst)는 액정 방향자의 배열을 일정한 구간 동안 유지시킨다.
- [0048] 도 4에 도시된 것과 같이, 화소-트랜지스터(TR-P)는 i번째 게이트 라인(GLi, 도 2 참조)에 연결된 제어전극(GE, 이하 화소 제어전극), 화소 제어전극(GE)에 중첩하는 활성화층(AL, 이하 화소 활성화층), j번째 데이터 라인(DLj, 도 2 참조)에 연결된 입력전극(SE, 이하 화소 입력전극), 및 화소 입력전극(SE)과 이격되어 배치된 출력전극(DE, 이하 화소 출력전극)을 포함한다.
- [0049] 액정 커패시터(C1c)는 화소전극(PE)과 공통전극(CE)을 포함한다. 스토리지 커패시터(Cst)는 화소전극(PE)과 화소전극(PE)에 중첩하는 스토리지 라인(STL)의 일부분을 포함한다.
- [0050] 제1 기관(DS1)의 일면 상에 i번째 게이트 라인(GLi) 및 스토리지 라인(STL)이 배치된다. 화소 제어전극(GE)은 i번째 게이트 라인(GLi)으로부터 분기된다. i번째 게이트 라인(GLi) 및 스토리지 라인(STL)은 알루미늄(Al), 은(Ag), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti) 등의 금속 또는 이들의 합금 등을 포함할 수 있다. i번째 게이트 라인(GLi) 및 스토리지 라인(STL)은 다층 구조, 예컨대 티타늄층과 구리층을 포함할 수 있다.
- [0051] 제1 기관(DS1)의 일면 상에 화소 제어전극(GE) 및 스토리지 라인(STL)을 커버하는 제1 절연층(10)이 배치된다. 제1 절연층(10)은 무기물 및 유기물 중 적어도 어느 하나를 포함할 수 있다. 제1 절연층(10)은 유기막이거나, 무기막일 수 있다. 제1 절연층(10)은 다층 구조, 예컨대 실리콘 나이트라이드층과 실리콘 옥사이드층을 포함할 수 있다.
- [0052] 제1 절연층(10) 상에 화소 제어전극(GE)과 중첩하는 화소 활성화층(AL)이 배치된다. 화소 활성화층(AL)은 반도체층(미도시)과 오믹 컨택층(미도시)을 포함할 수 있다.
- [0053] 화소 활성화층(AL)은 아몰포스 실리콘 또는 폴리 실리콘을 포함할 수 있다. 또한, 화소 활성화층(AL)은 금속 산화물 반도체를 포함할 수 있다.
- [0054] 화소 활성화층(AL) 상에 화소 출력전극(DE)과 화소 입력전극(SE)이 배치된다. 화소 출력전극(DE)과 화소 입력전극(SE)은 서로 이격되어 배치된다. 화소 출력전극(DE)과 화소 입력전극(SE) 각각은 화소 제어전극(GE)에 부분적으로 중첩한다.
- [0055] 도 4에는 스테거 구조를 갖는 화소-트랜지스터(TR)를 예시적으로 도시하였으나, 화소-트랜지스터(TR-P)의 구조는 이에 제한되지 않는다. 화소-트랜지스터(TR)는 플래너 구조를 가질 수도 있다.
- [0056] 제1 절연층(10) 상에 화소 활성화층(AL), 화소 출력전극(DE), 및 화소 입력전극(SE)을 커버하는 제2 절연층(20)이 배치된다. 제2 절연층(20)은 평탄면을 제공한다. 제2 절연층(20)은 유기물을 포함할 수 있다.
- [0057] 제2 절연층(20) 상에 화소전극(PE)이 배치된다. 화소전극(PE)은 제2 절연층(20) 및 제2 절연층(20)을 관통하는 컨택홀(CH10)을 통해 화소 출력전극(DE)에 연결된다. 제2 절연층(20) 상에 화소전극(PE)을 커버하는 배향막(30)이 배치될 수 있다.
- [0058] 제2 기관(DS2)의 일면 상에 컬러필터층(CF)이 배치된다. 컬러필터층(CF) 상에 공통전극(CE)이 배치된다. 공통전극(CE)에는 공통 전압이 인가된다. 공통 전압과 화소 전압과 다른 값을 갖는다. 공통전극(CE) 상에 공통전극(CE)을 커버하는 배향막(미도시)이 배치될 수 있다. 컬러필터층(CF)과 공통전극(CE) 사이에 또 다른 절연층이 배치될 수 있다.
- [0059] 액정층(LCL)을 사이에 두고 배치된 화소전극(PE)과 공통전극(CE)은 액정 커패시터(C1c)를 형성한다. 또한, 제1 절연층(10) 및 제2 절연층(20)을 사이에 두고 배치된 화소전극(PE)과 스토리지 라인(STL)의 일부분은 스토리지 커패시터(Cst)를 형성한다. 스토리지 라인(STL)은 화소 전압과 다른 값의 스토리지 전압을 수신한다. 스토리지 전압은 공통 전압과 동일한 값을 가질 수 있다.
- [0060] 한편, 도 4에 도시된 화소(PX_{ij})의 단면은 하나의 예시에 불과하다. 도 4에 도시된 것과 달리, 컬러필터층(CF)

및 공통전극(CE) 중 적어도 어느 하나는 제1 기판(DS1) 상에 배치될 수 있다. 다시 말해, 본 실시예에 따른 액정 표시패널은 VA(Vertical Alignment)모드, PVA(Patterned Vertical Alignment) 모드, IPS(in-plane switching) 모드 또는 FFS(fringe-field switching) 모드, PLS(Plane to Line Switching) 모드 등의 화소를 포함할 수 있다.

- [0061] 도 5는 본 발명의 일 실시예에 따른 게이트 구동회로의 블럭도이다. 도 5에 도시된 것과 같이, 게이트 구동회로(100)는 복수 개의 구동 스테이지들(SRC1~SRCn)을 포함한다. 복수 개의 구동 스테이지들(SRC1~SRCn)은 서로 종속적으로 연결된다.
- [0062] 본 실시예에서 복수 개의 구동 스테이지들(SRC1~SRCn)은 복수 개의 게이트 라인들(GL1~GLn)에 각각 연결된다. 복수 개의 구동 스테이지들(SRC1~SRCn)은 복수 개의 게이트 라인들(GL1~GLn)에 게이트 신호들을 각각 제공한다. 본 발명의 일 실시예에서 복수 개의 구동 스테이지들(SRC1~SRCn)에 연결된 게이트 라인들은 전체의 게이트 라인들 중 홀수 번째 게이트 라인들이거나, 짝수 번째 게이트 라인들일 수 있다.
- [0063] 게이트 구동회로(100)는 복수 개의 구동 스테이지들(SRC1~SRCn) 중 말단에 배치된 구동 스테이지(SRCn)에 연결된 더미 스테이지(SRCd)를 더 포함할 수 있다. 더미 스테이지(SRCd)는 더미 게이트 라인(GLd)에 연결된다.
- [0064] 복수 개의 구동 스테이지들(SRC1~SRCn) 각각은 출력단자(OUT), 캐리단자(CR), 입력단자(IN), 제어단자(CT), 클럭단자(CK), 제1 전압 입력단자(V1), 및 제2 전압 입력단자(V2)를 포함한다.
- [0065] 복수 개의 구동 스테이지들(SRC1~SRCn) 각각의 출력단자(OUT)는 복수 개의 게이트 라인들(GL1~GLn) 중 대응하는 게이트 라인에 연결된다. 복수 개의 구동 스테이지들(SRC1~SRCn)로부터 생성된 게이트 신호들은 출력단자(OUT)를 통해 복수 개의 게이트 라인들(GL1~GLn)에 제공한다.
- [0066] 복수 개의 구동 스테이지들(SRC1~SRCn) 각각의 캐리단자(CR)는 해당 구동 스테이지 다음의 구동 스테이지의 입력단자(IN)에 전기적으로 연결된다. 복수 개의 구동 스테이지들(SRC1~SRCn) 각각의 캐리단자(CR)는 캐리 신호를 출력한다.
- [0067] 복수 개의 구동 스테이지들(SRC1~SRCn) 각각의 입력단자(IN)는 해당 구동 스테이지 이전의 구동 스테이지의 캐리 신호를 수신한다. 예컨대, 3번째 구동 스테이지들(SRC3)의 입력단자(IN)는 2번째 구동 스테이지(SRC2)의 캐리 신호를 수신한다. 복수 개의 구동 스테이지들(SRC1~SRCn) 중 첫번째 구동 스테이지(SRC1)의 입력단자(IN)는 이전 구동 스테이지의 캐리 신호 대신에 게이트 구동회로(100)의 구동을 개시하는 개시신호(STV)를 수신한다.
- [0068] 복수 개의 구동 스테이지들(SRC1~SRCn) 각각의 제어단자(CT)는 해당 구동 스테이지 다음의 구동 스테이지의 캐리단자(CR)에 전기적으로 연결된다. 복수 개의 구동 스테이지들(SRC1~SRCn) 각각의 제어단자(CT)는 해당 구동 스테이지 다음의 구동 스테이지의 캐리 신호를 수신한다. 예컨대, 2번째 구동 스테이지(SRC2)의 제어단자(CT)는 3번째 구동 스테이지(SRC3)의 캐리단자(CR)로부터 출력된 캐리 신호를 수신한다. 본 발명의 일 실시예에서 복수 개의 구동 스테이지들(SRC1~SRCn) 각각의 제어단자(CT)는 해당 구동 스테이지 다음의 구동 스테이지의 출력단자(OUT)에 전기적으로 연결될 수도 있다.
- [0069] 말단에 배치된 구동 스테이지(SRCn)의 제어단자(CT)는 더미 스테이지(SRCd)의 캐리단자(CR)로부터 출력된 캐리 신호를 수신한다. 더미 스테이지(SRCd)의 제어단자(CT)는 개시신호(STV)를 수신한다.
- [0070] 복수 개의 구동 스테이지들(SRC1~SRCn) 각각의 클럭단자(CK)는 제1 클럭 신호(CKV)와 제2 클럭 신호(CKVB) 중 어느 하나를 각각 수신한다. 복수 개의 구동 스테이지들(SRC1~SRCn) 중 홀수 번째 구동 스테이지들(SRC1, SRC3)의 클럭단자들(CK)은 제1 클럭 신호(CKV)를 각각 수신할 수 있다. 복수 개의 구동 스테이지들(SRC1~SRCn) 중 짝수 번째 구동 스테이지들(SRC2, SRCn)의 클럭단자들(CK)은 제2 클럭 신호(CKVB)를 각각 수신할 수 있다. 제1 클럭 신호(CKV)와 제2 클럭 신호(CKVB)는 위상이 다른 신호일 수 있다.
- [0071] 복수 개의 구동 스테이지들(SRC1~SRCn) 각각의 제1 전압 입력단자(V1)는 제1 저전압(VSS1)을 수신한다. 복수 개의 구동 스테이지들(SRC1~SRCn) 각각의 제2 전압 입력단자(V2)는 제2 저전압(VSS2)을 수신한다. 제2 저전압(VSS2)은 제1 저전압(VSS1)보다 낮은 레벨을 갖는다.
- [0072] 본 발명의 일 실시예에서 복수 개의 구동 스테이지들(SRC1~SRCn) 각각은 그 회로구성에 따라 출력단자(OUT), 입력단자(IN), 캐리단자(CR), 제어단자(CT), 클럭단자(CK), 제1 전압 입력단자(V1), 또는 제2 전압 입력단자(V2) 중 어느 하나가 생략되거나, 다른 단자들이 더 포함될 수 있다. 예컨대, 제1 전압 입력단자(V1) 또는 제2 전압 입력단자(V2) 중 어느 하나는 생략될 수 있다. 또한, 복수 개의 구동 스테이지들(SRC1~SRCn)의 연결관계도 변경

될 수 있다.

- [0073] 도 6는 도 5에 도시된 복수 개의 스테이지들 중 i 번째 스테이지의 회로도이다. 도 7은 도 6에 도시된 i 번째 스테이지의 입출력신호 파형도이다.
- [0074] 도 6은 도 5에 도시된 복수 개의 구동 스테이지들(SRC1~SRCn) 중 i 번째 구동 스테이지(SRC _{i})를 예시적으로 도시하였다. 도 6에 도시된 복수 개의 구동 스테이지들(SRC1~SRCn) 각각은 i 번째 구동 스테이지(SRC _{i})와 동일한 회로를 가질 수 있다.
- [0075] 도 6 및 도 7을 참조하면, i 번째 구동 스테이지(SRC _{i})는 출력부(110-1, 110-2), 제어부(120), 안정화부(130), 인버터부(140), 폴다운부(150-1, 150-2), 및 홀딩부(160-1, 160-2)를 포함한다. 출력부(110-1, 110-2)는 i 번째 게이트 신호(GS _{i})를 출력하는 제1 출력부(110-1) 및 i 번째 캐리 신호(CRS _{i})를 출력하는 제2 출력부(110-2)를 포함한다. 폴다운부(150-1, 150-2)는 출력단자(OUT)를 다운시키는 제1 폴다운부(150-1) 및 캐리단자(CR)를 다운시키는 제2 폴다운부(150-2)를 포함한다. 홀딩부(160-1, 160-2)는 출력단자(OUT)를 다운상태로 유지시키는 제1 홀딩부(160-1) 및 캐리단자(CR)를 다운상태로 유지시키는 제2 홀딩부(160-2)를 포함한다.
- [0076] i 번째 구동 스테이지(SRC _{i})의 회로는 예시적인 것에 불과하며, 이는 변경될 수 있다.
- [0077] 제1 출력부(110-1)는 제1 출력 트랜지스터(TR1)를 포함한다. 제1 출력 트랜지스터(TR1)는 제1 클럭 신호(CKV)를 수신하는 입력전극, Q-노드(NQ)에 접속된 제어전극, 및 i 번째 게이트 신호(GS _{i})를 출력하는 출력전극을 포함한다.
- [0078] 제2 출력부(110-2)는 제2 출력 트랜지스터(TR2)를 포함한다. 제2 출력 트랜지스터(TR2)는 제1 클럭 신호(CKV)를 수신하는 입력전극, Q-노드(NQ)에 연결된 제어전극, 및 i 번째 캐리 신호(CRS _{i})를 출력하는 출력전극을 포함한다.
- [0079] 도 7에 도시된 것과 같이, 제1 클럭 신호(CKV)와 제2 클럭 신호(CKVB)는 위상이 반전된 신호일 수 있다. 제1 클럭 신호(CKV)와 제2 클럭 신호(CKVB)는 180도의 위상차를 가질 수 있다. 제1 클럭 신호(CKV)와 제2 클럭 신호(CKVB) 각각은 레벨이 낮은 로우구간들(VL-C, 로우 전압)과 레벨이 상대적으로 높은 하이구간들(VH-C, 하이 전압)을 포함한다. 제1 클럭 신호(CKV)와 제2 클럭 신호(CKVB) 각각은 교번하는 로우구간들과 하이구간들을 포함한다. 하이 전압(VH-C)은 약 10V 일 수 있다. 로우 전압(VL-C)은 약 -16V 일 수 있다. 로우 전압(VL-C)은 제2 저전압(VSS2)과 동일한 레벨일 가질 수 있다.
- [0080] i 번째 게이트 신호(GS _{i})는 레벨이 낮은 로우구간(VL-G, 로우 전압)과 레벨이 상대적으로 높은 하이구간(VH-G, 하이 전압)을 포함한다. i 번째 게이트 신호(GS _{i})의 로우 전압(VL-G)은 제1 저전압(VSS1)과 동일한 레벨일 가질 수 있다. 로우 전압(VL-G)은 약 -13V 일 수 있다.
- [0081] i 번째 게이트 신호(GS _{i})는 일부의 구간들 동안에 제1 클럭 신호(CKV)의 로우 전압(VL-C)과 동일한 레벨을 가질 수 있다. i 번째 게이트 신호(GS _{i})가 하이 전압(VH-G)이 되기 전에 프리차징 된 Q-노드(NQ)에 의해 제1 클럭 신호(CKV)의 로우 전압(VL-C)이 출력되는 것이다.
- [0082] i 번째 게이트 신호(GS _{i})의 하이 전압(VH-G)은 제1 클럭 신호(CKV) 또는 제2 클럭 신호(CKVB)의 하이 전압(VH-C)과 동일한 레벨을 가질 수 있다.
- [0083] i 번째 캐리 신호(CRS _{i})는 레벨이 낮은 로우구간(VL-C, 로우 전압)과 레벨이 상대적으로 높은 하이구간(VH-C, 하이 전압)을 포함한다. i 번째 캐리 신호(CRS _{i})는 제1 클럭 신호(CKV)에 근거하여 생성되었기 때문에 제1 클럭 신호(CKV)와 동일/유사한 전압 레벨을 갖는다.
- [0084] 도 6 및 도 7을 참조하면, 제어부(120)는 $i-1$, i , 및 $i+1$ 번째 게이트 신호 및 캐리 신호가 출력되는 구간 동안에 Q-노드(NQ)의 전위레벨을 제어한다. 제어부(120)는 $i-1$ 번째 구동 스테이지(SRC _{$i-1$})로부터 출력된 $i-1$ 번째 캐리 신호(CRS _{$i-1$})에 응답하여 제1 출력부(110-1) 및 제2 출력부(110-2)를 턴-온 시킨다. 제어부(120)는 $i+1$ 번째 구동 스테이지로부터 출력된 $i+1$ 번째 캐리 신호(CRS _{$i+1$})에 응답하여 제1 출력부(110-1) 및 제2 출력부(110-2)를

턴-오프 시킨다.

- [0085] 제어부(120)는 제1 제어 트랜지스터(TR3), 제2 제어 트랜지스터들(TR4-1, TR4-2), 및 커패시터(CAP)를 포함한다. 본 실시예에서 직렬 연결된 2개의 제2 제어 트랜지스터들(TR4-1, TR4-2)이 예시적으로 도시되었다.
- [0086] 제1 제어 트랜지스터(TR3)는 Q-노드(NQ)의 전위를 제어하는 제어 신호를 Q-노드(NQ)에 출력한다. 도 7은 복수 개의 수평 구간들 중 i 번째 게이트 신호(GS_i)가 출력되는 수평 구간(HP_i , 이하 i 번째 수평 구간), 바로 이전 수평 구간(HP_{i-1} , 이하 $i-1$ 번째 수평 구간), 및 바로 이후 수평 구간(HP_{i+1} , 이하 $i+1$ 번째 수평 구간)을 표시하였다.
- [0087] 제1 제어 트랜지스터(TR3)는 입력단자(IN)로부터 Q-노드(NQ)로 전류패스가 형성되도록 입력단자(IN)와 Q-노드(NQ) 사이에 다이오드 형태로 접속된다. 제1 제어 트랜지스터(TR3)는 입력단자(IN)에 공통으로 접속된 제어전극과 입력전극 및 Q-노드(NQ)에 연결된 출력전극을 포함한다.
- [0088] 커패시터(CAP)는 제1 출력 트랜지스터(TR1)의 출력전극과 제1 출력 트랜지스터(TR1)의 제어전극(또는 Q-노드(NQ)) 사이에 접속된다.
- [0089] 2개의 제2 제어 트랜지스터들(TR4-1, TR4-2)이 제2 전압 입력단자(V2)와 Q-노드(NQ) 사이에 직렬로 연결된다. 2개의 제2 제어 트랜지스터들(TR4-1, TR4-2)의 제어전극들은 공통적으로 제어단자(CT)에 접속된다. 2개의 제2 제어 트랜지스터들(TR4-1, TR4-2)은 $i+1$ 번째 스테이지로부터 출력된 $i+1$ 번째 캐리 신호에 응답하여 Q-노드(NQ)에 제2 저전압(VSS2)을 제공한다. 본 발명의 일 실시예에서 2개의 제2 제어 트랜지스터들(TR4-1, TR4-2)은 $i+1$ 번째 게이트 신호(GS_{i+1})에 의해 턴-온 될 수도 있다.
- [0090] 본 발명의 일 실시예에서 2개의 제2 제어 트랜지스터들(TR4-1, TR4-2) 중 어느 하나는 생략될 수 있다. 또한, 제2 제어 트랜지스터들(TR4-1, TR4-2)은 제2 전압 입력단자(V2)가 아닌 제1 전압 입력단자(V1)에 접속될 수 있다. 도시된 제2 제어 트랜지스터들(TR4-1, TR4-2)은 플로팅 전극을 포함하는 하나의 트랜지스터와 등가일 수 있다. 플로팅 전극은 트랜지스터의 활성화층 상에서, 입력전극과 출력전극 사이에 배치된다. 그리고, 플로팅 전극은 입력전극 및 출력전극과 이격되어 있다. 플로팅 전극은 입력전극 및 출력전극과 동일한 물질을 포함할 수 있다. 플로팅 전극은 트랜지스터의 활성화층에 형성되는 채널영역의 길이를 늘려 줄 수 있다.
- [0091] 도 6 및 도 7을 참조하면, 안정화부(130)은 인버터부(140)로부터 출력된 스위칭 신호에 따라 제1 출력부(110-1) 및 제2 출력부(110-2)의 턴-오프를 유지한다.
- [0092] 안정화부(130)는 제1 안정화 트랜지스터(TR5-1) 및 제2 안정화 트랜지스터(TR5-2)를 포함한다. 본 실시예에서 직렬 연결된 2개의 제1 안정화 트랜지스터(TR5-1) 및 제2 안정화트랜지스터(TR5-2)가 예시적으로 도시되었다.
- [0093] 제1 안정화 트랜지스터(TR5-1) 및 제2 안정화트랜지스터(TR5-2)은 제2 전압 입력단자(V2)와 Q-노드(NQ) 사이에 직렬로 연결된다. 제1 안정화 트랜지스터(TR5-1) 및 제2 안정화트랜지스터(TR5-2)의 제어전극들은 공통적으로 A-노드(NA)에 접속된다. 제1 안정화 트랜지스터(TR5-1) 및 제2 안정화트랜지스터(TR5-2)는 인버터부(140)로부터 출력된 스위칭 신호에 응답하여 Q-노드(NQ)에 제2 저전압(VSS2)을 제공한다. 도시된 제1 안정화 트랜지스터(TR5-1) 및 제2 안정화트랜지스터(TR5-2)는 플로팅 전극을 포함하는 하나의 트랜지스터와 등가일 수 있다.
- [0094] 본 발명의 일 실시예에서 제1 안정화 트랜지스터(TR5-1) 또는 제2 안정화트랜지스터(TR5-2) 중 어느 하나는 생략될 수 있다. 또한, 제1 안정화 트랜지스터(TR5-1) 및 제2 안정화트랜지스터(TR5-2)는 제2 전압 입력단자(V2)가 아닌 제1 전압 입력단자(V1)에 접속될 수 있다.
- [0095] 도 7에 도시된 것과 같이, $i-1$ 번째 수평 구간(HP_{i-1}) 동안에 Q-노드(NQ)의 전위는 $i-1$ 번째 캐리 신호(CRS_{i-1})에 의해 제1 하이 전압(VQ1)으로 상승한다. $i-1$ 번째 캐리 신호(CRS_{i-1})가 Q-노드(NQ)에 인가되면 커패시터(CAP)는 그에 대응하는 전압을 충전한다. i 번째 수평 구간(HP_i) 동안에, i 번째 게이트 신호(GS_i)가 출력된다. 이때, Q-노드(NQ)는 제1 하이 전압(VQ1)으로부터 제2 하이 전압(VQ2)으로 부스팅된다.
- [0096] $i+1$ 번째 수평 구간(HP_{i+1}) 동안에 Q-노드(NQ)의 전압은 제2 저전압(VSS2)으로 다운된다. 그에 따라 제1 출력 트랜지스터(TR1) 및 제2 출력 트랜지스터(TR2)는 턴-오프된다. $i+1$ 번째 수평 구간(HP_{i+1}) 이후 다음 프레임 구간의 i 번째 게이트 신호(GS_i)가 출력되기 이전까지, Q-노드(NQ)의 전압은 제2 저전압(VSS2)으로 유지된다. 그에 따라 $i+1$ 번째 수평 구간(HP_{i+1}) 이후 다음 프레임 구간의 i 번째 게이트 신호(GS_i)가 출력되기 이전까지, 제1 출력 트

랜지스터(TR1) 및 제2 출력 트랜지스터(TR2)의 오프 상태가 유지된다.

- [0097] 도 6 및 도 7을 참조하면, 인버터부(140)는 A-노드(NA)에 스위칭 신호를 출력한다. 인버터부(140)는 제1 내지 제5 인버터 트랜지스터(TR6, TR7, TR8, TR9, TR10)를 포함한다.
- [0098] 제1 인버터 트랜지스터(TR6)는 B-노드(NB)의 전압에 응답하여 제1 클럭 신호(CKV)에 근거하여 생성된 스위칭 신호를 A-노드(NA)에 제공한다. 클럭단자(CK)에 연결된 입력전극, A-노드(NA)에 연결된 출력전극, 및 B-노드(NB)에 연결된 제어전극을 포함한다.
- [0099] 제2 인버터 트랜지스터(TR7)는 제1 클럭 신호(CKV)에 응답 및 근거하여 B-노드(NB)의 전압을 제어한다. 제2 인버터 트랜지스터(TR7)은 클럭단자(CK)에 공통적으로 연결된 입력전극과 제어전극, 및 B-노드(NB)에 연결된 출력전극을 포함한다.
- [0100] 제3 인버터 트랜지스터(TR8)는 i 번째 캐리 신호(CRS_i)에 응답하여 제2 저전압(VSS2)을 출력한다. 제3 인버터 트랜지스터(TR8)는 제2 저전압(VSS2)을 인가받는 입력전극, i 번째 캐리 신호(CRS_i)를 인가받는 제어전극, 및 제4 인버터 트랜지스터(TR9)의 입력전극에 연결된 출력전극을 포함한다.
- [0101] 제4 인버터 트랜지스터(TR9)는 i 번째 캐리 신호(CRS_i)에 의해 응답하여, 제3 인버터 트랜지스터(TR8)의 출력을 B-노드(NB)에 전달한다. 제4 인버터 트랜지스터(TR9)는 제3 인버터 트랜지스터(TR8)의 출력전극에 연결된 입력전극, i 번째 캐리 신호(CRS_i)를 인가받는 제어전극, 및 B-노드(NB)에 연결된 출력전극을 포함한다.
- [0102] 도시된 제3 인버터 트랜지스터(TR8) 및 제4 인버터 트랜지스터(TR9)는 플로팅 전극을 포함하는 하나의 트랜지스터와 등가일 수 있다. 이 때, 제어전극은 Q-노드(NQ) 또는 캐리단자(CR)에 연결 될 수 있다.
- [0103] 제5 인버터 트랜지스터(TR10)는 i 번째 캐리 신호(CRS_i)에 응답하여, 제2 저전압(VSS2)을 A-노드(NA)에 제공한다. 제5 인버터 트랜지스터(TR10)는 제2 저전압(VSS2)을 인가받는 입력전극, i 번째 캐리 신호(CRS_i)를 인가받는 제어전극, 및 A-노드(NA)에 연결된 출력전극을 포함한다.
- [0104] 본 발명의 일 실시예에서 제3 내지 제5 인버터 트랜지스터(TR8, TR9, TR10)의 제어전극은 출력단자(OUT)에 연결되어 i 번째 게이트 신호(GS_i)를 인가받을 수 있다. 제3 및 제5 인버터 트랜지스터(TR8, TR10)의 입력전극은 제1 전압 입력단자(V1)에 연결될 수 있다.
- [0105] 제4 인버터 트랜지스터(TR9)가 제3 인버터 트랜지스터(TR8)과 직렬로 연결됨에 따라, B-노드(NB)에서 제2 전압 입력단자(V2) 쪽으로 흐르는 제1 누설전류를 방지할 수 있다. 제1 누설전류를 방지하면, 결과적으로 Q-노드(NQ)에서 제2 전압 입력단자(V2) 쪽으로 흐르는 제2 누설전류를 방지할 수 있어서, 각 수평 구간들(HP_1 내지 HP_n)마다 Q-노드(NQ)의 출력을 일정하게 할 수 있다. 이에 대해서는 이후에 도 8 내지 도 11에서 상세히 설명한다.
- [0106] 도 7에 도시된 것과 같이, A-노드(NA)는 i 번째 수평 구간(HP_i)을 제외하고 제1 클럭 신호(CKV)와 실질적으로 동일한 위상을 갖는다. 그리고, B-노드(NB)는 A-노드(NA)와 실질적으로 동일한 위상을 갖는다. i 번째 수평 구간(HP_i) 동안에, 제3 내지 제5 인버터 트랜지스터(TR8, TR9, TR10)는 i 번째 캐리 신호(CRS_i)에 응답하여 턴-온된다. 이때, 제1 인버터 트랜지스터(TR6)로부터 출력된 제1 클럭 신호(CKV)의 하이 전압(VH-C)은 제2 저전압(VSS2)으로 방전된다. i 번째 수평 구간(HP_i) 이외의 구간들 동안에, 제1 인버터 트랜지스터(TR6)로부터 출력된 제1 클럭 신호(CKV)의 하이 전압(VH-C)과 로우 전압(VL-C)은 A-노드(NA)에 제공된다. 제1 클럭 신호(CKV)의 교번하는 하이 전압(VH-C)과 로우 전압(VL-C)은 스위칭 신호로써 다른 트랜지스터들에 제공된다.
- [0107] 제1 풀다운부(150-1)는 제1 풀다운 트랜지스터(TR11)를 포함한다. 제1 풀다운 트랜지스터(TR11)는 제1 전압 입력단자(V1)에 접속된 입력전극, 제어단자(CT)에 접속된 제어전극, 및 제1 출력 트랜지스터(TR1)의 출력전극에 접속된 출력전극을 포함한다. 본 발명의 일 실시예에서 제1 풀다운 트랜지스터(TR11)의 입력전극은 제2 전압 입력단자(V2)에 연결될 수도 있다.
- [0108] 도 7에 도시된 것과 같이, $i+1$ 번째 수평 구간(HP_{i+1}) 이후의 i 번째 게이트 신호(GS_i)의 전압은 제1 출력 트랜지스터(TR1)의 출력전극의 전압에 대응한다. $i+1$ 번째 수평 구간(HP_{i+1}) 동안에 제1 풀다운 트랜지스터(TR11)는 $i+1$ 번째 캐리 신호에 응답하여 출력단자(OUT)에 제1 저전압(VSS1)을 제공한다.
- [0109] 제2 풀다운부(150-2)는 제2 풀다운 트랜지스터(TR13)를 포함한다. 제2 풀다운 트랜지스터(TR13)는 제2 전압 입

력단자(V2)에 접속된 입력전극, 제어단자(CT)에 접속된 제어전극, 및 제2 출력 트랜지스터(TR2)의 출력전극에 접속된 출력전극을 포함한다. 본 발명의 일 실시예에서 제2 풀다운 트랜지스터(TR13)의 입력전극은 제1 전압 입력단자(V1)에 연결될 수도 있다.

[0110] 도 7에 도시된 것과 같이, $i+1$ 번째 수평 구간(HP_{i+1}) 이후의 i 번째 캐리 신호(CRS_i)의 전압은 제2 출력 트랜지스터(TR2)의 출력전극의 전압에 대응한다. $i+1$ 번째 수평 구간(HP_{i+1}) 동안에 제2 풀다운 트랜지스터(TR13)는 $i+1$ 번째 캐리 신호에 응답하여 캐리단자(CR)에 제2 저전압($VSS2$)을 제공한다.

[0111] 제1 홀딩부(160-1)는 제1 홀딩 트랜지스터(TR12)를 포함한다. 제1 홀딩 트랜지스터(TR12)는 제1 전압 입력단자(V1)에 접속된 입력전극, A-노드(NA)에 접속된 제어전극, 및 제1 출력 트랜지스터(TR1)의 출력전극에 접속된 출력전극을 포함한다. 본 발명의 일 실시예에서 제1 홀딩 트랜지스터(TR12)의 입력전극은 제2 전압 입력단자(V2)에 연결될 수도 있다.

[0112] 도 7에 도시된 것과 같이, $i+1$ 번째 수평 구간(HP_{i+1}) 이후에 제1 홀딩 트랜지스터(TR12)는 A-노드(NA)로부터 출력된 스위칭 신호에 응답하여 제1 출력 트랜지스터(TR1)의 출력전극에 제1 저전압($VSS1$)을 제공한다.

[0113] 제2 홀딩부(160-2)는 제2 홀딩 트랜지스터(TR14)를 포함한다. 제2 홀딩 트랜지스터(TR14)는 제2 전압 입력단자(V2)에 접속된 입력전극, A-노드(NA)에 접속된 제어전극, 및 제2 출력 트랜지스터(TR2)의 출력전극에 접속된 출력전극을 포함한다. 본 발명의 일 실시예에서 제2 홀딩 트랜지스터(TR14)의 입력전극은 제1 전압 입력단자(V1)에 연결될 수도 있다.

[0114] 도 7에 도시된 것과 같이, $i+1$ 번째 수평 구간(HP_{i+1}) 이후에 제2 홀딩 트랜지스터(TR14)는 A-노드(NA)로부터 출력된 스위칭 신호에 응답하여 제2 출력 트랜지스터(TR2)의 출력전극에 제2 저전압($VSS2$)을 제공한다.

[0115] 도 8은 도 6에 도시된 B-노드(NB)의 출력신호 파형도이다. 도 8에는 $i-1$ 번째 수평 구간(HP_{i-1}), i 번째 수평 구간(HP_i), 및 $i+1$ 번째 수평 구간(HP_{i+1})에서의 제1 B-노드 신호($NBS1$)와 제2 B-노드 신호($NBS2$)가 도시되어 있다.

[0116] 제1 B-노드 신호($NBS1$)는 도 6에 도시된 것과 달리, 제4 인버터 트랜지스터(TR9, 도 6 참조)가 없는 경우 B-노드(NB)에서 출력되는 신호이다. 제2 B-노드 신호($NBS2$)는 도 6에 도시된 것과 같이 제4 인버터 트랜지스터(TR9, 도 6 참조)가 있는 경우 B-노드(NB)에서 출력되는 신호이다. 제1 B-노드 신호($NBS1$) 및 제2 B-노드 신호($NBS2$)는 $i-1$ 번째 수평 구간(HP_{i-1}), i 번째 수평 구간(HP_i), 및 $i+1$ 번째 수평 구간(HP_{i+1})에서 저전압 상태로 유지되는 공통점을 갖고 있다. 그러나, 저전압 상태의 전위레벨에서 약간의 차이가 존재하며, 특히 $i-1$ 번째 수평 구간(HP_{i-1})에서의 전위레벨 차이가 크다.

[0117] 제1 클럭 신호(CKV , 도 7 참조)와 제2 클럭 신호($CKVB$, 도 7 참조)가 각각의 구동 스테이지들(SRC_1 내지 SRC_n)에 인가되는 경우, 내부 저항 등에 의해 딜레이가 발생하게 된다. 제1 클럭 신호(CKV , 도 7 참조)와 제2 클럭 신호($CKVB$, 도 7 참조)가 딜레이 됨에 따라, $i-1$ 번째 수평 구간(HP_{i-1})에서 i 번째 캐리 신호(CRS_i)에 약한 전압 상승이 일어나게 된다. 이에 따라, 제4 인버터 트랜지스터(TR9)가 없는 i 번째 구동 스테이지(SRC_i)에서, 제3 인버터 트랜지스터(TR8)는 $i-1$ 번째 수평 구간(HP_{i-1})에서 발생한 i 번째 캐리 신호(CRS_i)의 약한 전압 상승에 응답하여 B-노드(NB)에서 제2 전압 입력단자(V2) 방향으로 흐르는 제1 누설전류를 발생시킨다.

[0118] 이에 반해, 도 6에 도시된 것과 같이 인버터부(140)가 제4 인버터 트랜지스터(TR9)를 포함하는 경우, 직렬연결된 트랜지스터들에 의해 저항이 높아지는 등의 사정에 의해 제3 인버터 트랜지스터(TR8)에 전류가 흐르기 어렵게 된다. 따라서, 제4 인버터 트랜지스터(TR9)의 추가로 i 번째 구동 스테이지(SRC_i)는 제1 누설전류의 발생을 방지할 수 있다. 이에 따라, $i-1$ 번째 수평 구간(HP_{i-1})에서 제1 누설전류에 영향을 받지 않는 제2 B-노드 신호($NBS2$)의 전위레벨이 제1 누설전류에 영향을 받는 제1 B-노드 신호($NBS1$)의 전위레벨에 비해 높아지게 된다.

[0119] 도 9는 도 6에 도시된 A-노드(NA)의 출력신호 파형도이다. 도 9에는 $i-1$ 번째 수평 구간(HP_{i-1}), i 번째 수평 구간(HP_i), 및 $i+1$ 번째 수평 구간(HP_{i+1})에서의 제1 A-노드 신호($NAS1$)와 제2 A-노드 신호($NAS2$)가 도시되어 있다.

[0120] 제1 A-노드 신호($NAS1$)는 도 6에 도시된 것과 달리, 제4 인버터 트랜지스터(TR9, 도 6 참조)가 없는 경우 A-노드

드(NA)에서 출력되는 신호이다. 도 9에 도시된 바와 같이, 제1 A-노드 신호(NAS1)는 $i-1$ 번째 수평 구간(HP_{i-1})에서 전위레벨이 다운되는 속도가 느리다. 이는 제1 A-노드 신호(NAS1)의 전위레벨이 자연방전 등에 의해 다운되기 때문이다.

- [0121] 제2 A-노드 신호(NAS2)는 도 6에 도시된 것과 같이 제4 인버터 트랜지스터(TR9, 도 6 참조)가 있는 경우 A-노드(NA)에서 출력되는 신호이다. 이와 같이 A-노드(NA)에서 출력되는 신호는 인버터부(140)에서 출력되는 스위칭 신호이다. 따라서, 제1 A-노드 신호(NAS1)와 제2 A-노드 신호(NAS2)는 인버터부(140)에서 출력되는 스위칭 신호이다.
- [0122] 제1 A-노드 신호(NAS1) 및 제2 A-노드 신호(NAS2)는 모두 $i-1$ 번째 수평 구간(HP_{i-1}), i 번째 수평 구간(HP_i), 및 $i+1$ 번째 수평 구간(HP_{i+1})에서 저전압 상태로 유지된다는 유사점을 갖는다. 그러나, 저전압 상태의 전위레벨에서 약간의 차이가 존재하며, 특히 $i-1$ 번째 수평 구간(HP_{i-1})에서의 전위레벨 차이가 크다.
- [0123] 도 6에 도시된 바와 같이, 제1 인버터 트랜지스터(TR6)의 제어전극은 B-노드(NB)에 연결되어 있다. 제1 인버터 트랜지스터(TR6)의 제어전극에 제1 B-노드 신호(NBS1, 도 8 참조)가 인가되는 경우보다 제2 B-노드 신호(NBS2, 도 8 참조)가 인가되는 경우, 제1 인버터 트랜지스터(TR6)는 인가되는 신호에 의해 더 잘 응답한다. 제2 B-노드 신호(NBS2, 도 8 참조)의 전위레벨이 제1 B-노드 신호(NBS1, 도 8 참조)의 전위레벨 보다 높기 때문이다. 따라서, 제1 A-노드 신호(NAS1)와 달리 제2 A-노드 신호(NAS2)는 제1 인버터 트랜지스터(TR6)의 영향에 의해 전위레벨이 다운되는 속도가 빠르다.
- [0124] 도 6 및 도 7을 참조하면, $i-1$ 번째 수평 구간(HP_{i-1})에서 제1 인버터 트랜지스터(TR6)는 B-노드(NB)에서 출력되는 제1 B-노드 신호(NBS1) 또는 제2 B-노드 신호(NBS2)에 응답하여 제1 클럭 신호(CKV)의 로우 전압(VL-C)을 A-노드(NA)에 출력한다. 앞에서 설명한 바와 같이, 제1 인버터 트랜지스터(TR6)의 제어전극에 제1 B-노드 신호(NBS1)가 인가되는 경우보다 제2 B-노드 신호(NBS2)가 인가되는 경우에, 제1 인버터 트랜지스터(TR6)는 제어전극에 인가되는 신호에 더 잘 응답하여 A-노드(NA)에 제1 클럭 신호(CKV)의 로우 전압(VL-C)을 더 잘 출력하게 된다.
- [0125] 따라서, 도 7 및 도 9에 도시된 바와 같이, $i-1$ 번째 수평 구간(HP_{i-1})에서 제2 A-노드 신호(NAS2)의 전위레벨은 제1 A-노드 신호(NAS1)의 전위레벨보다 낮다. 또한, $i-1$ 번째 수평 구간(HP_{i-1})에서 제1 A-노드 신호(NAS1)의 전위레벨 보다 제2 A-노드 신호(NAS2)의 전위레벨이 제1 클럭 신호(CKV)의 로우 전압(VL-C)과 더 유사하다. 이는, 제2 B-노드 신호(NBS2)가 제1 인버터 트랜지스터(TR6)의 제어전극에 인가되는 경우, 제1 인버터 트랜지스터(TR6)가 A-노드(NA)에 제1 클럭 신호(CKV)의 로우 전압(VL-C)을 더 잘 출력하기 때문이다.
- [0126] 도 10은 도 6에 도시된 Q-노드(NQ)의 출력신호 파형도이다. 도 8에는 $i-1$ 번째 수평 구간(HP_{i-1}), i 번째 수평 구간(HP_i), 및 $i+1$ 번째 수평 구간(HP_{i+1})에서의 제1 Q-노드 신호(NQS1)와 제2 Q-노드 신호(NQS2)가 도시되어 있다.
- [0127] 제1 Q-노드 신호(NQS1)는 도 6에 도시된 것과 달리, 제4 인버터 트랜지스터(TR9, 도 6 참조)가 없는 경우 Q-노드(NQ)에서 출력되는 신호이다. 제2 Q-노드 신호(NQS2)는 도 6에 도시된 것과 같이 제4 인버터 트랜지스터(TR9, 도 6 참조)가 있는 경우 Q-노드(NQ)에서 출력되는 신호이다.
- [0128] 각 수평구간들(HP_{i-1} 내지 HP_{i+1})에서 제1 Q-노드 신호(NQS1) 및 제2 Q-노드 신호(NQS2)의 전위레벨 간에 약간의 차이가 존재한다. 제2 Q-노드 신호(NQS2)의 전위레벨이 제1 Q-노드 신호(NQS1)의 전위레벨에 비해 높으며, 이러한 차이는 $i-1$ 번째 수평 구간(HP_{i-1}) 및 i 번째 수평 구간(HP_i)에서 좀 더 두드러지게 나타난다. 이는 도 9에 도시한 바와 같이, $i-1$ 번째 수평 구간(HP_{i-1})에서 A-노드(NA)를 통해 제1 안정화 트랜지스터(TR5-1) 및 제2 안정화 트랜지스터(TR5-2)의 제어전극에 인가되는 제1 A-노드 신호(NAS1)와 제2 A-노드 신호(NAS2) 간의 전위레벨 차이 때문이다.
- [0129] $i-1$ 번째 수평 구간(HP_{i-1})에서 제1 안정화 트랜지스터(TR5-1) 및 제2 안정화 트랜지스터(TR5-2)의 제어전극에 제2 A-노드 신호(NAS2) 보다 전위레벨이 높은 제1 A-노드 신호(NAS1)가 인가되는 경우, 제1 안정화 트랜지스터(TR5-1) 및 제2 안정화 트랜지스터(TR5-2)는 턴-온 될 수 있다. 따라서, $i-1$ 번째 수평 구간(HP_{i-1})에 Q-노드(NQ, 도 6 참조)에서 제2 전압 입력단자(V2) 쪽으로 흐르는 제2 누설전류가 발생하게 된다.
- [0130] $i-1$ 번째 수평 구간(HP_{i-1})에서 제2 누설전류가 발생하게 되면, Q-노드(NQ)의 전위레벨이 떨어지고, 이 전위레벨

에 따라 커패시터(CAP)에 전하가 충전된다. 커패시터(CAP)에 충전되는 전압이 떨어졌는바, 이로부터 부스팅 되는 i 번째 수평 구간(HP_i)에서의 Q-노드(NQ)의 전위레벨이 떨어진다. 이와 같이, 제4 인버터 트랜지스터(TR9)가 없는 경우, Q-노드(NQ)에서 출력되는 신호가 제1 Q-노드 신호(NQS1)인 것이다.

[0131] $i-1$ 번째 수평 구간(HP_{i-1})에서 제1 안정화 트랜지스터(TR5-1) 및 제2 안정화 트랜지스터(TR5-2)의 제어전극에 제1 A-노드 신호(NAS1) 보다 전위레벨이 낮은 제2 A-노드 신호(NAS2)가 인가되는 경우, 제1 안정화 트랜지스터(TR5-1) 및 제2 안정화 트랜지스터(TR5-2)은 턴-온이 되지 않는다. $i-1$ 번째 수평 구간(HP_{i-1})에서 제2 A-노드 신호(NAS2)의 전위레벨이 충분히 낮기 때문이다. 따라서, 제2 누설전류가 발생하지 않게 된다. 제2 누설전류가 발생하지 않으므로, Q-노드(NQ)의 전위레벨은 떨어지지 않는다. 이와 같이, 제4 인버터 트랜지스터(TR9)가 있는 경우, Q-노드(NQ)에서 출력되는 신호가 제2 Q-노드 신호(NQS2)인 것이다.

[0132] 즉, A-노드(NA)에 출력되는 스위칭 신호들의 전위레벨차이 의해, $i-1$ 번째 수평 구간(HP_{i-1})에서 및 i 번째 수평 구간(HP_i)에서 제2 Q-노드 신호(NQS2)의 전위레벨이 제1 Q-노드 신호(NQS1)의 전위레벨 보다 높다.

[0133] 도 6을 참조하여 상기에서 설명한 내용을 정리하면, 제4 인버터 트랜지스터(TR9)가 존재하는 경우에 $i-1$ 번째 수평 구간(HP_{i-1})에서 발생한 i 번째 캐리 신호(CRS_i)의 약한 전압 상승에 응답하여 B-노드(NB)로부터 제2 전압 입력단자(V2) 방향으로 흐르는 제1 누설전류를 방지할 수 있다.

[0134] 제1 누설전류를 방지하는 경우 B-노드(NB) 전위레벨이 상승하게 되고, 이에 따라 제1 인버터 트랜지스터(TR6)가 B-노드(NB)의 출력에 의해 더 잘 응답하게 된다. 따라서, 제1 인버터 트랜지스터(TR6)는 $i-1$ 번째 수평 구간(HP_{i-1})에서 제1 클럭 신호(CKV)의 로우 전압(VL-C)을 A-노드(NA)에 더 잘 출력하게 된다.

[0135] A-노드(NA)의 전위레벨이 제1 클럭 신호(CKV)의 로우 전압(VL-C)과 같이 낮아지면, 제1 안정화 트랜지스터(TR5-1) 및 제2 안정화 트랜지스터(TR5-2)는 턴-온되지 않는다. 따라서, Q-노드(NQ)에서 제2 전압 입력단자(V2) 쪽으로 흐르는 제2 누설전류가 발생하지 않아 Q-노드(NQ)의 전위레벨이 떨어지지 않고 안정적으로 유지될 수 있다.

[0136] Q-노드(NQ)의 전위레벨이 안정적인 경우, 게이트 신호(GS_i) 및 캐리 신호(CRS_i)도 안정적으로 출력된다. 게이트 신호(GS_i) 및 캐리 신호(CRS_i)의 출력을 담당하는 제1 출력 트랜지스터(TR1) 및 제2 출력 트랜지스터(TR2)의 제어전극이 Q-노드(NQ)에 연결되어 있기 때문이다.

[0137] 도 11은 본 발명의 일 실시예에 따른 도 6에 도시된 복수 개의 스테이지들 중 i 번째 구동 스테이지의 회로도이다. 도 11에 도시된 i 번째 구동 스테이지(SRC_i-S)에서, 제4 인버터 트랜지스터(TR9-S)의 제어전극은 Q-노드(NQ)에 연결되어 있다.

[0138] 도 7을 참조하면, 캐리 신호(CRS_i)의 출력이 하이 전압(VH-C)일 때, Q-노드(NQ)의 출력도 제2 하이 전압(VQ2)이다. 즉, 도 6에 도시된 제4 인버터 트랜지스터(TR9)가 턴-온 될 때, 도 11에 도시된 제4 인버터 트랜지스터(TR9-S) 역시 턴-온 상태이다. 따라서, 도 11에 도시된 i 번째 구동 스테이지(SRC_i-S)는 도 6에 도시된 i 번째 구동 스테이지(SRC_i)와 동일한 기능을 제공 할 수 있다. 제4 인버터 트랜지스터(TR9-S) 뿐만 아니라, 제3 인버터 트랜지스터(TR8-S)의 제어전극도 Q-노드(NQ)에 연결될 수 있다.

[0139] 제3 인버터 트랜지스터(TR8-S) 및 제4 인버터 트랜지스터(TR9-S)의 제어전극의 연결관계를 제외한 입력전극 및 출력전극의 연결관계는 도 6에서 설명한 제3 인버터 트랜지스터(TR8) 및 제4 인버터 트랜지스터(TR9)의 입력전극 및 출력전극의 연결관계와 같다. 또한, i 번째 구동 스테이지(SRC_i-S)에 포함되는 나머지 트랜지스터들의 연결관계는 도 6에서 설명한 i 번째 구동 스테이지(SRC_i)에 포함되는 트랜지스터들의 연결관계와 같다.

[0140] 이상 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다. 또한 본 발명에 개시된 실시 예는 본 발명의 기술 사상을 한정하기 위한 것이 아니고, 하기의 특허 청구의 범위 및 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

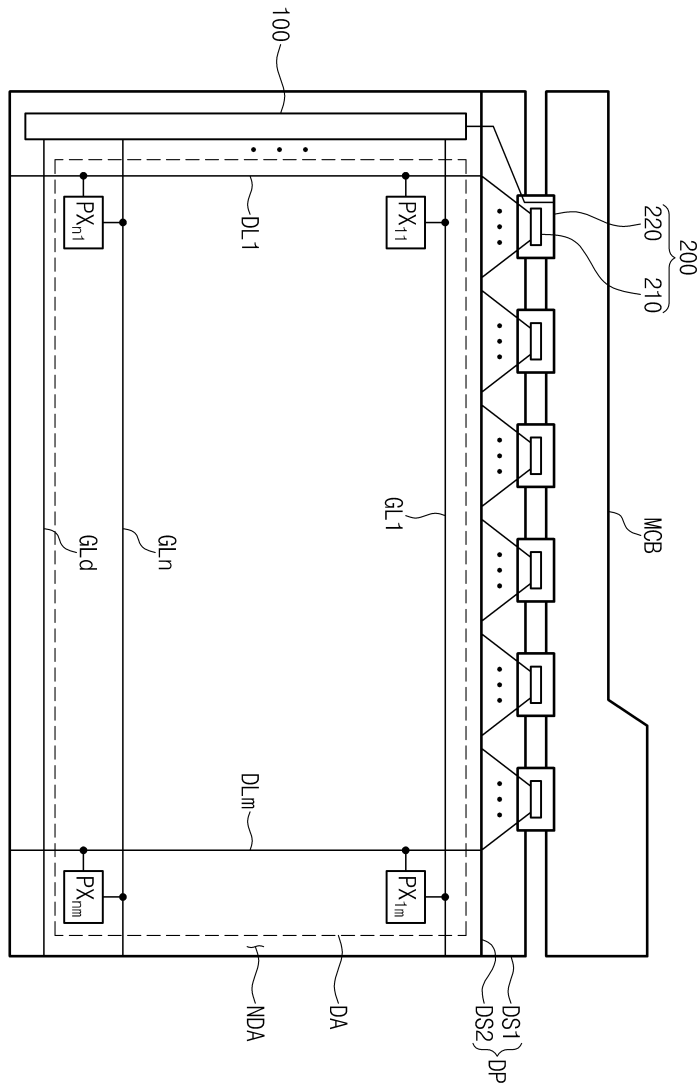
부호의 설명

[0141]

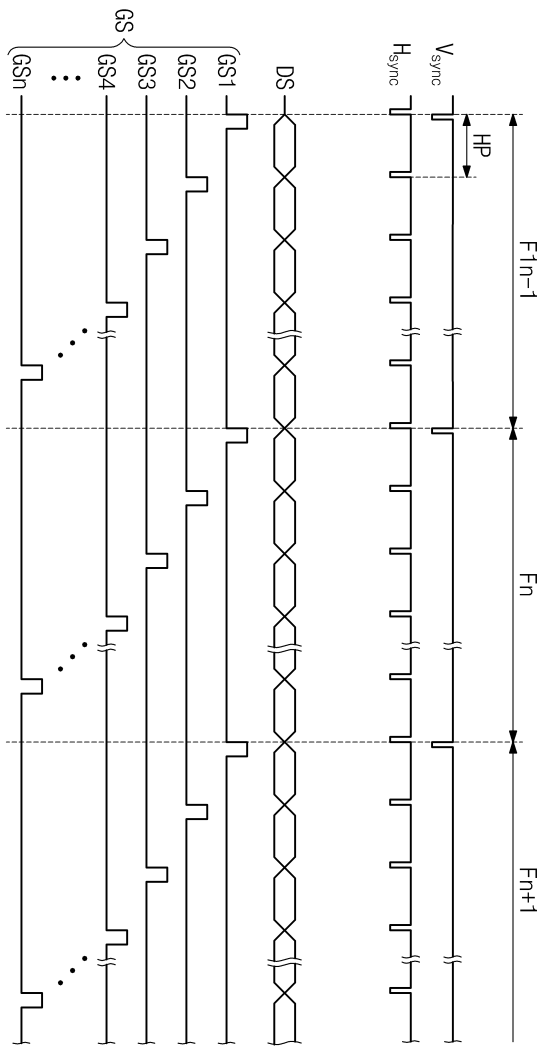
DP: 표시패널 DS1: 제1 기판
 DS2: 제2 기판 100: 게이트 구동회로
 200: 데이터 구동회로 MCB: 메인 회로기판
 SRC1~SRCn: 구동 스테이지 110-1: 제1 출력부
 110-2: 제2 출력부 120: 제어부
 130: 안정화부 140: 인버터부
 150-1: 제1 풀다운부 150-2: 제2 풀다운부
 160-1: 제1 홀딩부 160-2: 제2 홀딩부

도면

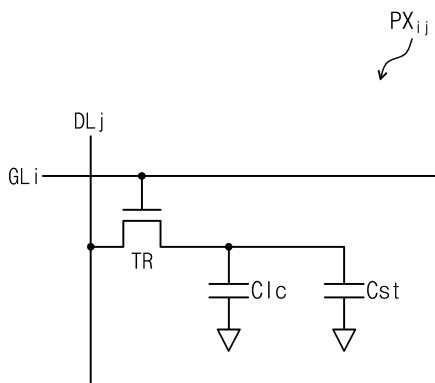
도면1



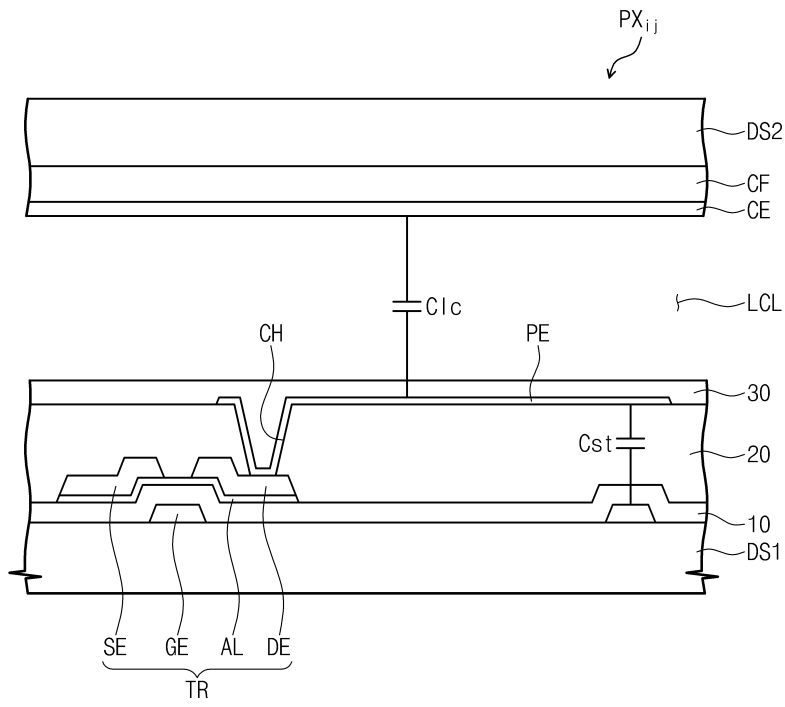
도면2



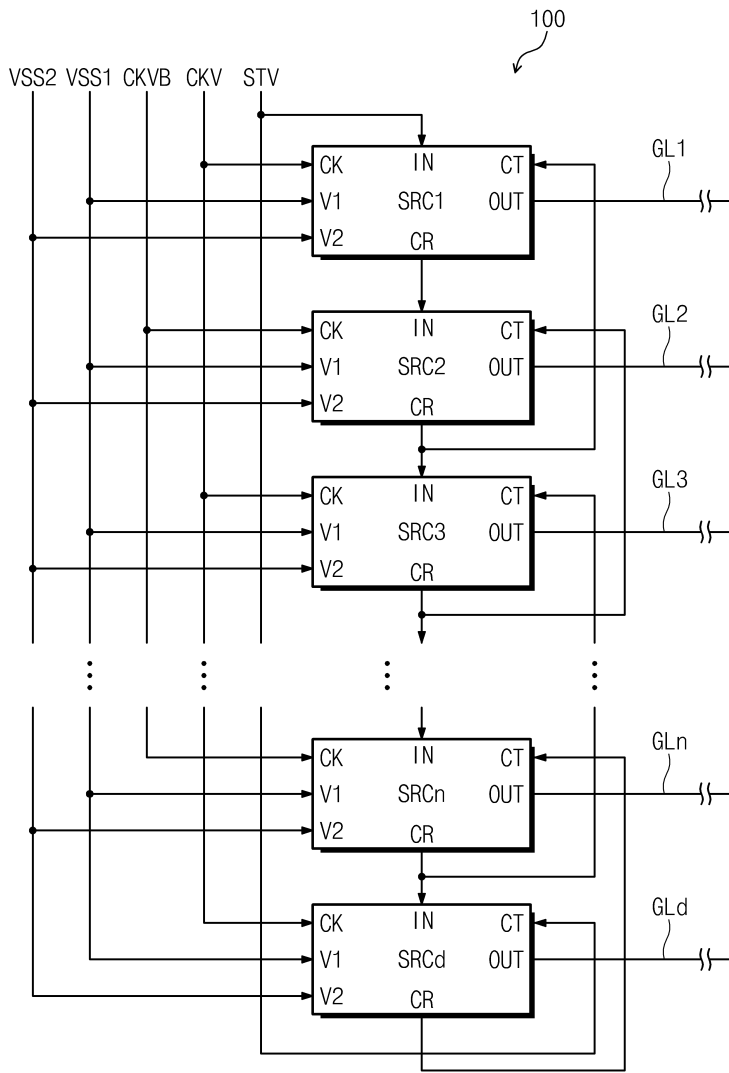
도면3



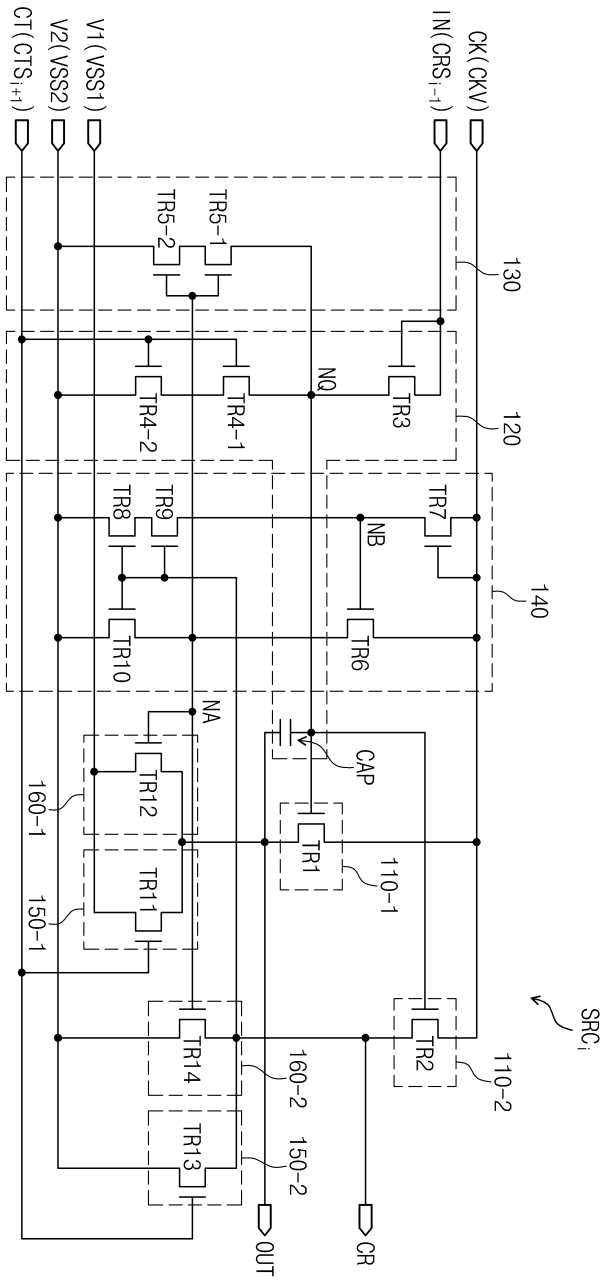
도면4



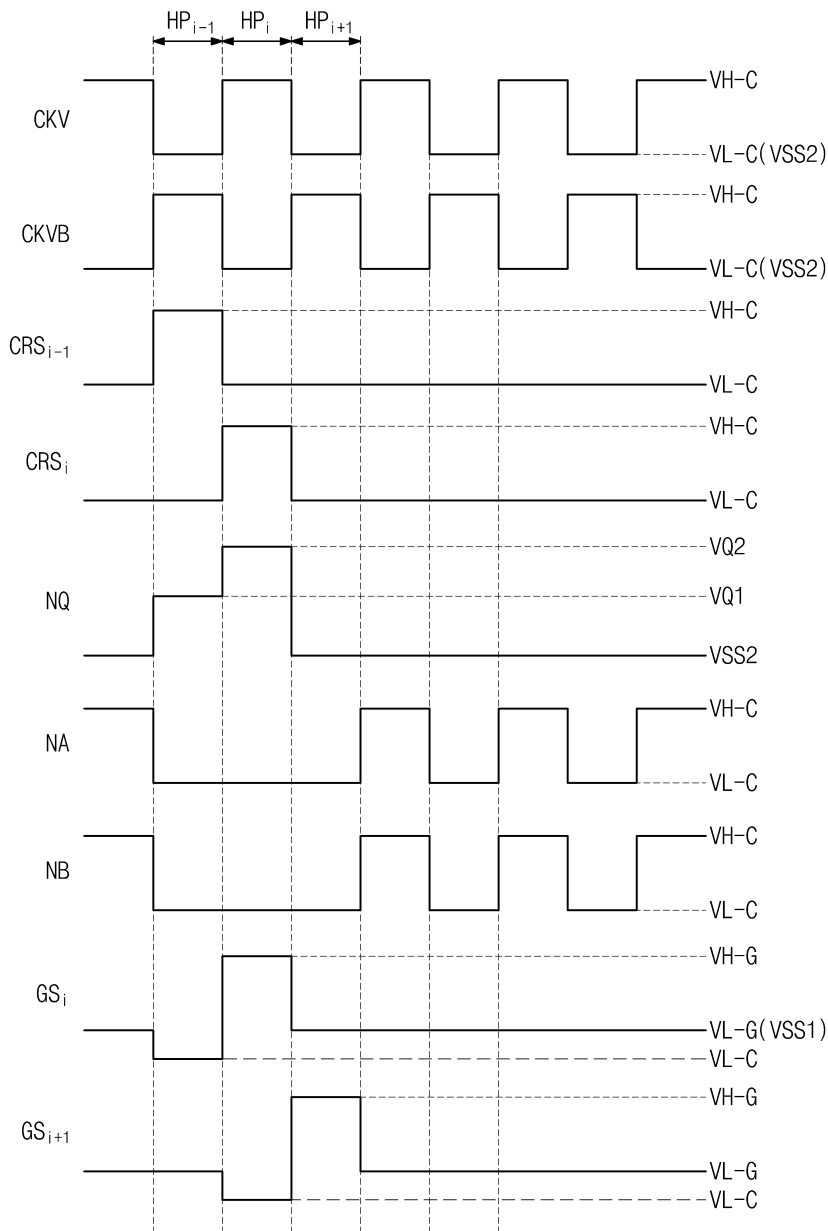
도면5



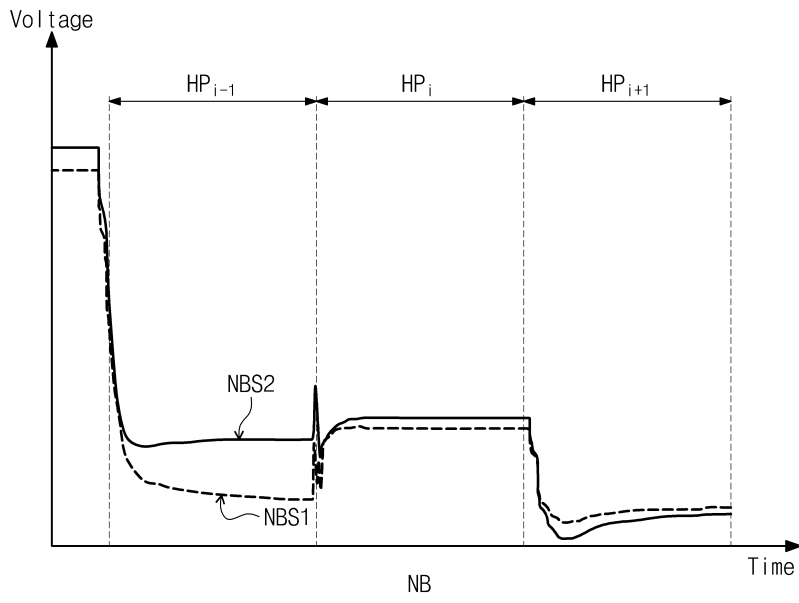
도면6



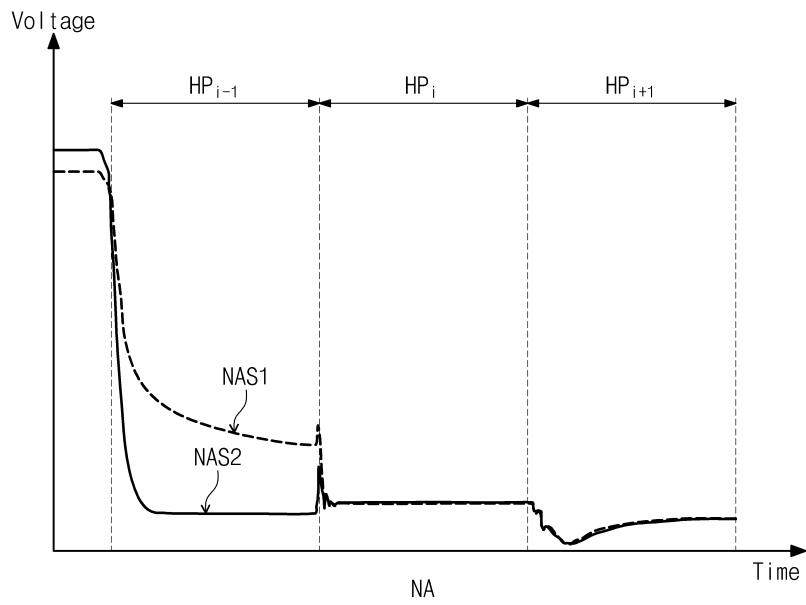
도면7



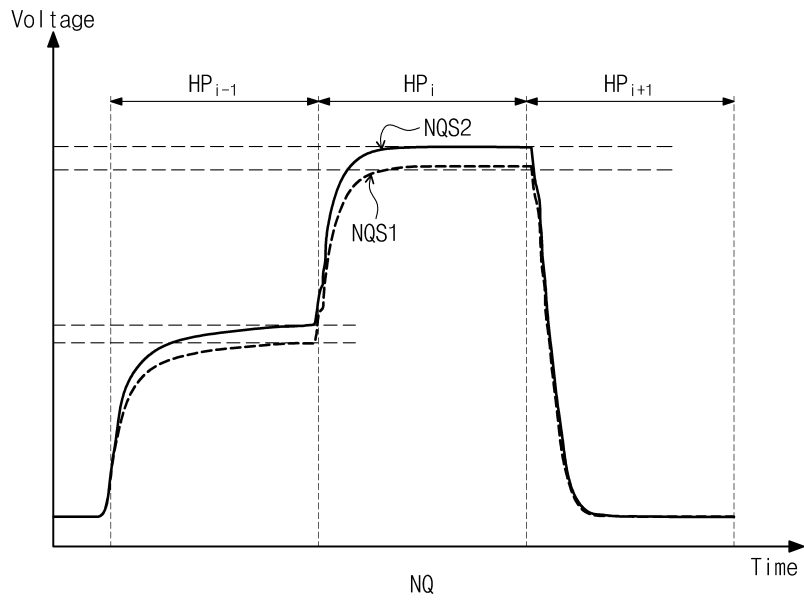
도면8



도면9



도면10



도면11

