



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년05월10일
(11) 등록번호 10-2396117
(24) 등록일자 2022년05월04일

(51) 국제특허분류(Int. Cl.)
G11C 16/10 (2006.01) G11C 11/56 (2021.01)
G11C 16/26 (2006.01)
(52) CPC특허분류
G11C 16/10 (2013.01)
G11C 11/5628 (2013.01)
(21) 출원번호 10-2015-0149473
(22) 출원일자 2015년10월27일
심사청구일자 2020년10월07일
(65) 공개번호 10-2017-0048855
(43) 공개일자 2017년05월10일
(56) 선행기술조사문헌
KR101044540 B1*
(뒷면에 계속)

(73) 특허권자
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
이영훈
경기도 성남시 분당구 성남대로 393, 두산위브과
빌리온 B동 416호 (정자동)
(74) 대리인
오종한, 문용호

전체 청구항 수 : 총 12 항

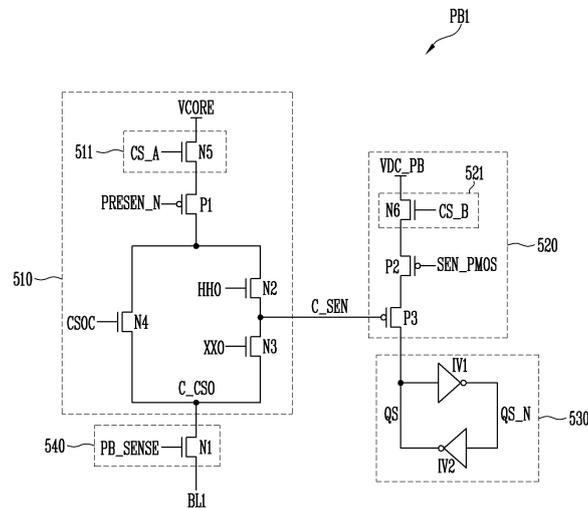
심사관 : 한선경

(54) 발명의 명칭 페이지 버퍼 및 이를 포함하는 반도체 메모리 장치

(57) 요약

본 기술은 페이지 버퍼 및 이를 포함하는 반도체 메모리 장치에 관한 것으로, 본 발명에 실시 예에 따른 반도체 메모리 장치는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이 및 상기 메모리 셀 어레이의 복수의 비트라인들과 각각 연결되고, 센싱 동작 시 내부 전원들을 공급받아 상기 복수의 비트라인들을 프리차지하거나 상기 복수의 비트라인들을 통해 흐르는 전류량을 센싱하기 위한 복수의 페이지 버퍼들을 포함하며, 상기 복수의 페이지 버퍼들 각각은 상기 내부 전원들을 일정한 전위 레벨을 갖는 공급 전압들로 변환시킨다.

대표도 - 도2



(52) CPC특허분류
G11C 16/26 (2013.01)

(56) 선행기술조사문헌
KR1020150021439 A
KR1020150050880 A
KR1020120134731 A
KR1020100098857 A
KR1020000033907 A
KR1020140145367 A
US20120026797 A1
US20100329005 A1
*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

복수의 메모리 셀들을 포함하는 메모리 셀 어레이; 및

상기 메모리 셀 어레이의 복수의 비트라인들과 각각 연결되고, 센싱 동작 시 내부 전원들을 공급받아 상기 복수의 비트라인들을 프리차지하거나 상기 복수의 비트라인들을 통해 흐르는 전류량을 센싱하기 위한 복수의 페이지 버퍼들을 포함하며,

상기 복수의 페이지 버퍼들 각각은 상기 내부 전원들을 일정한 전위 레벨을 갖는 공급 전압들로 변환시키며,

상기 복수의 페이지 버퍼들 각각은

상기 내부 전원들 중 코어 전압을 이용하여 상기 복수의 비트라인들 중 대응하는 비트라인과 센싱 노드를 프리차지하고, 상기 대응하는 비트라인의 전류량에 따라 상기 센싱 노드의 전위 레벨을 조절하기 위한 클램프 회로; 및

상기 클램프 회로 내의 상기 센싱 노드의 전위 레벨에 응답하여 출력되는 전류량을 조절하기 위한 전류 판단 회로를 포함하는 반도체 메모리 장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서, 상기 클램프 회로는

제1 레귤레이팅 신호에 의해 상기 코어 전압을 일정한 전위 레벨을 갖는 내부 코어 전압으로 레귤레이팅하기 위한 제1 레귤레이터;

상기 내부 코어 전압을 이용하여 상기 비트라인을 프리차지하기 위한 제1 스위칭부;

상기 내부 코어 전압을 이용하여 상기 센싱 노드를 프리차지하기 위한 제2 스위칭부; 및

상기 비트라인과 상기 센싱 노드를 연결하기 위한 제3 스위칭부를 포함하는 반도체 메모리 장치.

청구항 4

제 3 항에 있어서, 상기 제1 레귤레이팅 신호는

상기 코어 전압의 최소값과 상기 제1 레귤레이터의 설정값의 합과 같거나, 상기 합보다 낮은 값의 전위 레벨을 갖는 반도체 메모리 장치.

청구항 5

제 1 항에 있어서, 상기 전류 판단 회로는

제2 레귤레이팅 신호에 응답하여 상기 내부 전원들 중 다운 컨버팅 전압을 일정한 전위 레벨을 갖는 내부 다운 컨버팅 전압으로 레귤레이팅하기 위한 제2 레귤레이터; 및

상기 센싱 노드의 전위 레벨에 응답하여 상기 내부 다운 컨버팅 전압의 전류량을 조절하여 출력하는 제4 스위칭부를 포함하는 반도체 메모리 장치.

청구항 6

제 5 항에 있어서, 상기 제2 레귤레이팅 신호는

상기 다운 컨버팅 전압의 최소값과 상기 제2 레귤레이터의 설정값의 합과 같거나, 상기 합보다 낮은 값의 전위 레벨을 갖는 반도체 메모리 장치.

청구항 7

복수의 메모리 셀들이 연결된 비트라인과 제어 노드 사이에 연결되며, 비트라인 연결 신호에 응답하여 상기 비트라인과 상기 제어 노드를 전기적으로 연결하기 위한 비트라인 연결부;

제1 내부 전원을 공급받아 상기 비트라인 및 센싱 노드를 프리차지하고, 상기 비트라인의 전류량에 따라 상기 센싱 노드의 전위 레벨을 조절하기 위한 클램프 회로;

제2 내부 전원을 공급받고, 상기 클램프 회로 내의 상기 센싱 노드의 전위 레벨에 응답하여 출력되는 전류량을 조절하기 위한 전류 판단 회로; 및

상기 전류 판단 회로에 의해 조절된 전류량에 대응하는 데이터를 저장하기 위한 래치 회로를 포함하며,

상기 전류 판단 회로는

상기 제2 내부 전원을 일정한 레벨로 레귤레이팅하여 공급 전압을 생성하는 페이지 버퍼.

청구항 8

제 7 항에 있어서, 상기 클램프 회로는

상기 제1 내부 전원을 이용하여 상기 비트라인을 프리차지하기 위한 제1 스위칭부;

상기 제1 내부 전원을 이용하여 상기 센싱 노드를 프리차지하기 위한 제2 스위칭부; 및

상기 비트라인과 상기 센싱 노드를 연결하기 위한 제3 스위칭부를 포함하는 페이지 버퍼.

청구항 9

제 7 항에 있어서, 상기 전류 판단 회로는

제1 레귤레이팅 신호에 응답하여 상기 제2 내부 전원을 일정한 전위 레벨을 갖는 상기 공급 전압으로 레귤레이팅하기 위한 제1 레귤레이터; 및

상기 센싱 노드의 전위 레벨에 응답하여 상기 공급 전압의 전류량을 조절하여 출력하는 제4 스위칭부를 포함하는 페이지 버퍼.

청구항 10

제 9 항에 있어서, 상기 제1 레귤레이팅 신호는

상기 제2 내부 전원의 최소값과 상기 제1 레귤레이터의 설정값의 합과 같거나, 상기 합보다 낮은 값의 전위 레벨을 갖는 페이지 버퍼.

청구항 11

복수의 메모리 셀들이 연결된 비트라인과 제어 노드 사이에 연결되며, 비트라인 연결 신호에 응답하여 상기 비

트라인과 상기 제어 노드를 전기적으로 연결하기 위한 비트라인 연결부;

내부 전원을 공급받아 상기 비트라인 및 센싱 노드를 프리차지하고, 상기 비트라인의 전류량에 따라 상기 센싱 노드의 전위 레벨을 조절하기 위한 클램프 회로;

상기 클램프 회로 내의 상기 센싱 노드의 전위 레벨에 응답하여 출력되는 전류량을 조절하기 위한 전류 판단 회로; 및

상기 전류 판단 회로에 의해 조절된 전류량에 대응하는 데이터를 저장하기 위한 래치 회로를 포함하며,

상기 클램프 회로는

상기 내부 전원을 공급받아 일정한 전위 레벨을 갖도록 레귤레이팅하여 공급 전압을 생성하는 페이지 버퍼.

청구항 12

제 11 항에 있어서, 상기 클램프 회로는

제1 레귤레이팅 신호에 의해 상기 내부 전원을 일정한 전위 레벨을 갖는 제1 공급 전압으로 레귤레이팅하고, 상기 제1 공급 전압을 이용하여 상기 비트라인을 프리차지하기 위한 제1 스위칭부;

제2 레귤레이팅 신호에 의해 상기 내부 전원을 일정한 전위 레벨을 갖는 제2 공급 전압으로 레귤레이팅하고, 상기 제2 공급 전압을 이용하여 상기 센싱 노드를 프리차지하기 위한 제2 스위칭부; 및

상기 비트라인과 상기 센싱 노드를 연결하기 위한 제3 스위칭부를 포함하는 페이지 버퍼.

청구항 13

제 12 항에 있어서, 상기 제1 레귤레이팅 신호는

상기 내부 전원의 최소값과 상기 제1 스위칭부의 설정값의 합과 같거나, 상기 합보다 낮은 값의 전위 레벨을 갖고,

상기 제2 레귤레이팅 신호는

상기 내부 전원의 최소값과 상기 제2 스위칭부의 설정값의 합과 같거나, 상기 합보다 낮은 값의 전위 레벨을 갖는 페이지 버퍼.

발명의 설명

기술 분야

[0001] 본 발명은 전자 장치에 관한 것으로, 보다 구체적으로는 페이지 버퍼 및 이를 포함하는 메모리 장치에 관한 것이다.

배경 기술

[0003] 반도체 장치 중 특히 반도체 메모리 장치는 크게 휘발성 메모리 장치(Volatile memory device)와 불휘발성 메모리 장치(Nonvolatile memory device)로 구분된다.

[0004] 불휘발성 메모리 장치는 쓰기 및 읽기 속도가 상대적으로 느리지만 전원 공급이 차단되더라도 저장 데이터를 유지한다. 따라서 전원 공급 여부와 관계없이 유지되어야 할 데이터를 저장하기 위해 불휘발성 메모리 장치가 사용된다. 불휘발성 메모리 장치에는 ROM(Read Only Memory), MROM(Mask ROM), PROM(Programmable ROM), EPROM(Erasable Programmable ROM), EEPROM(Electrically Erasable Programmable ROM), 플래시 메모리(Flash memory), PRAM(Phase change Random Access Memory), MRAM(Magnetic RAM), RRAM(Resistive RAM), FRAM(Ferroelectric RAM) 등이 있다. 플래시 메모리는 노어 타입과 낸드 타입으로 구분된다.

[0005] 플래시 메모리는 데이터의 프로그램과 소거가 자유로운 RAM의 장점과 전원 공급이 차단되어도 저장된 데이터를 보존할 수 있는 ROM의 장점을 가진다. 플래시 메모리는 디지털 카메라, PDA(Personal Digital Assistant) 및

MP3 플레이어와 같은 휴대용 전자기기의 저장 매체로 널리 사용되고 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 실시 예는 반도체 메모리 장치의 동작 시 안정적으로 동작할 수 있는 페이지 버퍼 및 이를 포함하는 반도체 메모리 장치를 제공한다.

과제의 해결 수단

[0008] 본 발명에 실시 예에 따른 반도체 메모리 장치는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이 및 상기 메모리 셀 어레이의 복수의 비트라인들과 각각 연결되고, 센싱 동작 시 내부 전원들을 공급받아 상기 복수의 비트라인들을 프리차지하거나 상기 복수의 비트라인들을 통해 흐르는 전류량을 센싱하기 위한 복수의 페이지 버퍼들을 포함하며, 상기 복수의 페이지 버퍼들 각각은 상기 내부 전원들을 일정한 전위 레벨을 갖는 공급 전압들로 변환시킨다.

[0010] 본 발명에 실시 예에 따른 페이지 버퍼는 복수의 메모리 셀들이 연결된 비트라인과 제어 노드 사이에 연결되며, 비트라인 연결 신호에 응답하여 상기 비트라인과 상기 제어 노드를 전기적으로 연결하기 위한 비트라인 연결부와, 제1 내부 전원을 공급받아 상기 비트라인 및 센싱 노드를 프리차지하고, 상기 비트라인의 전류량에 따라 상기 센싱 노드의 전위 레벨을 조절하기 위한 클램프 회로와, 제2 내부 전원을 공급받고, 상기 클램프 회로 내의 상기 센싱 노드의 전위 레벨에 응답하여 출력되는 전류량을 조절하기 위한 전류 판단 회로 및 상기 전류 판단 회로에 의해 조절된 전류량에 대응하는 데이터를 저장하기 위한 래치 회로를 포함하며, 상기 전류 판단 회로는 상기 제2 내부 전원을 일정한 레벨로 레귤레이팅하여 공급 전압을 생성한다.

[0012] 본 발명에 실시 예에 따른 페이지 버퍼는 복수의 메모리 셀들이 연결된 비트라인과 제어 노드 사이에 연결되며, 비트라인 연결 신호에 응답하여 상기 비트라인과 상기 제어 노드를 전기적으로 연결하기 위한 비트라인 연결부와, 내부 전원을 공급받아 상기 비트라인 및 센싱 노드를 프리차지하고, 상기 비트라인의 전류량에 따라 상기 센싱 노드의 전위 레벨을 조절하기 위한 클램프 회로와, 상기 클램프 회로 내의 상기 센싱 노드의 전위 레벨에 응답하여 출력되는 전류량을 조절하기 위한 전류 판단 회로 및 상기 전류 판단 회로에 의해 조절된 전류량에 대응하는 데이터를 저장하기 위한 래치 회로를 포함하며, 상기 클램프 회로는 상기 내부 전원을 공급받아 일정한 전위 레벨을 갖도록 레귤레이팅하여 공급 전압을 생성한다.

발명의 효과

[0014] 본 발명의 실시 예에 따르면, 페이지 버퍼 내에서 페이지 버퍼로 공급되는 내부 전원을 일정한 레벨로 레귤레이팅하여 페이지 버퍼의 동작을 안정적으로 수행할 수 있다.

도면의 간단한 설명

- [0016] 도 1은 본 발명의 실시예에 따른 반도체 메모리 장치를 설명하기 위한 도면이다.
- 도 2는 본 발명의 일 실시예에 따른 페이지 버퍼를 설명하기 위한 도면이다.
- 도 3은 본 발명의 다른 실시예에 따른 페이지 버퍼를 설명하기 위한 도면이다.
- 도 4는 본 발명의 또 다른 실시예에 따른 페이지 버퍼를 설명하기 위한 도면이다.
- 도 5는 본 발명의 실시 예에 따른 페이지 버퍼에 공급되는 내부 전원과 레귤레이팅 신호의 전위 레벨 및 레귤레이팅된 전압을 나타내는 도면이다.
- 도 6은 도 1의 반도체 메모리 장치를 포함하는 메모리 시스템을 보여주는 블럭도이다.
- 도 7은 도 6의 메모리 시스템의 응용 예를 보여주는 블럭도이다.
- 도 8은 도 7를 참조하여 설명된 메모리 시스템을 포함하는 컴퓨팅 시스템을 보여주는 블럭도이다.

발명을 실시하기 위한 구체적인 내용

[0017] 본 발명의 이점 및 특징, 그리고 그것을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시

예들을 통해 설명될 것이다. 그러나 본 발명은 여기에서 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 단지, 본 실시 예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 제공되는 것이다.

- [0018] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "간접적으로 연결"되어 있는 경우도 포함한다. 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0020] 도 1은 본 발명의 실시예에 따른 반도체 메모리 장치를 설명하기 위한 도면이다.
- [0021] 도 1을 참조하면, 반도체 메모리 장치(1000)는 메모리 셀 어레이(100), 로우 디코더(200), 전압 생성부(300), 제어로직(400), 및 페이지 버퍼 그룹(500)을 포함할 수 있다.
- [0022] 메모리 셀 어레이(100)는 복수의 메모리 블록들을 포함한다. 각각의 메모리 블록은 비트라인들과 공통 소스 라인 사이에 연결된 다수의 스트링들을 포함한다. 즉, 스트링들은 대응하는 비트 라인들과 각각 연결되고 공통 소스 라인과 공통으로 연결된다. 각각의 스트링은 직렬 연결된 소스 셀렉트 트랜지스터, 복수의 메모리 셀들, 및 드레인 셀렉트 트랜지스터를 포함한다.
- [0024] 로우 디코더(200)는 제어 로직(400)에서 출력되는 로우 어드레스 신호들(RADD)에 응답하여, 전압 생성부(300)에서 출력된 동작 전압들을 메모리 셀 어레이(100)의 로컬 라인들(DSL, WL0~WLn, SSL)로 출력한다.
- [0026] 전압 생성부(300)는 제어 로직(400)에서 출력된 전압 제어 신호(VCON)에 응답하여 메모리 셀들의 제반 동작에 사용되는 동작 전압들(Vpgm, Vread, Vpass)을 생성하여 출력한다.
- [0028] 제어 로직(400)은 외부로부터 입출력 회로(미도시)를 통해 입력되는 명령 신호(CMD)에 응답하여 프로그램 동작, 검증 동작, 리드 동작 또는 소거 동작을 수행하기 위해 로우 디코더(200), 전압 생성부(300) 및 페이지 버퍼 그룹(500)을 제어한다. 예를 들어 제어 로직(400)은 명령 신호(CMD)에 응답하여 전압 생성부(300)가 동작 전압들(Vpgm, Vread, Vpass)을 생성하도록 전압 제어 신호(VCON)를 생성하여 출력한다. 또한, 제어로직(400)은 입출력 회로(미도시)를 통해 외부로부터 입력되는 어드레스 신호(ADD)에 응답하여 로우 디코더(200)를 제어하기 위한 로우 어드레스 신호(RADD)를 출력한다. 또한 제어 로직(400)은 명령 신호(CMD)에 응답하여 페이지 버퍼 그룹(500)을 제어하기 위한 페이지 버퍼 제어 신호들(PB_SIGNALS)을 출력한다.
- [0030] 페이지 버퍼 그룹(500)은 비트 라인들(BL1~BLk)을 통해 메모리 셀 어레이(100)에 연결된다. 페이지 버퍼 그룹(500)은 복수의 페이지 버퍼들(PB1~PBk)을 포함한다. 복수의 페이지 버퍼들(PB1~PBk)은 제어 로직(400)의 페이지 버퍼 제어 신호들(PB_SIGNALS)에 응답하여 동작한다. 예를 들어 복수의 페이지 버퍼들(PB1~PBk)은 프로그램 동작 시 외부에서 입력된 프로그램 데이터들을 임시 저장한 후 임시 저장된 데이터에 따라 대응하는 비트 라인들(BL1~BLk)의 전위 레벨을 조절하고, 리드 동작 시 대응하는 비트 라인들(BL1~BLk)의 전위 레벨 또는 전류량을 센싱하여 리드 데이터를 생성하고, 이를 외부로 출력한다.
- [0032] 도 2는 본 발명의 일 실시예에 따른 페이지 버퍼를 설명하기 위한 도면이다.
- [0033] 도 2를 참조하면, 페이지 버퍼(PB1)는 클램프 회로(510), 전류 판단 회로(520), 래치 회로(530), 비트라인 연결부(540)를 포함한다.
- [0034] 클램프 회로(510)는 제1 레귤레이터(511), PMOS 트랜지스터(P1), 및 NMOS 트랜지스터(N2, N3, N4)를 포함할 수 있다. 제1 레귤레이터(511)는 내부 전원들 중 코어 전압(VCORE) 단자와 PMOS 트랜지스터(P1) 사이에 연결되며, 제1 레귤레이팅 신호(CS_A)에 응답하여 코어 전압(VCORE)을 일정한 전위 레벨로 레귤레이팅하여 출력한다. 제1 레귤레이터(511)는 NMOS 트랜지스터(N5)로 구성될 수 있다. PMOS 트랜지스터(P1) 및 NMOS 트랜지스터(N4)는 제1 레귤레이터(511)와 제어 노드(C_CS0)사이에 직렬 연결된다. PMOS 트랜지스터(P1)는 프리 센싱 신호(PRESEN_N)에 응답하여 턴온되고 NMOS 트랜지스터(N4)는 제어 노드 연결 신호(CSOC)에 응답하여 턴온되며, 이로 인하여 제1 레귤레이터(511)에 의해 레귤레이팅된 코어 전압(VCORE)이 제어 노드(C_CS0)에 공급된다. NMOS 트랜지스터(N2, N3)는 PMOS 트랜지스터(P1)와 제어 노드(C_CS0) 사이에 직렬 연결되며, NMOS 트랜지스터(N2)와 NMOS 트랜지스터(N3) 사이의 노드는 센싱 노드(C_SEN)로 정의된다. NMOS 트랜지스터(N2)는 제1 제어 신호(HH0)에 응답하여 턴온되어 제1 레귤레이터(511)에 의해 레귤레이팅된 코어 전압(VCORE)을 이용하여 센싱 노드(C_SEN)를 프리 차지한다. NMOS 트랜지스터(N3)는 제2 제어 신호(XX0)에 응답하여 턴온되어 제어 노드(C_CS0)와 센싱 노드(C_SEN)를 전기적으로 연결한다.

- [0036] 전류 판단 회로(520)는 제2 레귤레이터(521) 및 PMOS 트랜지스터(P2, P3)를 포함할 수 있다. 제2 레귤레이터(521)는 다운 컨버팅 전압(VDC_PB) 단자와 PMOS 트랜지스터(P2) 사이에 연결되며, 제2 레귤레이팅 신호(CS_B)에 응답하여 내부 전원들 중 다운 컨버팅 전압(VDC_PB)을 일정한 전위 레벨로 레귤레이팅하여 출력한다. 제2 레귤레이터(521)는 NMOS 트랜지스터(N6)로 구성될 수 있다. PMOS 트랜지스터(P2, P3)는 제2 레귤레이터(521)와 래치 회로(530)의 제1 노드(QS) 사이에 직렬 연결된다. PMOS 트랜지스터(P2)는 센싱 신호(SEN_PMOS)신호에 응답하여 턴온되고, PMOS 트랜지스터(P3)는 센싱 노드(C_SEN)의 전위에 응답하여 제1 노드(QS)에 인가되는 레귤레이팅된 다운 컨버팅 전압(VDC_PB)의 전류량을 조절한다.
- [0038] 래치 회로(530)는 전류 판단 회로(520)와 연결된 제1 노드(QS)와 제2 노드(QS_N) 사이에 역방향 병렬 연결된 인버터(IV1 및 IV2)를 포함한다. 래치 회로(530)는 제1 노드(QS)에 인가되는 전류량에 대응하는 데이터를 센싱 데이터로 하여 저장한다.
- [0040] 비트라인 연결부(540)는 복수의 메모리 셀들이 연결된 비트라인(BL1)과 제어 노드(C_CS0)사이에 연결되며, 비트라인 연결 신호(PB_SENSE)에 응답하여 비트라인(BL1)과 제어 노드(C_CS0)를 전기적으로 연결한다. 비트라인 연결부(540)는 NMOS 트랜지스터(N1)로 구성될 수 있다.
- [0042] 제1 페이지 버퍼(PB1)의 리드 동작을 설명하면 다음과 같다.
- [0043] 1)레귤레이팅 동작
- [0044] 비트라인(BL1)과 연결된 페이지 버퍼(PB1)는 리드 동작을 위해 코어 전압(VCORE) 및 다운 컨버팅 전압(VDC_PB)이 인가된다. 페이지 버퍼(PB1) 내의 제1 레귤레이터(511)는 코어 전압(VCORE)의 최소값과 제1 레귤레이터(511)의 설정값의 합과 같거나, 상기 합보다 낮은 값의 전위 레벨을 갖는 제1 레귤레이팅 신호(CS_A)에 응답하여 코어 전압(VCORE)이 일정한 레벨을 갖도록 레귤레이팅하고, 제2 레귤레이터(521)는 다운 컨버팅 전압(VDC_PB)의 최소값과 제2 레귤레이터(521)의 설정값의 합과 같거나, 상기 합보다 낮은 값의 전위 레벨을 갖는 제2 레귤레이팅 신호(CS_B)에 응답하여 다운 컨버팅 전압(VDC_PB)이 일정한 레벨을 갖도록 레귤레이팅한다. 제1 레귤레이터(511)의 설정값은 제1 레귤레이터(511)를 구성하는 NMOS 트랜지스터(N5)의 문턱 전압 값일 수 있다. 제2 레귤레이터(521)의 설정값은 제2 레귤레이터(521)를 구성하는 NMOS 트랜지스터(N6)의 문턱 전압 값일 수 있다. 이로 인해 페이지 버퍼(PB1) 내의 클램프 회로(510) 및 전류 판단 회로(520)는 제1 및 제2 레귤레이터(511 및 521)에 의해 레귤레이팅된 코어 전압(VCORE) 및 다운 컨버팅 전압(VDC_PB)이 인가된다.
- [0046] 2)비트라인 프리 차지 동작
- [0047] 페이지 버퍼(PB1)의 비트라인 연결부(540)는 비트라인 연결 신호(PB_SENSE)에 응답하여 턴온되고, 비트라인(BL1)과 제어 노드(C_CS0)를 연결한다. 페이지 버퍼(PB1)의 클램프 회로(510)는 로우 레벨의 프리 센싱 신호(PRESEN_N) 및 하이 레벨의 제어 노드 연결 신호(CSOC)에 응답하여 제1 레귤레이터(511)에 의해 레귤레이팅된 코어 전압(VCORE)을 제어 노드(C_CS0)를 통해 비트라인(BL1)으로 공급하여 비트라인(BL1)을 일정 레벨로 프리차지한다.
- [0049] 3)전류 센싱 동작
- [0050] 전압 생성부(300)는 리드 동작을 위한 리드 전압(Vread) 및 패스 전압(Vpass)을 생성하여 출력하고, 로우 디코더(200)는 로우 어드레스(RADD)에 응답하여 리드 전압(Vread) 및 패스 전압(Vpass)을 선택된 메모리 블록의 선택된 워드라인 및 비 선택된 워드라인들에 인가한다.
- [0051] 선택된 메모리 셀이 연결된 선택된 워드라인에 리드 전압이 인가되면, 선택된 메모리 셀의 프로그램 상태에 따라 프리차지된 비트라인(BL1)을 흐르는 전류가 달라질 수 있다. 예를 들어, 선택된 메모리 셀의 문턱전압이 리드 전압보다 낮으면, 메모리 셀에 채널(channel)이 형성되므로, 비트라인(BL1)의 전위가 낮아지면서 전류량이 증가한다. 만약, 선택된 메모리 셀의 문턱전압이 리드 전압보다 높으면, 메모리 셀에 채널이 형성되지 않으므로, 비트라인(BL1)의 전위가 유지되고 전류는 발생하지 않는다. 이처럼, 선택된 메모리 셀의 상태에 따라 비트라인(BL1)을 흐르는 전류는 제1 기준전류보다 낮거나 높아질 수 있다.
- [0052] 제2 제어 신호(XX0)가 인가되어 NMOS 트랜지스터(N3)가 턴온되면, 비트라인(BL1)을 흐르는 전류는 제어 노드(C_CS0) 및 센싱 노드(C_SEN)에 반영되어, 센싱 노드(C_SEN)의 전위 레벨이 프리차지 레벨을 유지하거나 로우 레벨로 디스차지되고, 이로 인하여 PMOS 트랜지스터(P3)가 턴온 또는 턴오프될 수 있다. 래치 회로(530)는 PMOS 트랜지스터(P3)의 턴온 또는 턴오프 동작에 따라 제1 노드(QS)가 로우 레벨인 초기화 상태를 유지하거나 제1 노드(QS)가 하이 레벨인 상태로 변화되어 센싱 데이터를 래치한다.

- [0054] 도 3은 본 발명의 다른 실시예에 따른 페이지 버퍼를 설명하기 위한 도면이다.
- [0055] 도 3을 참조하면, 페이지 버퍼(PB1)는 클램프 회로(610), 전류 판단 회로(620), 래치 회로(630), 비트라인 연결부(640)를 포함한다.
- [0056] 클램프 회로(610)는 PMOS 트랜지스터(P11), 및 NMOS 트랜지스터(N12, N13, N14)를 포함할 수 있다. PMOS 트랜지스터(P11) 및 NMOS 트랜지스터(N14)는 코어 전압(VCORE) 단자와 제어 노드(C_CS0)사이 에 직렬 연결된다. PMOS 트랜지스터(P11)는 프리 센싱 신호(PRESEN_N) 에 응답하여 턴온되고 NMOS 트랜지스터(N14)는 제어 노드 연결 신호(CSOC)에 응답하여 턴온되며, 이로 인하여 코어 전압(VCORE)이 제어 노드(C_CS0)에 공급된다. NMOS 트랜지스터(N12, N13)는 PMOS 트랜지스터(P11)와 제어 노드(C_CS0) 사이에 직렬 연결되며, NMOS 트랜지스터(N12)와 NMOS 트랜지스터(N13) 사이의 노드는 센싱 노드(C_SEN)로 정의된다. NMOS 트랜지스터(N12)는 제1 제어 신호(HH0)에 응답하여 턴온되어 코어 전압(VCORE)을 이용하여 센싱 노드(C_SEN)를 프리차지한다. NMOS 트랜지스터(N13)는 제2 제어 신호(XX0)에 응답하여 턴온되어 제어 노드(C_CS0)와 센싱 노드(C_SEN)를 전기적으로 연결한다.
- [0058] 전류 판단 회로(620)는 제1 레귤레이터(621) 및 PMOS 트랜지스터(P12)를 포함할 수 있다. 제1 레귤레이터(621)는 다운 컨버팅 전압(VDC_PB) 단자와 PMOS 트랜지스터(P12) 사이에 연결되며, 제1 레귤레이팅 신호(CS_A)에 응답하여 내부 전원들 중 다운 컨버팅 전압(VDC_PB)을 일정한 전위 레벨로 레귤레이팅하여 출력한다. 제1 레귤레이터(621)는 NMOS 트랜지스터(N15)로 구성될 수 있다. PMOS 트랜지스터(P12)는 제1 레귤레이터(621)와 래치 회로(630)의 제1 노드(QS) 사이에 직렬 연결된다. PMOS 트랜지스터(P12)는 센싱 노드(C_SEN)의 전위에 응답하여 제1 노드(QS)에 인가되는 레귤레이팅된 다운 컨버팅 전압(VDC_PB)의 전류량을 조절한다.
- [0060] 래치 회로(630)는 전류 판단 회로(620)와 연결된 제1 노드(QS)와 제2 노드(QS_N) 사이에 역방향 병렬 연결된 인버터(IV11 및 IV22)를 포함한다. 래치 회로(630)는 제1 노드(QS)에 인가되는 전류량에 대응하는 데이터를 센싱 데이터로 하여 저장한다.
- [0062] 비트라인 연결부(640)는 복수의 메모리 셀들이 연결된 비트라인(BL1)과 제어 노드(C_CS0)사이 에 연결되며, 비트라인 연결 신호(PB_SENSE)에 응답하여 비트라인(BL1)과 제어 노드(C_CS0)를 전기적으로 연결한다. 비트라인 연결부(640)는 NMOS 트랜지스터(N11)로 구성될 수 있다.
- [0064] 제1 페이지 버퍼(PB1)의 리드 동작을 설명하면 다음과 같다.
- [0065] 1)레귤레이팅 동작
- [0066] 비트라인(BL1)과 연결된 페이지 버퍼(PB1)는 리드 동작을 위해 코어 전압(VCORE) 및 다운 컨버팅 전압(VDC_PB)이 인가된다. 페이지 버퍼(PB1) 내의 제1 레귤레이터(621)는 다운 컨버팅 전압(VDC_PB)의 최소값과 제1 레귤레이터(621)의 설정값의 합과 같거나, 상기 합보다 낮은 값의 전위 레벨을 갖는 제1 레귤레이팅 신호(CS_A)에 응답하여 다운 컨버팅 전압(VDC_PB)이 일정한 레벨을 갖도록 레귤레이팅한다. 제1 레귤레이터(621)의 설정값은 제1 레귤레이터(621)를 구성하는 NMOS 트랜지스터(N15)의 문턱 전압 값일 수 있다.
- [0067] 이로 인해 페이지 버퍼(PB1) 내의 전류 판단 회로(620)는 제1 레귤레이터(621)에 의해 레귤레이팅된 다운 컨버팅 전압(VDC_PB)이 인가된다.
- [0069] 2)비트라인 프리 차지 동작
- [0070] 페이지 버퍼(PB1)의 비트라인 연결부(640)는 비트라인 연결 신호(PB_SENSE)에 응답하여 턴온되고, 비트라인(BL1)과 제어 노드(C_CS0)를 연결한다. 페이지 버퍼(PB1)의 클램프 회로(610)는 로우 레벨의 프리 센싱 신호(PRESEN_N) 및 하이 레벨의 제어 노드 연결 신호(CSOC)에 응답하여 코어 전압(VCORE)을 제어 노드(C_CS0)를 통해 비트라인(BL1)으로 공급하여 비트라인(BL1)을 일정 레벨로 프리차지한다.
- [0072] 3)전류 센싱 동작
- [0073] 전압 생성부(300)는 리드 동작을 위한 리드 전압(Vread) 및 패스 전압(Vpass)을 생성하여 출력하고, 로우 디코더(200)는 로우 어드레스(RADD)에 응답하여 리드 전압(Vread) 및 패스 전압(Vpass)을 선택된 메모리 블록의 선택된 워드라인 및 비 선택된 워드라인들에 인가한다.
- [0074] 선택된 메모리 셀이 연결된 선택된 워드라인에 리드 전압이 인가되면, 선택된 메모리 셀의 프로그램 상태에 따라 프리차지된 비트라인(BL1)을 흐르는 전류가 달라질 수 있다. 예를 들어, 선택된 메모리 셀의 문턱전압이 리드 전압보다 낮으면, 메모리 셀에 채널(channel)이 형성되므로, 비트라인(BL1)의 전위가 낮아지면서 전류량이 증가한다. 만약, 선택된 메모리 셀의 문턱전압이 리드 전압보다 높으면, 메모리 셀에 채널이 형성되지

않으므로, 비트라인(BL1)의 전위가 유지되고 전류는 발생하지 않는다. 이처럼, 선택된 메모리 셀의 상태에 따라 비트라인(BL1)을 흐르는 전류는 제1 기준전류보다 낮거나 높아질 수 있다.

- [0075] 제2 제어 신호(XX0)가 인가되어 NMOS 트랜지스터(N13)가 턴온되면, 비트라인(BL1)을 흐르는 전류는 제어 노드(C_CS0) 및 센싱 노드(C_SEN)에 반영되어, 센싱 노드(C_SEN)의 전위 레벨이 프리차지 레벨을 유지하거나 로우 레벨로 디스차지되고, 이로 인하여 PMOS 트랜지스터(P12)가 턴온 또는 턴오프될 수 있다. 센싱 노드(C_SEN)의 전위 레벨에 응답한 PMOS 트랜지스터(P12)는 제1 노드(QS)에 인가되는 레귤레이팅된 다운 컨버팅 전압(VDC_PB)의 전류량을 조절할 수 있다.
- [0076] 래치 회로(630)는 PMOS 트랜지스터(P12)의 턴온 또는 턴오프 동작에 따라 제1 노드(QS)가 로우 레벨인 초기화 상태를 유지하거나 제1 노드(QS)가 하이 레벨인 상태로 변화되어 센싱 데이터를 래치한다.
- [0078] 도 4는 본 발명의 또 다른 실시예에 따른 페이지 버퍼를 설명하기 위한 도면이다.
- [0079] 도 4를 참조하면, 페이지 버퍼(PB1)는 클램프 회로(710), 전류 판단 회로(720), 래치 회로(730), 비트라인 연결부(740)를 포함한다.
- [0080] 클램프 회로(710)는 PMOS 트랜지스터(P21), 레귤레이팅 신호 공급부(711) 및 NMOS 트랜지스터(N23)를 포함할 수 있다. PMOS 트랜지스터(P21)는 코어 전압(VCORE) 단자와 레귤레이팅 신호 공급부(711) 사이에 연결되고, PMOS 트랜지스터(P21)는 프리 센싱 신호(PRESEN_N)에 응답하여 턴온되어 코어 전압(VCORE)이 레귤레이팅 신호 공급부(711)에 공급된다. 레귤레이팅 신호 공급부(711)는 NMOS 트랜지스터(N22, N24)를 포함할 수 있다. NMOS 트랜지스터(N22)는 PMOS 트랜지스터(P21)와 센싱 노드(C_SEN)사이에 연결되며, 제2 레귤레이팅 신호(CS_B)에 응답하여 턴온되고, 레귤레이팅된 코어 전압(VCORE)이 센싱 노드(C_SEN)에 공급된다. NMOS 트랜지스터(N24)는 PMOS 트랜지스터(P21)와 제어 노드(C_CS0)사이에 연결되며, 제1 레귤레이팅 신호(CS_A)에 응답하여 턴온되고, 레귤레이팅된 코어 전압(VCORE)이 제어 노드(C_CS0)에 공급된다. NMOS 트랜지스터(N23)는 제2 제어 신호(XX0)에 응답하여 턴온되고, 이로 인하여 NMOS 트랜지스터(N22)와 NMOS 트랜지스터(N23) 사이의 센싱 노드(C_SEN)가 제어 노드(C_CS0)와 전기적으로 연결된다.
- [0082] 전류 판단 회로(720)는 PMOS 트랜지스터(P22, P23)를 포함할 수 있다. PMOS 트랜지스터(P22, P23)는 다운 컨버팅 전압(VDC_PB) 단자와 래치 회로(530)의 제1 노드(QS) 사이에 직렬 연결된다. PMOS 트랜지스터(P22)는 센싱 신호(SEN_PMOS)신호에 응답하여 턴온되고, PMOS 트랜지스터(P23)는 센싱 노드(C_SEN)의 전위에 응답하여 제1 노드(QS)에 인가되는 다운 컨버팅 전압(VDC_PB)의 전류량을 조절한다.
- [0084] 래치 회로(730)는 전류 판단 회로(720)와 연결된 제1 노드(QS)와 제2 노드(QS_N) 사이에 역방향 병렬 연결된 인버터(IV21 및 IV22)를 포함한다. 래치 회로(730)는 제1 노드(QS)에 인가되는 전류량에 대응하는 데이터를 센싱 데이터로 하여 저장한다.
- [0086] 비트라인 연결부(740)는 복수의 메모리 셀들이 연결된 비트라인(BL1)과 제어 노드(C_CS0)사이에 연결되며, 비트라인 연결 신호(PB_SENSE)에 응답하여 비트라인(BL1)과 제어 노드(C_CS0)를 전기적으로 연결한다. 비트라인 연결부(740)는 NMOS 트랜지스터(N21)로 구성될 수 있다.
- [0088] 제1 페이지 버퍼(PB1)의 리드 동작을 설명하면 다음과 같다.
- [0089] 1)레귤레이팅 동작
- [0090] 비트라인(BL1)과 연결된 페이지 버퍼(PB1)는 리드 동작을 위해 코어 전압(VCORE) 및 다운 컨버팅 전압(VDC_PB)이 인가된다. 페이지 버퍼(PB1) 내의 NMOS 트랜지스터(N24)는 코어 전압(VCORE)의 최소값과 NMOS 트랜지스터(N24)의 설정값의 합과 같거나, 상기 합보다 낮은 값의 전위 레벨을 갖는 제1 레귤레이팅 신호(CS_A)에 응답하여 코어 전압(VCORE)이 일정한 레벨을 갖도록 레귤레이팅한다. NMOS 트랜지스터(N24)의 설정값은 NMOS 트랜지스터(N24)의 문턱 전압 값일 수 있다. NMOS 트랜지스터(N22)는 코어 전압(VCORE)의 최소값과 NMOS 트랜지스터(N22)의 설정값의 합과 같거나, 상기 합보다 낮은 값의 전위 레벨을 갖는 제2 레귤레이팅 신호(CS_B)에 응답하여 코어 전압(VCORE)이 일정한 레벨을 갖도록 레귤레이팅한다. NMOS 트랜지스터(N22)의 설정값은 NMOS 트랜지스터(N22)의 문턱 전압 값일 수 있다. 이로 인해 페이지 버퍼(PB1) 내의 클램프 회로(710)는 레귤레이팅 신호 공급부(711)의 NMOS 트랜지스터(N22, N24)에 의해 레귤레이팅된 코어 전압(VCORE)이 인가된다.
- [0092] 2)비트라인 프리 차지 동작
- [0093] 페이지 버퍼(PB1)의 비트라인 연결부(740)는 비트라인 연결 신호(PB_SENSE)에 응답하여 턴온되고, 비트라인

(BL1)과 제어 노드(C_CS0)를 연결한다. 페이지 버퍼(PB1)의 클램프 회로(710)는 로우 레벨의 프리 센싱 신호(PRESEN_N) 및 하이 레벨의 제어 노드 연결 신호(CSOC)에 응답하여 NMOS 트랜지스터(N24)에 의해 레귤레이팅된 코어 전압(VCORE)을 제어 노드(C_CS0)를 통해 비트라인(BL1)으로 공급하여 비트라인(BL1)을 일정 레벨로 프리차지한다.

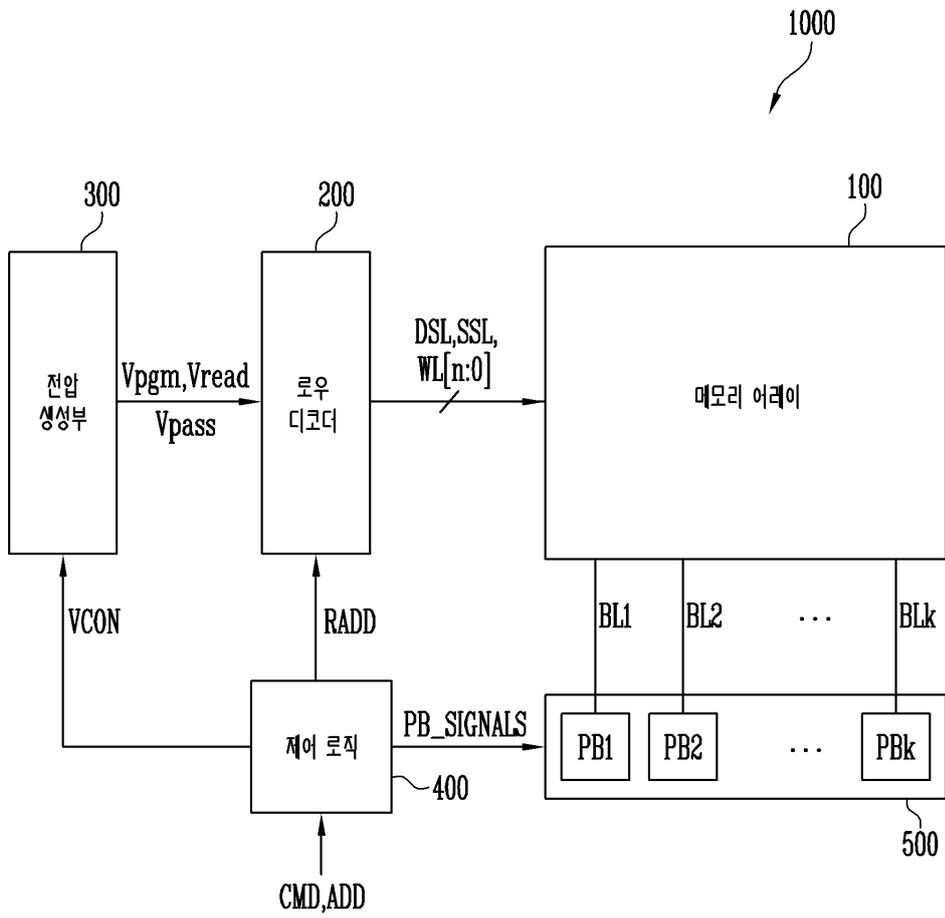
- [0095] 3)전류 센싱 동작
- [0096] 전압 생성부(300)는 리드 동작을 위한 리드 전압(Vread) 및 패스 전압(Vpass)을 생성하여 출력하고, 로우 디코더(200)는 로우 어드레스(RADD)에 응답하여 리드 전압(Vread) 및 패스 전압(Vpass)을 선택된 메모리 블록의 선택된 워드라인 및 비 선택된 워드라인들에 인가한다.
- [0097] 선택된 메모리 셀이 연결된 선택된 워드라인에 리드 전압이 인가되면, 선택된 메모리 셀의 프로그램 상태에 따라 프리차지된 비트라인(BL1)을 흐르는 전류가 달라질 수 있다. 예를 들어, 선택된 메모리 셀의 문턱전압이 리드 전압보다 낮으면, 메모리 셀에 채널(channel)이 형성되므로, 비트라인(BL1)의 전위가 낮아지면서 전류량이 증가한다. 만약, 선택된 메모리 셀의 문턱전압이 리드 전압보다 높으면, 메모리 셀에 채널이 형성되지 않으므로, 비트라인(BL1)의 전위가 유지되고 전류는 발생하지 않는다. 이처럼, 선택된 메모리 셀의 상태에 따라 비트라인(BL1)을 흐르는 전류는 제1 기준전류보다 낮거나 높아질 수 있다.
- [0098] 제2 제어 신호(XX0)가 인가되어 NMOS 트랜지스터(N23)가 턴온되면, 비트라인(BL1)을 흐르는 전류는 제어 노드(C_CS0) 및 센싱 노드(C_SEN)에 반영되어, 센싱 노드(C_SEN)의 전위 레벨이 프리차지 레벨을 유지하거나 로우 레벨로 디스차지되고, 이로 인하여 PMOS 트랜지스터(P23)가 턴온 또는 턴오프될 수 있다. 래치 회로(530)는 PMOS 트랜지스터(P23)의 턴온 또는 턴오프 동작에 따라 제1 노드(QS)가 로우 레벨인 초기화 상태를 유지하거나 제1 노드(QS)가 하이 레벨인 상태로 변화되어 센싱 데이터를 래치한다.
- [0100] 도 5는 본 발명의 실시 예에 따른 페이지 버퍼에 공급되는 내부 전원과 레귤레이팅 신호의 전위 레벨 및 레귤레이팅된 전압을 나타내는 도면이다.
- [0101] 도 2 및 도 5를 참조하면, 페이지 버퍼(PB1)내부로 인가되는 코어 전압(VCORE) 및 다운 컨버팅 전압(VDC_PB)은 시간(t)이 지나면서 처음 상승하다가 일정 시간이 지나면, 인가되는 코어 전압(VCORE) 및 다운 컨버팅 전압(VDC_PB)이 최대값과 최소값이 반복이 되면서 전위가 높아지거나 낮아진다. 페이지 버퍼(PB1) 내부의 클램프 회로(510)는 일정한 코어 전압(VCORE) 및 다운 컨버팅 전압(VDC_PB)을 공급하기 위해 제1 레귤레이터(511)가 포함된다. 제1 레귤레이터(511)는 코어 전압(VCORE)의 최소값과 제1 레귤레이터의 설정값의 합과 같거나, 상기 합보다 낮은 값의 전위 레벨을 갖는 제1 레귤레이팅 신호(CS_A)가 인가된다. 또한, 전류 판단 회로(520)는 일정한 전압을 공급하기 위해 제2 레귤레이터(521)가 포함된다. 제2 레귤레이터(521)는 다운 컨버팅 전압(VDC_PB)의 최소값과 제2 레귤레이터의 설정값의 합과 같거나, 상기 합보다 낮은 값의 전위 레벨을 갖는 제2 레귤레이팅 신호(CS_B)가 인가된다. 따라서 제1 레귤레이터(511) 및 제2 레귤레이터(521)를 통과한 코어 전압(VCORE) 및 다운 컨버팅 전압(VDC_PB)은 레귤레이션 되어 코어 전압(VCORE) 및 다운 컨버팅 전압(VDC_PB)의 최소값으로 일정한 전위 레벨을 갖는 직류 전압(VDC)을 출력할 수 있다.
- [0103] 도 6은 도 1의 반도체 메모리 장치를 포함하는 메모리 시스템을 보여주는 블럭도이다.
- [0104] 도 6을 참조하면, 메모리 시스템(10000)은 반도체 메모리 장치(1000) 및 컨트롤러(11000)를 포함한다.
- [0105] 반도체 메모리 장치(1000)는 도 1을 참조하여 설명된 반도체 메모리 장치와 동일하며 이하, 중복되는 설명은 생략된다.
- [0107] 컨트롤러(11000)는 호스트(Host) 및 반도체 메모리 장치(1000)에 연결된다. 호스트(Host)로부터의 요청에 응답하여, 컨트롤러(11000)는 반도체 메모리 장치(1000)를 액세스하도록 구성된다. 예를 들면, 컨트롤러(11000)는 반도체 메모리 장치(1000)의 읽기, 쓰기, 소거, 그리고 배경(background) 동작을 제어하도록 구성된다. 컨트롤러(11000)는 반도체 메모리 장치(1000) 및 호스트(Host) 사이에 인터페이스를 제공하도록 구성된다.
- [0109] 컨트롤러(11000)는 반도체 메모리 장치(1000)를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다. 컨트롤러(11000)는 램(11100, Random Access Memory), 프로세싱 유닛(11200, processing unit), 호스트 인터페이스(11300, host interface), 메모리 인터페이스(11400, memory interface) 및 에러 정정 블록(11500)을 포함한다. 램(11100)은 프로세싱 유닛(11200)의 동작 메모리, 반도체 메모리 장치(1000) 및 호스트(Host) 사이의 캐시 메모리, 그리고 반도체 메모리 장치(1000) 및 호스트(Host) 사이의 버퍼 메모리 중 적어도 하나로서 이용된다. 프로세싱 유닛(11200)은 컨트롤러(11000)의 제반 동작을 제어한다. 또한 컨트롤러(11000)는 쓰기 동작

시 호스트(Host)로 부터 제공되는 프로그램 데이터를 임시 저장할 수 있다.

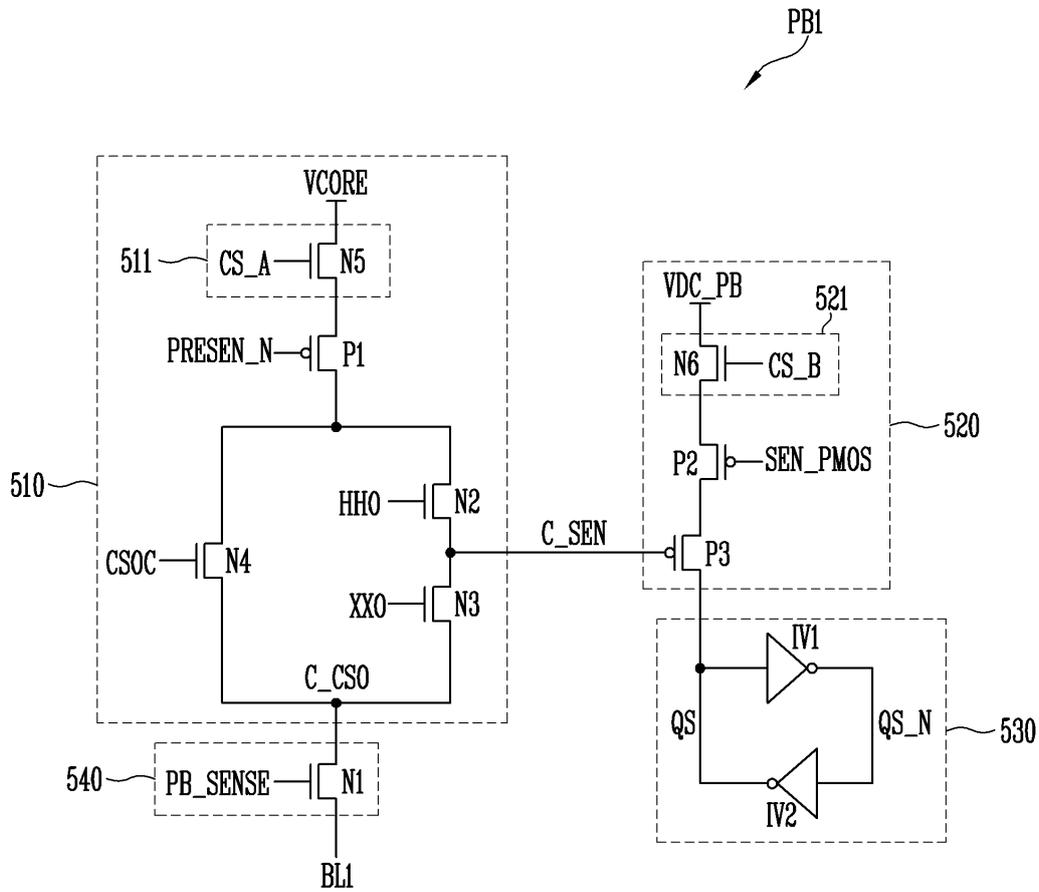
- [0111] 호스트 인터페이스(11300)는 호스트(Host) 및 컨트롤러(11000) 사이의 데이터 교환을 수행하기 위한 프로토콜을 포함한다. 예시적인 실시 예로서, 컨트롤러(11000)는 USB (Universal Serial Bus) 프로토콜, MMC (multimedia card) 프로토콜, PCI (peripheral component interconnection) 프로토콜, PCI-E (PCI-express) 프로토콜, ATA (Advanced Technology Attachment) 프로토콜, Serial-ATA 프로토콜, Parallel-ATA 프로토콜, SCSI (small computer small interface) 프로토콜, ESDI (enhanced small disk interface) 프로토콜, 그리고 IDE (Integrated Drive Electronics) 프로토콜, 사유(private) 프로토콜 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 호스트(Host)와 통신하도록 구성된다.
- [0113] 메모리 인터페이스(11400)는 반도체 메모리 장치(1000)와 인터페이싱한다. 예를 들면, 메모리 인터페이스는 낸드 인터페이스 또는 노어 인터페이스를 포함한다.
- [0115] 에러 정정 블록(11500)은 에러 정정 코드(ECC, Error Correcting Code)를 이용하여 반도체 메모리 장치(1000)로부터 수신된 데이터의 에러를 검출하고, 정정하도록 구성된다. 프로세싱 유닛(11200)은 에러 정정 블록(11500)의 에러 검출 결과에 따라 읽기 전압을 조절하고, 재 읽기를 수행하도록 반도체 메모리 장치(1000)를 제어할 것이다. 예시적인 실시 예로서, 에러 정정 블록은 컨트롤러(11000)의 구성 요소로서 제공될 수 있다.
- [0117] 컨트롤러(11000) 및 반도체 메모리 장치(1000)는 하나의 반도체 장치로 집적될 수 있다. 예시적인 실시 예로서, 컨트롤러(11000) 및 반도체 메모리 장치(1000)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 컨트롤러(11000) 및 반도체 메모리 장치(1000)는 하나의 반도체 장치로 집적되어 PC 카드 (PCMCIA, personal computer memory card international association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro), SD 카드(SD, miniSD, microSD, SDHC), 유니버설 플래시 기억장치(UFS) 등과 같은 메모리 카드를 구성할 것이다.
- [0119] 컨트롤러(11000) 및 반도체 메모리 장치(1000)는 하나의 반도체 장치로 집적되어 반도체 드라이브(SSD, Solid State Drive)를 구성할 수 있다. 반도체 드라이브(SSD)는 반도체 메모리에 데이터를 저장하도록 구성되는 저장 장치를 포함한다. 메모리 시스템(10000)이 반도체 드라이브(SSD)로 이용되는 경우, 메모리 시스템(10000)에 연결된 호스트(Host)의 동작 속도는 획기적으로 개선된다.
- [0121] 다른 예로서, 메모리 시스템(10000)은 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA (Personal Digital Assistants), 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), e-북(e-book), PMP(portable multimedia player), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙박스(black box), 디지털 카메라(digital camera), 3차원 수상기(3-dimensional television), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크를 구성하는 다양한 전자 장치들 중 하나, 텔레매틱스 네트워크를 구성하는 다양한 전자 장치들 중 하나, RFID 장치, 또는 컴퓨팅 시스템을 구성하는 다양한 구성 요소들 중 하나 등과 같은 전자 장치의 다양한 구성 요소들 중 하나로 제공된다.
- [0123] 예시적인 실시 예로서, 반도체 메모리 장치(1000) 또는 메모리 시스템(10000)은 다양한 형태들의 패키지로 실장될 수 있다. 예를 들면, 반도체 메모리 장치(1000) 또는 메모리 시스템(10000)은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지화되어 실장될 수 있다.
- [0125] 도 7은 도 6의 메모리 시스템의 응용 예를 보여주는 블럭도이다.
- [0126] 도 7을 참조하면, 메모리 시스템(20000)은 반도체 메모리 장치(21000) 및 컨트롤러(22000)를 포함한다. 반도체 메모리 장치(21000)는 복수의 반도체 메모리 칩들을 포함한다. 복수의 반도체 메모리 칩들은 복수의 그룹들로 분할된다.

도면

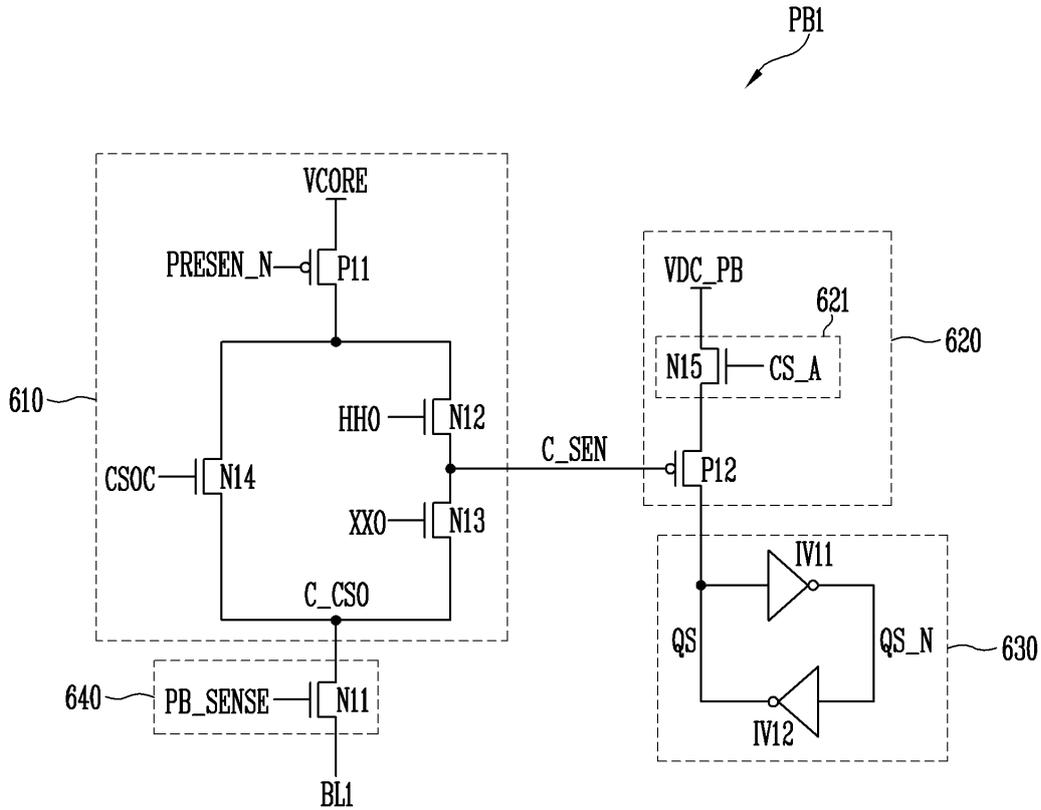
도면1



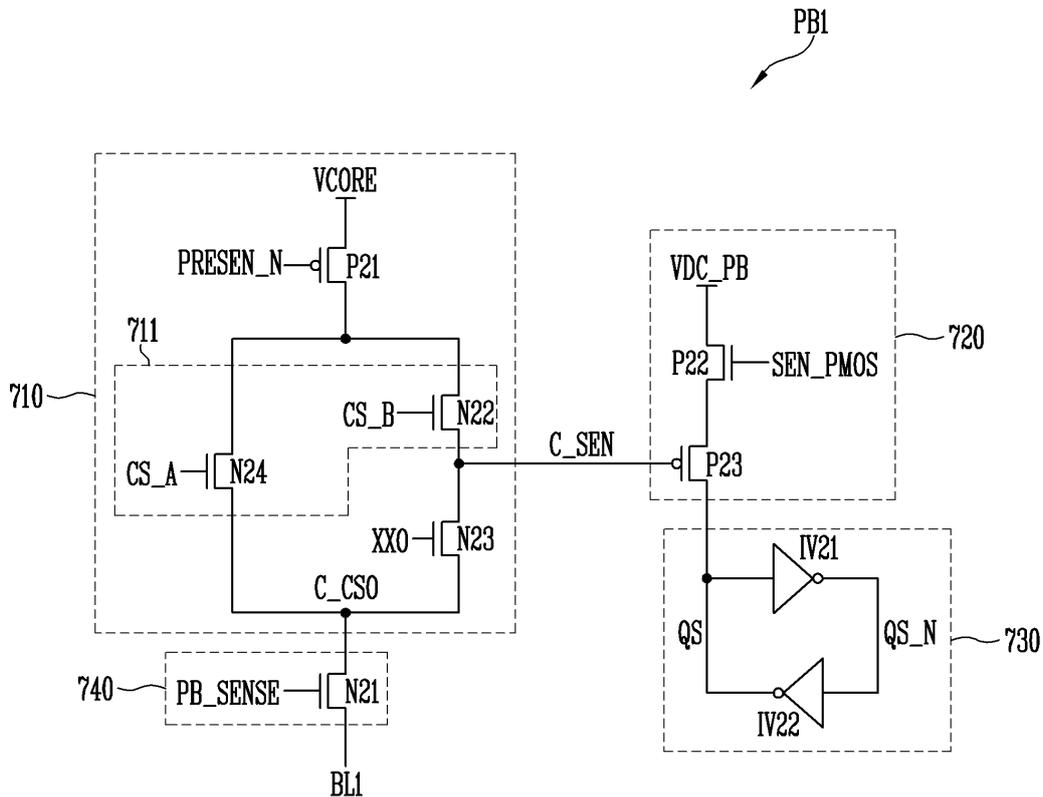
도면2



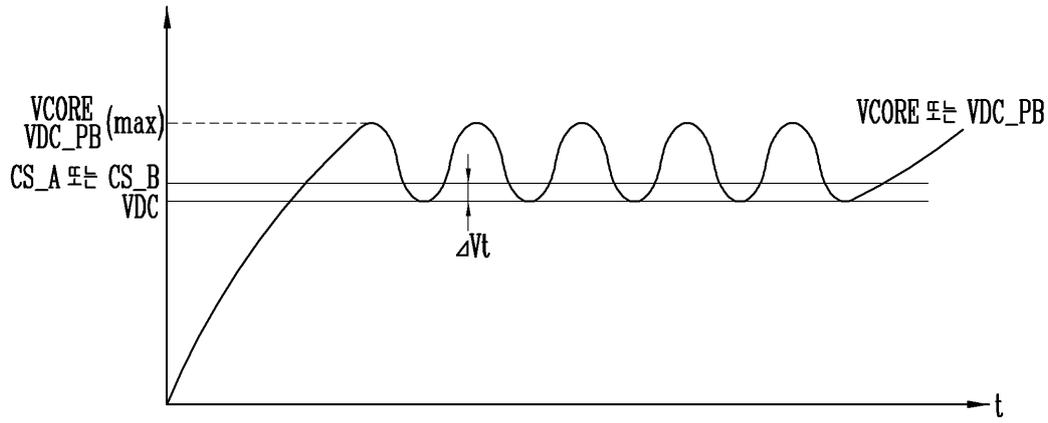
도면3



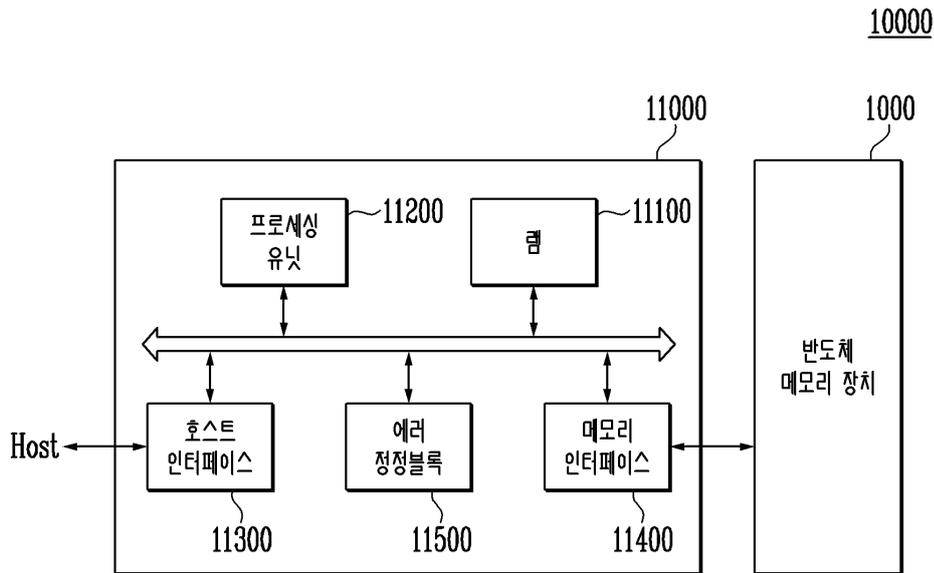
도면4



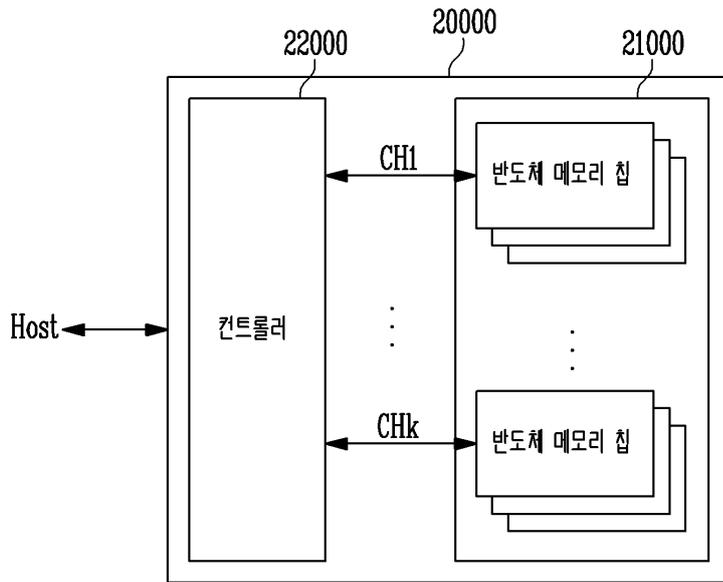
도면5



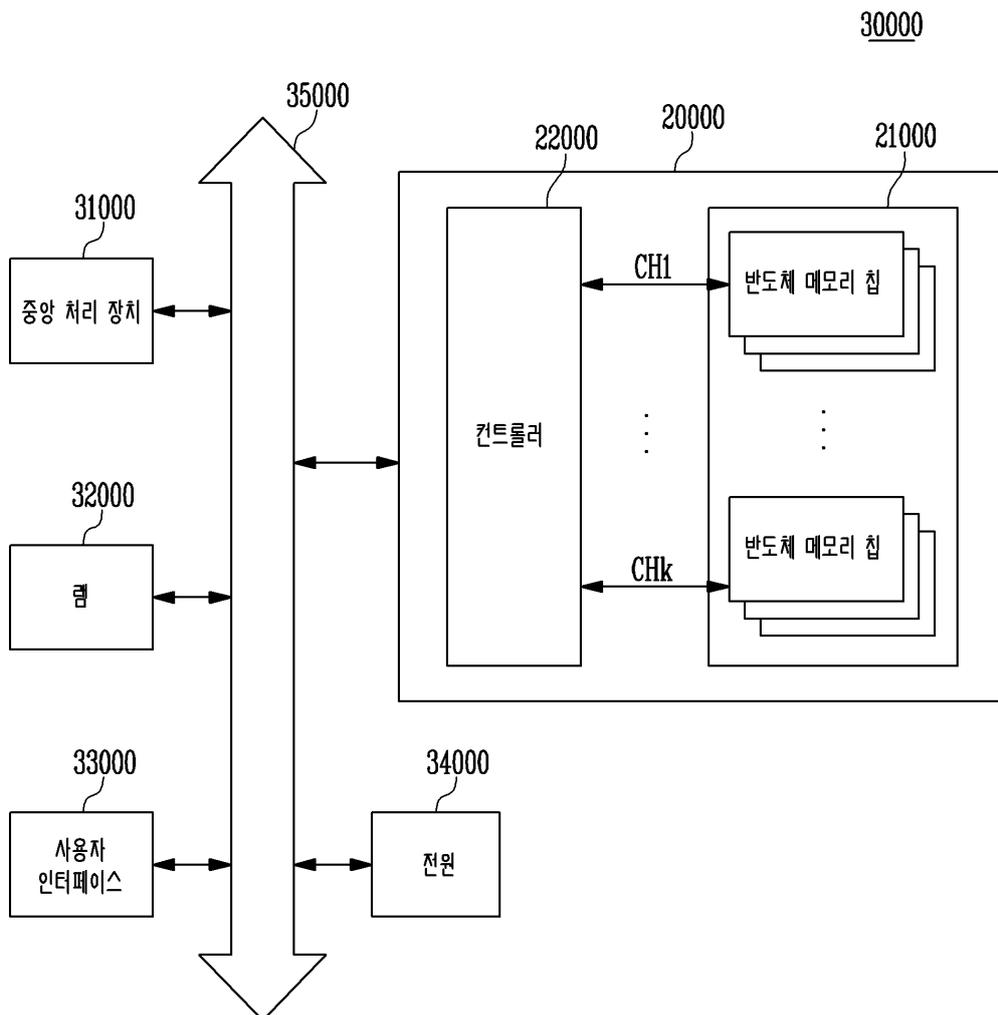
도면6



도면7



도면8



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 12

【변경전】

제 11 항에 있어서, 상기 클램프 회로는

제1 레귤레이팅 신호에 의해 상기 내부 전원을 일정한 전위 레벨을 갖는 제1 공급 전압으로 레귤레이팅하고, 상기 제1 공급 전압을 이용하여 상기 비트라인을 프리차지하기 위한 제1 스위칭부;

제2 레귤레이팅 신호에 의해 상기 내부 전원 일정한 전위 레벨을 갖는 제2 공급 전압으로 레귤레이팅하고, 상기 제2 공급 전압을 이용하여 상기 센싱 노드를 프리차지하기 위한 제2 스위칭부; 및

상기 비트라인과 상기 센싱 노드를 연결하기 위한 제3 스위칭부를 포함하는 페이지 버퍼.

【변경후】

제 11 항에 있어서, 상기 클램프 회로는

제1 레귤레이팅 신호에 의해 상기 내부 전원을 일정한 전위 레벨을 갖는 제1 공급 전압으로 레귤레이팅하고, 상기 제1 공급 전압을 이용하여 상기 비트라인을 프리차지하기 위한 제1 스위칭부;

제2 레귤레이팅 신호에 의해 상기 내부 전원을 일정한 전위 레벨을 갖는 제2 공급 전압으로 레귤레이팅하고, 상기 제2 공급 전압을 이용하여 상기 센싱 노드를 프리차지하기 위한 제2 스위칭부; 및

상기 비트라인과 상기 센싱 노드를 연결하기 위한 제3 스위칭부를 포함하는 페이지 버퍼.