

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-39299  
(P2012-39299A)

(43) 公開日 平成24年2月23日(2012.2.23)

(51) Int.Cl.  
H04N 5/378 (2011.01)

F I  
H04N 5/335 780

テーマコード(参考)  
5C024

審査請求 未請求 請求項の数 9 O L (全 8 頁)

(21) 出願番号 特願2010-176368 (P2010-176368)  
(22) 出願日 平成22年8月5日(2010.8.5)

(71) 出願人 000003078  
株式会社東芝  
東京都港区芝浦一丁目1番1号  
(74) 代理人 100089118  
弁理士 酒井 宏明  
(72) 発明者 川田 英正  
東京都港区芝浦一丁目1番1号 株式会社  
東芝内  
Fターム(参考) 5C024 CY44 EX03 GX03 GY31 HX23  
HX29

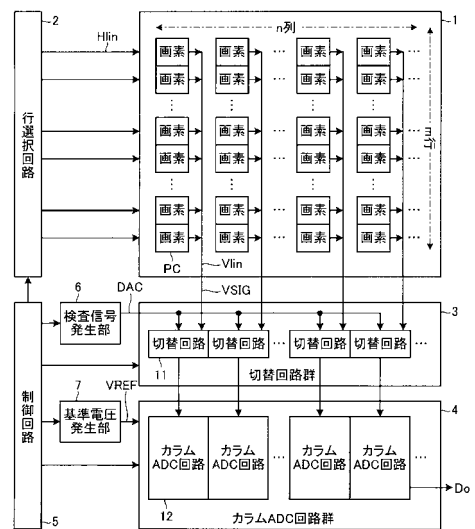
(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 カラムADC回路の直線性を安定して評価することが可能な固体撮像装置を提供する。

【解決手段】 光電変換された画素信号V S I Gを出力する画素P Cと、画素P Cから出力された画素信号V S I Gをデジタル値に変換するカラムADC回路1 2と、カラムADC回路1 2を検査する検査信号D A Cを発生する検査信号発生部6と、画素P Cから出力された画素信号V S I Gと、検査信号発生部6にて発生された検査信号D A Cとを切り替えてカラムADC回路1 2に入力する切替回路1 1とを備える。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

光電変換された画素信号を出力する画素と、  
前記画素から出力された画素信号をデジタル値に変換する A D C 回路と、  
前記 A D C 回路を検査する検査信号を発生する検査信号発生部と、  
前記画素から出力された画素信号と、前記検査信号発生部にて発生された検査信号とを切り替えて前記 A D C 回路に入力する切替回路とを備えることを特徴とする固体撮像装置。

## 【請求項 2】

前記切替回路は、前記画素を介して撮像を行う時は前記画素信号に切り替え、前記 A D C 回路の検査を行う時は前記検査信号に切り替えることを特徴とする請求項 1 に記載の固体撮像装置。

10

## 【請求項 3】

前記切替回路にて前記画素信号に切り替えられた時は前記画素信号の出力タイミングに基づいて前記 A D C 回路を動作させ、前記切替回路にて前記検査信号に切り替えられた時は前記検査信号の出力タイミングに基づいて前記 A D C 回路を動作させる制御回路をさらに備えることを特徴とする請求項 2 に記載の固体撮像装置。

## 【請求項 4】

前記 A D C 回路の動作時に前記画素信号および前記検査信号と比較される基準電圧を発生する基準電圧発生部をさらに備えることを特徴とする請求項 3 に記載の固体撮像装置。

20

## 【請求項 5】

前記検査信号発生部は、前記画素からの信号レベルの読み出しタイミングに同期して前記検査信号をリセットレベルから信号レベルに移行させることを特徴とする請求項 1 から 4 のいずれか 1 項に記載の固体撮像装置。

## 【請求項 6】

前記検査信号の電圧出力範囲は、前記画素信号の電圧出力範囲よりも大きいことを特徴とする請求項 1 から 5 のいずれか 1 項に記載の固体撮像装置。

## 【請求項 7】

前記検査信号発生部は、水平同期信号に同期して各行ごとに一定値ずつ出力電圧を異ならせることを特徴とする請求項 1 から 5 のいずれか 1 項に記載の固体撮像装置。

30

## 【請求項 8】

前記検査信号発生部は、垂直同期信号に同期して出力電圧を初期化することを特徴とする請求項 7 に記載の固体撮像装置。

## 【請求項 9】

前記検査信号発生部は、各行ごとの出力電圧の変化量が可変であることを特徴とする請求項 8 に記載の固体撮像装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明の実施形態は固体撮像装置に関する。

40

## 【背景技術】

## 【0002】

C M O S イメージセンサでは、画素から読み出された信号をカラムごとにデジタル変換するカラム A D C 回路を備えたものがある。C M O S イメージセンサの高画質化を図るには、このカラム A D C 回路の直線性を評価する必要がある、安定した評価手法が求められている。

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献 1】特開 2 0 1 0 - 4 1 5 2 0 号公報

50

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

本発明の一つの実施形態の目的は、カラムADC回路の直線性を安定して評価することが可能な固体撮像装置を提供することである。

## 【課題を解決するための手段】

## 【0005】

実施形態の固体撮像装置によれば、画素と、ADC回路と、検査信号発生部と、切替回路とが設けられている。画素は、光電変換された画素信号を出力する。ADC回路は、前記画素から出力された画素信号をデジタル値に変換する。検査信号発生部は、前記ADC回路を検査する検査信号を発生する。切替回路は、前記画素から出力された画素信号と、前記検査信号発生部にて発生された検査信号とを切り替えて前記ADC回路に入力する。

10

## 【図面の簡単な説明】

## 【0006】

【図1】図1は、第1実施形態に係る固体撮像装置の概略構成を示すブロック図である。

【図2】図2は、図1の固体撮像装置の詳細な構成例を示すブロック図である。

【図3】図3は、図1の固体撮像装置の各部の波形を示すタイミングチャートである。

【図4】図4は、第2実施形態に係る固体撮像装置に用いられる検査信号の波形を示すタイミングチャートである。

【図5】図5(a)は、図4の検査信号を用いた時に得られる1フレーム分の画像の一例を示す図、図5(b)は、図4の検査信号を用いた時の垂直方向の出力レベルの一例を示す図である。

20

## 【発明を実施するための形態】

## 【0007】

以下、実施形態に係る固体撮像装置について図面を参照しながら説明する。なお、これらの実施形態により本発明が限定されるものではない。

## 【0008】

(第1実施形態)

図1は、第1実施形態に係る固体撮像装置の概略構成を示すブロック図である。

図1において、この固体撮像装置には、光電変換した電荷を蓄積する画素PCがロウ方向およびカラム方向にマトリクス状に配置された画素アレイ部1、読み出し対象となる画素PCを垂直方向に選択する行選択回路2、各画素PCの信号成分をCDSにて検出しデジタル値に変換するカラムADC回路群4、カラムADC回路群4を検査する検査信号DACを発生する検査信号発生部6、画素PCから出力された画素信号VSI Gと検査信号発生部6にて発生された検査信号DACとを切り替えてカラムADC回路群4に入力する切替回路群3、カラムADC回路群4の動作時に画素信号VSI Gおよび検査信号DACと比較される基準電圧VREFを発生する基準電圧発生部7ならびに行選択回路2、切替回路群3、カラムADC回路群4、検査信号発生部6および基準電圧発生部7を制御する制御回路5が設けられている。

30

## 【0009】

なお、画素アレイ部1、行選択回路2、切替回路群3、カラムADC回路群4、制御回路5、検査信号発生部6および基準電圧発生部7は、同一の半導体チップに形成することができる。

40

## 【0010】

ここで、画素アレイ部1において、ロウ方向には画素PCの読み出し制御を行う水平制御線Hlinが設けられ、カラム方向には画素PCから読み出された信号を伝送する垂直信号線Vlinが設けられている。

## 【0011】

カラムADC回路群4には、カラムADC回路12がカラムごとに設けられ、各カラムADC回路12は、各画素PCの信号成分をCDSにてカラムごとに検出しデジタル値に

50

変換することができる。

【 0 0 1 2 】

切替回路群 3 には、切替回路 1 1 がカラムごとに設けられ、各切替回路 1 1 は、画素 P C から出力された画素信号 V S I G と検査信号発生部 6 にて発生された検査信号 D A C とをカラムごとに切り替えてカラム A D C 回路 1 2 に入力することができる。また、各切替回路 1 1 は、画素 P C を介して撮像を行う時は画素信号 V S I G に切り替え、各カラム A D C 回路 1 2 の検査を行う時は検査信号 D A C に切り替えることができる。

【 0 0 1 3 】

検査信号発生部 6 は、画素 P C からの信号レベルの読み出しタイミングに同期して検査信号 D A C をリセットレベルから信号レベルに移行させることができる。なお、検査信号発生部 6 は、検査信号 D A C の電圧出力範囲は、画素信号 V S I G の電圧出力範囲よりも大きくすることができる。

10

【 0 0 1 4 】

制御回路 5 は、切替回路 1 1 にて画素信号 V S I G に切り替えられた時は画素信号 V S I G の出力タイミングに基づいてカラム A D C 回路 1 2 を動作させ、切替回路 1 1 にて検査信号 D A C に切り替えられた時は検査信号 D A C の出力タイミングに基づいてカラム A D C 回路 1 2 を動作させることができる。

【 0 0 1 5 】

そして、画素 P C を介して撮像を行う時は、カラム A D C 回路 1 2 に画素信号 V S I G が入力されるように切替回路 1 1 にて切り替えられる。そして、行選択回路 2 にて画素 P C が垂直方向に走査されることで、ロウ方向の画素 P C が選択され、その画素 P C から読み出された画素信号 V S I G は垂直信号線 V l i n を介してカラム A D C 回路 1 2 に伝送される。

20

【 0 0 1 6 】

そして、カラム A D C 回路 1 2 において、リセット時および信号読み出し時の画素信号 V S I G が基準電圧 V R E F と比較されることで、各画素 P C の画素信号 V S I G からリセットレベルおよび信号読み出しレベルがサンプリングされる。そして、リセットレベルと信号読み出しレベルとの差分がとられることで各画素 P C の信号成分が C D S にて検出され、デジタル値に変換されることで、出力データ D o が生成される。

【 0 0 1 7 】

一方、カラム A D C 回路 1 2 の検査を行う時は、カラム A D C 回路 1 2 に検査信号 D A C が入力されるように切替回路 1 1 にて切り替えられる。

30

【 0 0 1 8 】

そして、カラム A D C 回路 1 2 において、画素 P C からの信号レベルの読み出しタイミングに同期して検査信号 D A C からリセットレベルおよび信号読み出しレベルがサンプリングされる。そして、リセットレベルと信号読み出しレベルとの差分がとられることで検査信号 D A C の信号レベルが C D S にて検出され、デジタル値に変換されることで、出力データ D o が生成される。

【 0 0 1 9 】

図 2 は、図 1 の固体撮像装置の詳細な構成例を示すブロック図である。

40

図 2 において、画素 P C には、フォトダイオード P D、行選択トランジスタ T a、増幅トランジスタ T b、リセットトランジスタ T c および読み出しトランジスタ T d がそれぞれ設けられている。また、増幅トランジスタ T b とリセットトランジスタ T c と読み出しトランジスタ T d との接続点には検出ノードとしてフローティングディフュージョン F D が形成されている。

【 0 0 2 0 】

そして、読み出しトランジスタ T d のソースは、フォトダイオード P D に接続され、読み出しトランジスタ T d のゲートには、読み出し信号 R E A D が入力される。また、リセットトランジスタ T c のソースは、読み出しトランジスタ T d のドレインに接続され、リセットトランジスタ T c のゲートには、リセット信号 R E S E T が入力され、リセットト

50

ランジスタTcのドレインは、電源電位VDDに接続されている。また、行選択トランジスタTaのゲートには、行選択信号ADDRESSが入力され、行選択トランジスタTaのドレインは、電源電位VDDに接続されている。また、増幅トランジスタTbのソースは、垂直信号線Vlinに接続され、増幅トランジスタTbのゲートは、読み出しトランジスタTdのドレインに接続され、増幅トランジスタTbのドレインは、行選択トランジスタTaのソースに接続されている。

【0021】

なお、図1の水平制御線Hlinは、読み出し信号READ、リセット信号RESETおよび行選択信号ADDRESSをロウごとに画素PCに伝送することができる。

【0022】

また、カラムADC回路12には、カラムADC回路12を垂直信号線Vlinに接続するスイッチS1、各画素PCから出力された信号のリセットレベルを保持するコンデンサCc、画素信号VSI Gおよび検査信号DACを基準電圧VREFと比較するコンパレータPAおよびコンパレータPAの比較結果に基づいてアップカウントおよびダウンカウントを行うことでCDSのリセットレベルと信号読み出しレベルとの差分を算出するカウンタKUがカラムごとに設けられている。

【0023】

また、切替回路11には、垂直信号線VlinをカラムADC回路12に接続したり切り離したりするスイッチS2および検査信号発生部6をカラムADC回路12に接続したり切り離したりするスイッチS3が設けられている。

【0024】

図3は、図1の固体撮像装置の各部の波形を示すタイミングチャートである。

図3において、画素PCを介して撮像を行う時は、スイッチS3がオフされることで、検査信号発生部6がカラムADC回路12と切り離されるとともに、スイッチS2がオンされることで、垂直信号線VlinがカラムADC回路12に接続される。また、カラム選択のタイミングに同期してスイッチS1がオンされる。

【0025】

そして、行選択信号ADDRESSがロウレベルの場合、行選択トランジスタTaがオフ状態となり、垂直信号線Vlinに画素信号VSI Gは出力されない。この時、読み出し信号READとリセット信号RESETがハイレベルになると、読み出しトランジスタTdがオンし、フォトダイオードPDに蓄積されていた電荷がフローティングディフュージョンFDに排出される。そして、リセットトランジスタTcを介して電源VDDに排出される。

【0026】

フォトダイオードPDに蓄積されていた電荷が電源VDDに排出された後、読み出し信号READがロウレベルになると、フォトダイオードPDでは、有効な信号電荷の蓄積が開始される。

【0027】

次に、行選択信号ADDRESSがハイレベルになると、画素PCの行選択トランジスタTaがオンし、増幅トランジスタTbのドレインに電源電位VDDが印加される。

【0028】

そして、行選択トランジスタTaがオンの状態でリセット信号RESETがハイレベルになると、リセットトランジスタTcがオンし、フローティングディフュージョンFDにリーク電流などで発生した余分な電荷がリセットされる。そして、フローティングディフュージョンFDのリセットレベルに応じた電圧が増幅トランジスタTbのゲートにかかり、増幅トランジスタTbのゲートに印加された電圧に垂直信号線Vlinの電圧が追従することで、リセットレベルLR1の画素信号VSI Gが垂直信号線Vlinに出力される。

【0029】

そして、リセットレベルLR1の画素信号VSI GはコンデンサCcを介してコンパレ

10

20

30

40

50

ータPAに入力され、基準電圧VREFと比較される。そして、その比較結果に基づいてカウンタKUがダウンカウント動作することで、リセットレベルLR1の画素信号VSIGがデジタル値に変換され、カウンタKUに保持される。

【0030】

次に、画素PCの行選択トランジスタTaがオンの状態で読み出し信号READがハイレベルになると、読み出しトランジスタTdがオンし、フォトダイオードPDに蓄積されていた電荷がフローティングディフュージョンFDに転送される。そして、フローティングディフュージョンFDの信号読み出しレベルに応じた電圧が増幅トランジスタTbのゲートにかかり、増幅トランジスタTbのゲートに印加された電圧に垂直信号線Vlinの電圧が追従することで、信号読み出しレベルLS1の画素信号VSIGが垂直信号線Vlinに出力される。

10

【0031】

そして、信号読み出しレベルLS1の画素信号VSIGはコンデンサCcを介してコンパレータPAに入力され、基準電圧VREFと比較される。そして、その比較結果に基づいてカウンタKUがアップカウント動作することで、リセットレベルLR1の画素信号VSIGと信号読み出しレベルLS1の画素信号VSIGとの差分がデジタル値に変換され、カウンタKUを介して出力データDoとして出力される。

【0032】

一方、カラムADC回路12の検査を行う時は、スイッチS3がオンされることで、検査信号発生部6がカラムADC回路12と接続されるとともに、スイッチS2がオフされることで、垂直信号線VlinがカラムADC回路12と切り離される。また、カラム選択のタイミングに同期してスイッチS1がオンされる。

20

【0033】

また、行選択信号ADDRESSにてカラム選択が行われるタイミングでは検査信号DACはリセットレベルLR2に設定され、コンデンサCcを介してコンパレータPAに入力される。そして、リセット信号RESETが立ち下がってから読み出し信号READが立ち上がるまでの期間において、基準電圧VREFとの比較結果に基づいてカウンタKUがダウンカウント動作することで、リセットレベルLR2の検査信号DACがデジタル値に変換され、カウンタKUに保持される(P1)。

【0034】

次に、読み出し信号READが立ち上がるタイミングで検査信号DACがセットレベルLR2から信号読み出しレベルLS2に遷移され、コンデンサCcを介してコンパレータPAに入力される。そして、読み出し信号READが立ち下がった後に基準電圧VREFとの比較結果に基づいてカウンタKUがアップカウント動作することで、リセットレベルLR2の検査信号DACと信号読み出しレベルLS2の検査信号DACとの差分がデジタル値に変換され、カウンタKUを介して出力データDoとして出力される。

30

【0035】

ここで、カラムADC回路12の出力データDoのリニアリティを調べる場合、検査信号DACのリセットレベルLR2と信号読み出しレベルLS2との差分を直線的に変化させ、その時の出力データDoの値が直線的に変化しているかどうかを検査することができる。

40

【0036】

これにより、カラムADC回路12の出力データDoのリニアリティを調べるために、カラムADC回路12の動作タイミングに合わせて検査信号DACを固体撮像装置の外部から印加する必要がなくなる。このため、検査信号DACを印加する外部印治具を固体撮像装置の入力端子に接続する必要がなくなり、寄生容量や接触抵抗などに起因して入力電圧がばらつくのを防止することが可能となることから、カラムADC回路12の直線性を安定して評価することができる。

【0037】

(第2実施形態)

50

図4は、第2実施形態に係る固体撮像装置に用いられる検査信号の波形を示すタイミングチャートである。

図4において、検査信号DACは、水平同期信号SDHに同期して各行ごとに一定値ずつ出力電圧が異なるように設定されている。検査信号DACは、垂直同期信号SDVに同期して出力電圧が元のレベルに初期化されている。

【0038】

なお、この時の出力電圧の変化量は、1ビット分の値であってもよいし、2ビット分以上の値であってもよい。また、各行ごとの出力電圧の変化量が可変であってもよい。また、この変化量を指定するためのレジスタを制御回路5に設けるようにしてもよい。

【0039】

図5(a)は、図4の検査信号を用いた時に得られる1フレーム分の画像の一例を示す図、図5(b)は、図4の検査信号を用いた時の垂直方向の出力レベルの一例を示す図である。

図5において、図4の検査信号DACは、最初の数行分の領域R1では、カラムADC回路12からの出力レベルが直線状になるように設定され、残りの数行分の領域R2では、カラムADC回路12からの出力レベルが飽和するように設定されている。

【0040】

そして、図4の検査信号DACをカラムADC回路12に入力した時のカラムADC回路12からの出力レベルを調べることにより、1フレーム分の処理をカラムADC回路群4に行わせることで、カラムADC回路群4の直線性をカラムごとに検査することができる。また、垂直同期信号SDVに同期して検査信号DACの出力電圧を元のレベルに初期化することにより、フレームメモリを用意することなく、カラムADC回路12に検査信号DACを入力した時の画像を連続して表示させることができる。

【0041】

なお、上述した第2実施形態では、行番号が増大するに従ってカラムADC回路12からの領域R1の出力レベルが上昇するように検査信号DACを生成する方法について説明したが、番号が増大するに従ってカラムADC回路12からの領域R1の出力レベルが下がるように検査信号DACを生成するようにしてもよい。

【0042】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0043】

PC 画素、Ta 行選択トランジスタ、Tb 増幅トランジスタ、Tc リセットトランジスタ、Td 読み出しトランジスタ、PD フォトダイオード、FD フローティングディフュージョン、Vlin 垂直信号線、1 画素アレイ部、2 行選択回路、3 切替回路群、11 切替回路、4 カラムADC回路群、12 カラムADC回路、5 制御回路、6 検査信号発生部、7 基準電圧発生部、PA コンパレータ、Cc コンデンサ、KU カウンタ、S1~S3 スイッチ

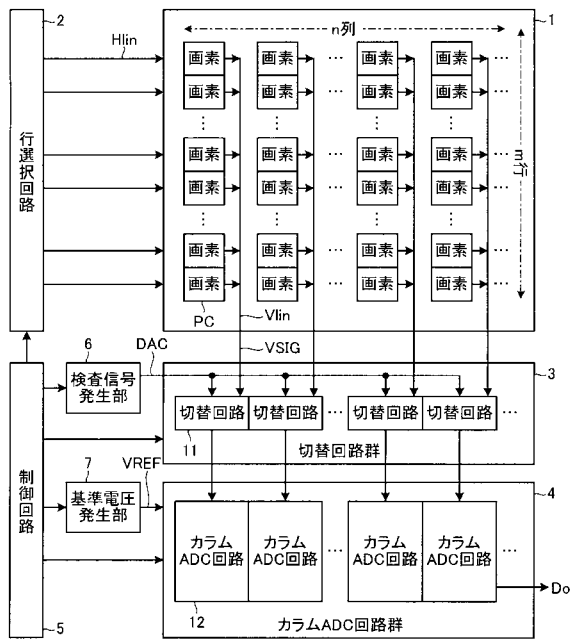
10

20

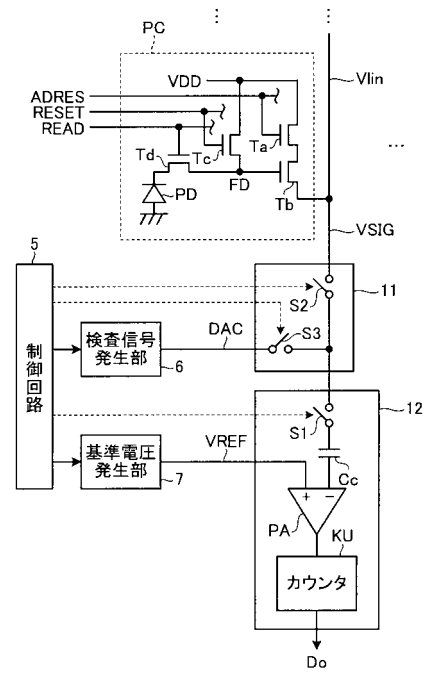
30

40

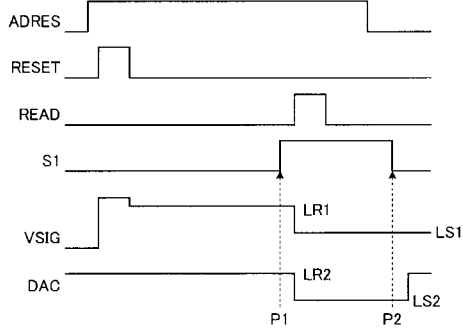
【 図 1 】



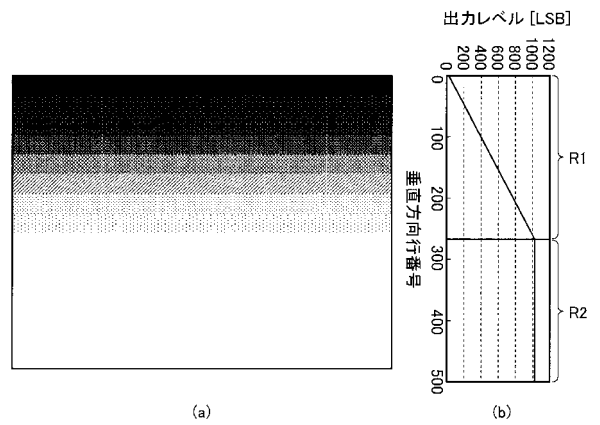
【 図 2 】



【 図 3 】



【 図 5 】



【 図 4 】

