



(12) 发明专利申请

(10) 申请公布号 CN 111883067 A

(43) 申请公布日 2020.11.03

(21) 申请号 202010754341.3

(22) 申请日 2020.07.30

(71) 申请人 云谷(固安)科技有限公司

地址 065500 河北省廊坊市固安县新兴产业示范区

(72) 发明人 孙光远 李志明 贾溪洋 朱正勇

(74) 专利代理机构 北京远智汇知识产权代理有限公司 11659

代理人 范坤坤

(51) Int. Cl.

G09G 3/3266 (2016.01)

G09G 3/36 (2006.01)

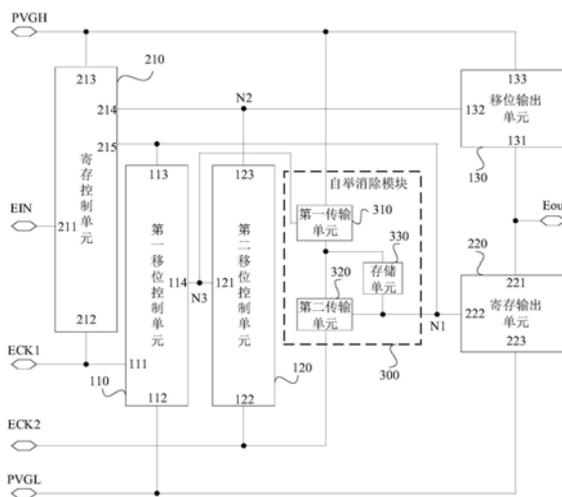
权利要求书2页 说明书13页 附图12页

(54) 发明名称

扫描电路和显示面板

(57) 摘要

本发明实施例公开了一种扫描电路和显示面板。扫描电路包括：移位模块、寄存模块和自举消除模块；其中，所述自举消除模块包括第一传输单元、第二传输单元和存储单元；所述存储单元用于存储所述寄存输出单元的控制端的电位；所述第一传输单元用于响应所述第一时钟信号而将所述第一电位信号存储至所述存储单元的第一端，以及所述第二传输单元用于响应所述寄存输出单元的控制端的电位而将所述第二时钟信号存储至所述存储单元的第一端，以调整所述寄存输出单元的控制端的电位。与现有技术相比，本发明实施例提升了扫描电路的稳定性和可靠性。



1. 一种扫描电路,其特征在于,包括:移位模块、寄存模块和自举消除模块;其中,所述移位模块的输出端和所述寄存模块的输出端短接后与所述扫描电路的输出端电连接;

所述移位模块用于响应第一时钟信号和第二时钟信号而在其输出端输出第一电位信号;

所述寄存模块包括寄存控制单元和寄存输出单元,所述寄存输出单元包括控制端,所述寄存控制单元用于响应移位输入信号和第一时钟信号而控制所述寄存输出单元的控制端的电位,所述寄存输出单元用于响应其控制端的电位而在其输出端输出第二电位信号;所述第一电位信号和所述第二电位信号的电平相反;

所述自举消除模块包括第一传输单元、第二传输单元和存储单元;所述存储单元用于存储所述寄存输出单元的控制端的电位;所述第一传输单元用于响应所述第一时钟信号而将所述第一电位信号存储至所述存储单元的第一端,以及所述第二传输单元用于响应所述寄存输出单元的控制端的电位而将所述第二时钟信号存储至所述存储单元的第一端,以调整所述寄存输出单元的控制端的电位。

2. 根据权利要求1所述的扫描电路,其特征在于,所述移位模块包括:第一移位控制单元、第二移位控制单元和移位输出单元;

所述第一移位控制单元用于响应所述第一时钟信号和所述寄存输出单元的控制端的电位向所述第二移位控制单元输出控制信号;

所述第二移位控制单元用于响应所述第一移位控制单元输出的控制信号和所述第二时钟信号而控制所述移位输出单元的控制端的电位;

所述移位输出单元用于响应其控制端的电位而在其输出端输出第一电位信号。

3. 根据权利要求2所述的扫描电路,其特征在于,所述第一传输单元包括第一晶体管,所述第一晶体管的栅极与所述第一移位控制单元的输出端电连接,所述第一晶体管的栅极接入所述第一电位信号;

所述第二传输单元包括第二晶体管,所述第二晶体管的栅极与所述寄存输出单元的控制端电连接,所述第二晶体管的栅极与所述第一晶体管的第二极电连接,所述第二晶体管的第二极接入所述第二时钟信号;

所述存储单元包括第一电容,所述第一电容的第一极与所述第二晶体管的栅极电连接,所述第一电容的第二极与所述第二晶体管的栅极电连接。

4. 根据权利要求2所述的扫描电路,其特征在于,所述第一移位控制单元包括:

第三晶体管,所述第三晶体管的栅极与所述寄存输出单元的控制端电连接,所述第三晶体管的栅极与所述第一时钟信号电连接;

第四晶体管,所述第四晶体管的栅极与所述第一时钟信号电连接,所述第四晶体管的栅极与所述第三晶体管的第二极电连接,所述第四晶体管的第二极接入所述第二电位信号;

所述第二移位控制单元包括:

第五晶体管,所述第五晶体管的栅极接入所述第二时钟信号,所述第五晶体管的栅极与所述移位输出单元的控制端电连接;

第六晶体管,所述第六晶体管的栅极与所述第三晶体管的第二极电连接,所述第六晶体管的栅极与所述第五晶体管的第二极电连接,所述第六晶体管的第二极接入所述第二

时钟信号；

第二电容,所述第二电容的第一极与所述第六晶体管的第一极电连接,所述第二电容的第二极与所述第六晶体管的栅极电连接。

5. 根据权利要求4所述的扫描电路,其特征在于,所述移位输出单元包括:

第七晶体管,所述第七晶体管的栅极作为所述移位输出单元的控制端,所述第七晶体管的第一极接入所述第一电位信号,所述第七晶体管的第二极与所述扫描电路的输出端电连接;

第三电容,所述第三电容的第一极与所述第七晶体管的第一极电连接,所述第三电容的第二极与所述第七晶体管的栅极电连接。

6. 根据权利要求4所述的扫描电路,其特征在于,还包括:第八晶体管和第九晶体管;

所述第八晶体管的栅极接入所述第二电位信号,所述第八晶体管的第一极与所述第三晶体管的第二极电连接,所述第八晶体管的第二极与所述第六晶体管的栅极电连接;

所述第九晶体管的栅极接入所述第二电位信号,所述第九晶体管的第一极与所述第一传输单元的控制端电连接,所述第九晶体管的第二极与所述第六晶体管的栅极电连接。

7. 根据权利要求2所述的扫描电路,其特征在于,所述寄存控制单元包括:

第十晶体管,所述第十晶体管的栅极接入所述第一时钟信号,所述第十晶体管第一极接入所述移位输入信号,所述第十晶体管的第二极与所述寄存输出单元的控制端电连接;

第十一晶体管,所述第十一晶体管的栅极与所述寄存输出单元的控制端电连接,所述第十一晶体管的第一极接入所述第一电位信号,所述第十一晶体管的第二极与所述移位输出单元的控制端电连接。

8. 根据权利要求7所述的扫描电路,其特征在于,所述寄存输出单元包括:

第十二晶体管,所述第十二晶体管的栅极作为所述寄存输出单元的控制端,所述第十二晶体管的第一极接入所述第二电位信号,所述第十二晶体管的第二极与所述扫描电路的输出端电连接。

9. 根据权利要求7所述的扫描电路,其特征在于,还包括:

第十三晶体管,所述第十三晶体管的栅极接入所述第二电位信号,所述第十三晶体管的第一极与所述第十晶体管的第二极电连接,所述第十三晶体管的第二极与所述寄存输出单元的控制端电连接。

10. 一种显示面板,其特征在于,包括级联连接的至少两个如权利要求1-9任一项所述的扫描电路、第一时钟信号线、第二时钟信号线、第一电位信号线、第二电位信号线和启动信号线;

其中,所述第一时钟信号线向所述扫描电路提供第一时钟信号,所述第二时钟信号线向所述扫描电路提供第二时钟信号,所述第一电位信号线向所述扫描电路提供第一电位信号,所述第二电位信号线向所述扫描电路提供第二电位信号,所述启动信号线向第一级所述扫描电路提供移位输入信号,上一级所述扫描电路向下一级所述扫描电路提供移位输入信号。

扫描电路和显示面板

技术领域

[0001] 本发明实施例涉及显示技术领域,尤其涉及一种扫描电路和显示面板。

背景技术

[0002] 国内外开发出了众多类型的显示面板,例如,有机发光显示面板(Organic Light-Emitting Diode,OLED)和液晶显示面板(Liquid Crystal Display,LCD)等。显示面板包括:像素、与每行像素连接的扫描线和向扫描线发送驱动信号的扫描电路。因此,扫描电路输出的扫描信号的稳定性对像素的显示具有直接的影响。由于人们对扫描电路的稳定性需求越来越高,扫描电路的设计成为开发者现今主要研究趋势之一。

发明内容

[0003] 本发明实施例提供一种扫描电路和显示面板,以提升扫描电路的稳定性和可靠性。

[0004] 为实现上述技术目的,本发明实施例提供了如下技术方案:

[0005] 一种扫描电路,包括:移位模块、寄存模块和自举消除模块;其中,所述移位模块的输出端和所述寄存模块的输出端短接后与所述扫描电路的输出端电连接;

[0006] 所述移位模块用于响应第一时钟信号和第二时钟信号而在其输出端输出第一电位信号;

[0007] 所述寄存模块包括寄存控制单元和寄存输出单元,所述寄存输出单元包括控制端,所述寄存控制单元用于响应移位输入信号和第一时钟信号而控制所述寄存输出单元的控制端的电位,所述寄存输出单元用于响应其控制端的电位而在其输出端输出第二电位信号;所述第一电位信号和所述第二电位信号的电平相反;

[0008] 所述自举消除模块包括第一传输单元、第二传输单元和存储单元;所述存储单元用于存储所述寄存输出单元的控制端的电位;所述第一传输单元用于响应所述第一时钟信号而将所述第一电位信号存储至所述存储单元的第一端,以及所述第二传输单元用于响应所述寄存输出单元的控制端的电位而将所述第二时钟信号存储至所述存储单元的第一端,以调整所述寄存输出单元的控制端的电位。

[0009] 进一步地,所述移位模块包括:第一移位控制单元、第二移位控制单元和移位输出单元;

[0010] 所述第一移位控制单元用于响应所述第一时钟信号和所述寄存输出单元的控制端的电位向所述第二移位控制单元输出控制信号;

[0011] 所述第二移位控制单元用于响应所述第一移位控制单元输出的控制信号和所述第二时钟信号而控制所述移位输出单元的控制端的电位;

[0012] 所述移位输出单元用于响应其控制端的电位而在其输出端输出第一电位信号。

[0013] 进一步地,所述第一传输单元包括第一晶体管,所述第一晶体管的栅极与所述第一移位控制单元的输出端电连接,所述第一晶体管的第一极接入所述第一电位信号;

[0014] 所述第二传输单元包括第二晶体管,所述第二晶体管的栅极与所述寄存输出单元的控制端电连接,所述第二晶体管的第一极与所述第一晶体管的第二极电连接,所述第二晶体管的第二极接入所述第二时钟信号;

[0015] 所述存储单元包括第一电容,所述第一电容的第一极与所述第二晶体管的第一极电连接,所述第一电容的第二极与所述第二晶体管的栅极电连接。

[0016] 进一步地,所述第一移位控制单元包括:

[0017] 第三晶体管,所述第三晶体管的栅极与所述寄存输出单元的控制端电连接,所述第三晶体管的第一极与所述第一时钟信号电连接;

[0018] 第四晶体管,所述第四晶体管的栅极与所述第一时钟信号电连接,所述第四晶体管的第一极与所述第三晶体管的第二极电连接,所述第四晶体管的第二极接入所述第二电位信号;

[0019] 进一步地,所述第二移位控制单元包括:

[0020] 第五晶体管,所述第五晶体管的栅极接入所述第二时钟信号,所述第五晶体管的第一极与所述移位输出单元的控制端电连接;

[0021] 第六晶体管,所述第六晶体管的栅极与所述第三晶体管的第二极电连接,所述第六晶体管的第一极与所述第五晶体管的第二极电连接,所述第六晶体管的第二极接入所述第二时钟信号;

[0022] 第二电容,所述第二电容的第一极与所述第六晶体管的第一极电连接,所述第二电容的第二极与所述第六晶体管的栅极电连接。

[0023] 进一步地,所述移位输出单元包括:

[0024] 第七晶体管,所述第七晶体管的栅极作为所述移位输出单元的控制端,所述第七晶体管的第一极接入所述第一电位信号,所述第七晶体管的第二极与所述扫描电路的输出端电连接;

[0025] 第三电容,所述第三电容的第一极与所述第七晶体管的第一极电连接,所述第三电容的第二极与所述第七晶体管的栅极电连接。

[0026] 进一步地,扫描电路还包括:第八晶体管和第九晶体管;

[0027] 所述第八晶体管的栅极接入所述第二电位信号,所述第八晶体管的第一极与所述第三晶体管的第二极电连接,所述第八晶体管的第二极与所述第六晶体管的栅极电连接;

[0028] 所述第九晶体管的栅极接入所述第二电位信号,所述第九晶体管的第一极与所述第一传输单元的控制端电连接,所述第九晶体管的第二极与所述第六晶体管的栅极电连接。

[0029] 进一步地,所述寄存控制单元包括:

[0030] 第十晶体管,所述第十晶体管的栅极接入所述第一时钟信号,所述第十晶体管第一极接入所述移位输入信号,所述第十晶体管的第二极与所述寄存输出单元的控制端电连接;

[0031] 第十一晶体管,所述第十一晶体管的栅极与所述寄存输出单元的控制端电连接,所述第十一晶体管的第一极接入所述第一电位信号,所述第十一晶体管的第二极与所述移位输出单元的控制端电连接。

[0032] 进一步地,所述寄存输出单元包括:

[0033] 第十二晶体管,所述第十二晶体管的栅极作为所述寄存输出单元的控制端,所述第十二晶体管的第一极接入所述第二电位信号,所述第十二晶体管的第二极与所述扫描电路的输出端电连接。

[0034] 进一步地,扫描电路还包括:第十三晶体管,所述第十三晶体管的栅极接入所述第二电位信号,所述第十三晶体管的第一极与所述第十晶体管的第二极电连接,所述第十三晶体管的第二极与所述寄存输出单元的控制端电连接。

[0035] 相应地,本发明还提供了一种显示面板,包括级联连接的至少两个如本发明任意实施例所述的扫描电路、第一时钟信号线、第二时钟信号线、第一电位信号线、第二电位信号线和启动信号线;

[0036] 其中,所述第一时钟信号线向所述扫描电路提供第一时钟信号,所述第二时钟信号线向所述扫描电路提供第二时钟信号,所述第一电位信号线向所述扫描电路提供第一电位信号,所述第二电位信号线向所述扫描电路提供第二电位信号,所述启动信号线向第一级所述扫描电路提供移位输入信号,上一级所述扫描电路向下一级所述扫描电路提供移位输入信号。

[0037] 本发明实施例提供了一种新型扫描电路,通过设置自举消除模块包括第一传输单元、第二传输单元和存储单元,一方面,可以控制寄存输出单元的控制端的电位不受晶体管的自举效应的影响,以及移位输出信号的电位不受晶体管的自举效应的影响;另一方面,本发明实施例设置第二传输单元将第二时钟信号和存储单元分开,避免了第二时钟信号线上的负载偏大的问题。因此,本发明实施例提供的扫描电路在减小第二时钟信号线上负载的基础上,实现了消除晶体管的自举效应,从而提升了扫描电路输出信号的稳定性和可靠性。

附图说明

[0038] 图1为本发明实施例提供的一种扫描电路的电路示意图;

[0039] 图2为本发明实施例提供的一种扫描电路的驱动时序示意图;

[0040] 图3为本发明实施例提供的另一种扫描电路的电路示意图;

[0041] 图4为本发明实施例提供的又一种扫描电路的电路示意图;

[0042] 图5为本发明实施例提供的又一种扫描电路的电路示意图;

[0043] 图6为本发明实施例提供的又一种扫描电路的电路示意图;

[0044] 图7为本发明实施例提供的又一种扫描电路的电路示意图;

[0045] 图8为本发明实施例提供的一种未设置第一晶体管保护模块下的第四节点的电压检测波形图;

[0046] 图9为本发明实施例提供的一种设置有第一晶体管保护模块下的第四节点的电压检测波形图;

[0047] 图10为本发明实施例提供的又一种扫描电路的电路示意图;

[0048] 图11为本发明实施例提供的又一种扫描电路的电路示意图;

[0049] 图12为本发明实施例提供的一种显示面板的结构示意图;

[0050] 图13为本发明实施例提供的一种显示面板的驱动时序示意图。

具体实施方式

[0051] 下面结合附图和实施例对本发明作进一步的详细说明。可以理解的是,此处所描述的具体实施例仅仅用于解释本发明,而非对本发明的限定。另外还需要说明的是,为了便于描述,附图中仅示出了与本发明相关的部分而非全部结构。

[0052] 本发明实施例提供了一种扫描电路。图1为本发明实施例提供的一种扫描电路的电路示意图。参见图1,该扫描电路包括:移位模块、寄存模块和自举消除模块300。图1中示例性地,移位模块包括第一移位控制单元110、第二移位控制单元120和移位输出单元130;寄存模块包括寄存控制单元210和寄存输出单元220。

[0053] 其中,移位模块的输出端131和寄存模块的输出端221短接后与扫描电路的输出端电连接,输出的信号为移位输出信号Eout。移位模块用于响应第一时钟信号ECK1和第二时钟信号ECK2而在其输出端输出第一电位信号PVGH,即移位模块可以管控第一电位信号PVGH的输出时间。寄存输出单元220包括控制端222,寄存控制单元210用于响应移位输入信号EIN和第一时钟信号ECK1而控制寄存输出单元220的控制端222的电位,寄存输出单元220用于响应其控制端222的电位而在其输出端221输出第二电位信号PVGL,也就是说寄存模块的输出端输出第二电位信号PVGL,寄存模块可以将第二电位信号PVGL寄存至像素内。

[0054] 第一电位信号PVGH和第二电位信号PVGL的电平相反,示例性地,第一电位信号PVGH为高电平,第二电位信号PVGL为低电平。由于移位模块和寄存模块交替输出第一电位信号PVGH和第二电位信号PVGL,从而控制像素的驱动时间。示例性地,扫描电路为发光控制电路,用于控制像素的发光时间和熄灭时间,像素在初始化阶段和数据写入阶段,扫描电路输出的第一电位信号PVGH控制像素的熄灭时间;像素在初始化阶段和数据写入阶段以外,扫描电路输出的第二电位信号PVGL控制像素的发光时间。

[0055] 自举消除模块300的存储单元330用于存储寄存输出单元220的控制端222的电位;第一传输单元310用于响应第一时钟信号ECK1而将第一电位信号PVGH存储至存储单元330的第一端,以及第二传输单元320用于响应寄存输出单元220的控制端222的电位而将第二时钟信号ECK2存储至存储单元330的第一端,以调整寄存输出单元220的控制端222的电位。

[0056] 其中,当各模块单元中的晶体管均为P型晶体管或均为N型晶体管时,由于其自身存在阈值电压,使得传输信号的低电平电压升高,称为晶体管的自举效应。自举消除模块300用于消除晶体管的自举效应导致的低电平的电压升高的问题,并且电位升高的部分随着扫描电路逐级输出而逐级升高。

[0057] 下面结合该扫描电路的驱动时序来对自举消除模块300消除自举效应的效果进行说明。

[0058] 图2为本发明实施例提供的一种扫描电路的驱动时序示意图。结合图1和图2,示例性地,第一电位信号PVGH为高电平,第二电位信号PVGL为低电平,第一时钟信号ECK1和第二时钟信号ECK2周期循环。该扫描电路的驱动时序包括以下阶段:

[0059] 第一阶段 t_1 ,移位输入信号EIN为低电平,第一时钟信号ECK1为低电平,第二时钟信号ECK2为高电平。

[0060] 移位寄存控制单元210响应第一时钟信号ECK1的低电平而将移位输入信号EIN输出至第一节点N1,第一节点N1为低电平。第二传输单元320响应第一节点N1的低电平,将第二时钟信号ECK2向存储单元330的第一端充电,存储单元330的第一端充电为高电平。存储

单元330的第二端与第一节点N1导通,充电为低电平。寄存输出单元220响应第一节点N1的低电平,将第二电位信号PVGL传输至扫描电路的输出端,且由于其输出端负载具有较大的电容,移位输出信号Eout的电压值可以维持前一阶段低电平的电压值。同时,寄存控制单元210将第一电位信号PVGH传输至第二节点N2,第二节点N2为高电平,以确保移位输出单元130断开,避免移位输出单元130和寄存输出单元220同时导通。

[0061] 第二阶段t2,扫描输入信号为低电平,第一时钟信号ECK1为高电平,第二时钟信号ECK2为低电平。由于存储单元330的存储作用,第二传输单元320响应第一节点N1的低电平而将第二时钟信号ECK2的低电平传输至存储单元330的第一端。存储单元330的第二端的电位进一步降低。由于第一节点N1的电压降低幅度较大,使寄存输出单元220中的晶体管处于深线性区,扫描电路输出的移位输出信号Eout的电压值与第二电位信号PVGL的电压值相等。

[0062] 第三阶段t3,扫描输入信号为高电平,第一时钟信号ECK1为低电平,第二时钟信号ECK2为高电平。寄存控制单元210响应第一时钟信号ECK1的低电平而将移位输入信号EIN输出至第一节点N1,第一节点N1为高电平,存储单元330的第二端充电为高电平。寄存输出单元220断开,同时,移位输出单元130断开,扫描电路自锁,由于扫描电路的输出端负载具有较大的电容,移位输出信号Eout可以维持第二阶段t2的低电平的电压值。

[0063] 第一移位控制单元110响应第一时钟信号ECK1的低电平,将第一电位信号PVGH传输至第三节点N3,第三节点N3为低电平。第二移位控制单元120响应第三节点N3的低电平并存储。

[0064] 第四阶段t4,扫描输入信号为高电平,第一时钟信号ECK1为高电平,第二时钟信号ECK2为低电平。第二移位控制单元120响应第二时钟信号ECK2的低电平和存储的第三节点N3的低电平,将第二时钟信号ECK2传输至第二节点N2,第二节点N2为低电平。移位输出单元130响应第二节点N2的低电平而将第一电位信号PVGH的高电平传输至扫描电路的输出端,移位输出信号Eout为高电平。同时,寄存输出单元220维持第三阶段t3的截止状态。

[0065] 第五阶段t5,扫描输入信号为高电平,第一时钟信号ECK1为低电平,第二时钟信号ECK2为高电平。第二移位控制单元120响应第二时钟信号ECK2的高电平,停止向第二节点N2传输信号。由于移位输出单元130的存储作用,维持移位输出信号Eout的高电平。

[0066] 第一移位控制单元110响应第一时钟信号ECK1的低电平而将第一电位信号PVGH传输至第三节点N3,第三节点N3为低电平。第二移位控制单元120响应第三节点N3的低电平和第二时钟信号ECK2的高电平并存储。

[0067] 第六阶段t6,扫描输入信号变为低电平,第一时钟信号ECK1为高电平,第二时钟信号ECK2为低电平。第二移位控制单元120响应第二时钟信号ECK2的低电平,将第二时钟信号ECK2传输至第二节点N2,第二节点N2为低电平。移位输出单元130响应第二节点N2的低电平而导通,将第一电位信号PVGH的高电平传输至扫描电路的输出端,移位输出信号Eout为高电平,完成移位功能。

[0068] 第七阶段t7,移位输入信号EIN为低电平,第一时钟信号ECK1为低电平,第二时钟信号ECK2为高电平。

[0069] 寄存控制单元210响应第一时钟信号ECK1的低电平而将移位输入信号EIN输出至第一节点N1,第一节点N1为低电平;将第一电位信号PVGH传输至第二节点N2,第二节点N2为

高电平。第二传输单元320响应第一节点N1的低电平,将第二时钟信号ECK2传输至存储单元330的第一端,存储单元330的第一端充电为高电平,由于第一节点N1为低电平,存储单元330的第二端充电为低电平。寄存输出单元220响应第一节点N1的低电平,将第二电位信号PVGL传输至扫描电路的输出端,移位输出信号Eout由高电平切换为低电平。

[0070] 由于寄存控制单元210中晶体管的自举效应,第一节点N1的电压值高于第二电位信号PVGL的电压值。以及由于寄存输出单元220中晶体管的自举效应,移位输出信号Eout的低电平的电压值高于第二电位信号PVGL的电压值,若不消除自举效应,升高的电压随着扫描电路逐级输出而逐级升高。

[0071] 第八阶段t8,扫描输入信号为低电平,第一时钟信号ECK1为高电平,第二时钟信号ECK2为低电平。

[0072] 由于存储单元330的存储作用,第二传输单元320响应第一节点N1的低电平而将第二时钟信号ECK2的低电平传输存储单元330的第一端。由于存储单元330的耦合作用,存储单元330的第二端的电位进一步降低,即第一节点N1的电压降低,且降低幅度较大,使寄存输出单元220中的晶体管处于深线性区,移位输出信号Eout的电压值与第二电位信号PVGL的电压值相等,消除了晶体管的自举效应。

[0073] 重复以上步骤实现扫描电路的移位寄存功能。

[0074] 本发明实施例提供了一种新型扫描电路,通过设置自举消除模块300包括第一传输单元310、第二传输单元320和存储单元330,一方面,可以控制寄存输出单元220的控制端222的电位不受晶体管的自举效应的影响,以及移位输出信号Eout的电位不受晶体管的自举效应的影响;另一方面,本发明实施例设置第二传输单元320将第二时钟信号ECK2和存储单元330分开,避免了第二时钟信号ECK2线上的负载偏大的问题。因此,本发明实施例提供的扫描电路在减小第二时钟信号ECK2线上负载的基础上,实现了消除晶体管的自举效应,从而提升了扫描电路输出信号的稳定性和可靠性。

[0075] 在上述实施例中,以信号流的描述方式对本发明实施例提供的扫描电路进行了说明,下面对扫描电路的寄存模块、移位模块和自举消除模块300的具体设置方式和连接关系进行说明。

[0076] 继续参见图1,在本发明的一种实施方式中,可选地,寄存模块中的寄存控制单元210包括移位输入端211、第一时钟输入端212、第一电位输入端213、互锁输出端214和第一节点控制输出端215。移位输入端211接入移位输入信号EIN,第一时钟输入端212接入第一时钟信号ECK1,第一电位输入端213接入第一电位信号PVGH,定义与寄存控制单元210的第一节点控制输出端215电连接的节点为第一节点N1。寄存模块中的寄存输出单元220包括输出端221、控制端222和第二电位输入端223。寄存输出单元220的控制端222与第一节点N1电连接,第二电位输入端223接入第二电位信号PVGL,寄存输出单元220的输出端221作为寄存模块的输出端以及扫描电路的输出端。这样设置,实现了寄存控制单元210对寄存输出单元220的控制,以使寄存输出单元220寄存第二电位信号PVGL。

[0077] 继续参见图1,在本发明的一种实施方式中,可选地,移位模块包括:第一移位控制单元110、第二移位控制单元120和移位输出单元130。第一移位控制单元110用于响应第一时钟信号ECK1和寄存输出单元220的控制端的电位向第二移位控制单元120输出控制信号;第二移位控制单元120用于响应第一移位控制单元110输出的控制信号和第二时钟信号

ECK2而控制移位输出单元130的控制端132的电位;移位输出单元130用于响应其控制端132的电位而在其输出端131输出第一电位信号PVGH,以使移位输出单元130输出第一电位信号PVGH。

[0078] 继续参见图1,在本发明的一种实施方式中,可选地,移位模块中的第一移位控制单元110包括第一时钟输入端111、第二电位输入端112、第一节点控制输入端113和第三节点控制输出端114。第一时钟输入端111接入第一时钟信号ECK1,第二电位输入端112接入第二电位信号PVGL,第一节点控制输入端113与第一节点N1电连接,定义与第一移位控制单元110的第三节点控制输出端114电连接的节点为第三节点N3。

[0079] 移位模块中的第二移位控制单元120包括第三节点控制输入端121、第二时钟输入端122和第二节点控制输出端123。第三节点控制输入端121与第三节点控制输出端114电连接,第二时钟输入端122接入第二时钟信号ECK2,定义与第二移位控制单元120的第二节点控制输出端123电连接的节点为第二节点N2。

[0080] 移位模块中的移位输出单元130包括输出端131、控制端132和第一电位输入端133。控制端132与第二节点N2电连接,第一电位输入端133接入第一电位信号PVGH,移位输出单元130的输出端131作为移位模块的输出端,以及扫描电路的输出端。这样设置,实现了第一移位控制单元110和第二移位控制单元120对移位输出单元130的控制,以使移位输出单元130输出第一电位信号PVGH。

[0081] 继续参见图1,在本发明的一种实施方式中,可选地,第一移位控制单元110、第二移位控制单元120、移位输出单元130、寄存控制单元210、寄存输出单元220、第一传输单元310、第二传输单元320和存储单元330均包括晶体管,通过晶体管的导通和截止来进行各信号的传输与否。其中,由于第一移位控制单元110和第一传输单元310均受第一时钟信号ECK1的控制,通过对第一移位控制单元110和第一传输单元310的中晶体管的连接方式的设置,可以实现第一时钟信号ECK1通过第一移位控制单元110对第一传输单元310进行控制,相当于第一移位控制单元110和第一传输单元310共用部分晶体管。

[0082] 下面对扫描电路中各单元包括的晶体管以及晶体管的连接方式进行说明。

[0083] 图3为本发明实施例提供的另一种扫描电路的电路示意图。参见图3,在本发明的一种实施方式中,可选地,第一传输单元310包括第一晶体管T1,第一晶体管T1的栅极与第三节点N3电连接,第一晶体管T1的第一极接入第一电位信号PVGH。第二传输单元320包括第二晶体管T2,第二晶体管T2的栅极与寄存输出单元220的控制端222电连接,第二晶体管T2的第一极与第一晶体管T1的第二极电连接,第二晶体管T2的第二极接入第二时钟信号ECK2。存储单元330包括第一电容C1,第一电容C1的第一极与第二晶体管T2的第一极电连接,第一电容C1的第二极与第二晶体管T2的栅极电连接。本发明实施例通过设置第一传输单元310包括第一晶体管T1,第二传输单元320包括第二晶体管T2,存储单元330包括第一电容C1,简化了自举消除模块300的电路结构。

[0084] 图4为本发明实施例提供的又一种扫描电路的电路示意图。参见图4,在本发明的一种实施方式中,第一移位控制单元110包括:第三晶体管T3和第四晶体管T4,第三晶体管T3的栅极与第一节点N1电连接,第三晶体管T3的第一极与第一时钟信号ECK1电连接;第四晶体管T4的栅极与第一时钟信号ECK1电连接,第四晶体管T4的第一极与第三晶体管T3的第二极电连接,第四晶体管T4的第二极接入第二电位信号PVGL。

[0085] 第二移位控制单元120包括：第五晶体管T5、第六晶体管T6和第二电容C2，第五晶体管T5的栅极接入第二时钟信号ECK2，第五晶体管T5的第一极与第二节点N2电连接；第六晶体管T6的栅极与第三晶体管T3的第二极电连接，第六晶体管T6的第一极与第五晶体管T5的第二极电连接，第六晶体管T6的第二极接入第二时钟信号ECK2；第二电容C2的第一极与第六晶体管T6的第一极电连接，第二电容C2的第二极与第六晶体管T6的栅极电连接。

[0086] 其中，第一移位控制单元110与自举消除模块300中的第一传输单元310共用第四晶体管T4，第一时钟信号ECK1通过第四晶体管T4控制第三节点N3的电位，第三节点N3不仅控制第六晶体管T6的导通和截止，还控制第一传输单元310的导通和截止。

[0087] 继续参见图4，在本发明的一种实施方式中，可选地，移位输出单元130包括：第七晶体管T7和第三电容C3，第七晶体管T7的栅极与第二节点N2电连接，第七晶体管T7的第一极接入第一电位信号PVGH，第七晶体管T7的第二极与扫描电路的输出端电连接；第三电容C3的第一极与第七晶体管T7的第一极电连接，第三电容C3的第二极与第七晶体管T7的栅极电连接。本发明实施例设置移位输出单元130包括第七晶体管T7和第三电容C3，有利于简化电路结构。

[0088] 图5为本发明实施例提供的又一种扫描电路的电路示意图。参见图5，在本发明的一种实施方式中，可选地，寄存控制单元210包括：第十晶体管T10和第十一晶体管T11，第十晶体管T10的栅极接入第一时钟信号ECK1，第十晶体管T10第一极接入移位输入信号EIN，第十晶体管T10的第二极与第一节点N1电连接；第十晶体管T10可以实现对移位输入信号EIN的传输。

[0089] 第十一晶体管T11的栅极与第一节点N1电连接，第十一晶体管T11的第一极接入第一电位信号PVGH，第十一晶体管T11的第二极与移位输出单元130的控制端132电连接。第十一晶体管T11可以实现由第一节点N1控制第二节点N2的作用，实现移位输出单元130和寄存输出单元220互锁。

[0090] 继续参见图5，在本发明的一种实施方式中，可选地，寄存输出单元220包括第十二晶体管T12，第十二晶体管T12的栅极与第一节点N1电连接，第十二晶体管T12的第一极接入第二电位信号PVGL，第十二晶体管T12的第二极与扫描电路的输出端电连接。由于本发明实施例设置有存储单元330对第一节点N1的电位进行存储，因此，寄存输出单元220中无需另外设置存储单元。

[0091] 图6为本发明实施例提供的又一种扫描电路的电路示意图。参见图6，在本发明的一种实施方式中，可选地，自举消除模块300包括第一晶体管T1、第二晶体管T2和第一电容C1，第一移位控制单元110包括第三晶体管T3和第四晶体管T4，第二移位控制单元120包括第五晶体管T5、第六晶体管T6和第二电容C2，移位输出单元130包括第七晶体管T7和第三电容C3，寄存控制单元210包括第十晶体管T10和第十一晶体管T11，寄存输出单元220包括第十二晶体管T12。

[0092] 结合图6和图2，以扫描电路中的各晶体管全部采用P型晶体管为例，第一电位信号PVGH为高电平，第二电位信号PVGL为低电平，第一时钟信号ECK1和第二时钟信号ECK2周期循环。该扫描电路的驱动时序包括以下阶段：

[0093] 第一阶段t1，移位输入信号EIN为低电平，第一时钟信号ECK1为低电平，第二时钟信号ECK2为高电平。

[0094] 第十晶体管T10响应第一时钟信号ECK1的低电平而导通,将移位输入信号EIN输出至第一节点N1,第一节点N1为低电平。第二晶体管T2响应第一节点N1的低电平而导通,第二时钟信号ECK2向第一电容C1的第一极充电,第一电容C1的第一极充电为高电平。第一电容C1的第二极与第一节点N1导通,第一电容C1的第二极充电为低电平。第十二晶体管T12响应第一节点N1的低电平而导通,将第二电位信号PVGL传输至扫描电路的输出端,且由于扫描电路的输出端负载具有较大的电容,移位输出信号Eout的电压值可以维持前一阶段低电平的电压值。

[0095] 第十一晶体管T11响应第一节点N1的低电平而导通,将第一电位信号PVGH传输至第二节点N2,第二节点N2为高电平,第三电容C3的第二极为高电平,且第三电容C3的第一极与第一电位信号PVGH导通,第三电容C3的第一极也为高电平,以确保第七晶体管T7保持截止状态,避免第七晶体管T7和第十二晶体管T12同时导通。

[0096] 第三晶体管T3响应第一节点N1的低电平而导通,将第一时钟信号ECK1传输至第三节点N3,第三节点N3为低电平。同时,第四晶体管T4响应第一时钟信号ECK1的低电平而导通,将第一电位信号PVGH传输至第三节点N3,第三节点N3为低电平。相当于第三晶体管T3和第四晶体管T4同时向第三节点N3传输低电平。

[0097] 第六晶体管T6响应第三节点N3的低电平而导通,将第二时钟信号ECK2传输至第二电容C2的第一极,第二电容C2的第一极充电为高电平。第二电容C2的第二极与第三节点N3导通,充电为低电平。

[0098] 第二阶段t2,扫描输入信号为低电平,第一时钟信号ECK1为高电平,第二时钟信号ECK2为低电平。

[0099] 由于第一电容C1的存储作用,第二晶体管T2响应第一节点N1的低电平而导通,将第二时钟信号ECK2的低电平传输至第一电容C1的第一极。由于第一电容C1的耦合作用,第一电容C1的第二极的电位进一步降低,由 $V_{PVGL}-V_{th1}$ 降低为 $V_{PVGL}-V_{th1}+(V_{PVGL}-V_{PVGH})$,其中, V_{PVGH} 为第一电位信号PVGH的电压值。由于第一节点N1的电压降低幅度较大,使第十二晶体管T12的栅极电压处于深线性区,移位输出信号Eout的电压值与第二电位信号PVGL的电压值相等,消除了晶体管的自举效应。

[0100] 第三阶段t3,扫描输入信号为高电平,第一时钟信号ECK1为低电平,第二时钟信号ECK2为高电平。第十晶体管T10响应第一时钟信号ECK1的低电平而导通,将移位输入信号EIN输出至第一节点N1,第一节点N1为高电平,第一电容C1的第二极充电为高电平。第十二晶体管T12截止,且由于第三电容C3的存储作用,第二节点N2维持高电平,第七晶体管T7也截止,扫描电路自锁,由于扫描电路的输出端负载具有较大的电容,可以维持第二阶段t2的低电平输出。

[0101] 第四晶体管T4响应第一时钟信号ECK1的低电平而导通,将第一电位信号PVGH传输至第三节点N3,第三节点N3为低电平。第六晶体管T6响应第三节点N3的低电平而导通,将第二时钟信号ECK2传输至第二电容C2的第一极,第二电容C2的第一极充电为高电平。第二电容C2的第二极与第三节点N3导通,充电为低电平。

[0102] 第四阶段t4,扫描输入信号为高电平,第一时钟信号ECK1为高电平,第二时钟信号ECK2为低电平。由于第二电容C2的存储作用,第六晶体管T6响应第三节点N3的低电平而导通,将第二时钟信号ECK2的低电平传输至第二电容C2的第一极。第五晶体管T5响应第二时

钟信号ECK2的低电平而导通,将第二电容C2的第一极的低电平传输至第二节点N2。第七晶体管T7响应第二节点N2的低电平而导通,将第一电位信号PVGH的高电平传输至扫描电路的输出端,移位输出信号Eout为高电平。同时,第十二晶体管T12维持第三阶段t3的截止状态。

[0103] 第五阶段t5,扫描输入信号为高电平,第一时钟信号ECK1为低电平,第二时钟信号ECK2为高电平。第五晶体管T5响应第二时钟信号ECK2的高电平而截止。由于第三电容C3的存储作用,第七晶体管T7的栅极维持第四阶段t4的低电平,扫描电路的输出端输出高电平。

[0104] 第四晶体管T4响应第一时钟信号ECK1的低电平而导通,将第二电位信号PVGL传输至第三节点N3,第三节点N3为低电平。第六晶体管T6响应第三节点N3的低电平而导通,将第二时钟信号ECK2传输至第二电容C2的第一极,第二电容C2的第一极充电为高电平。第二电容C2的第二极与第三节点N3导通,充电为低电平。

[0105] 第六阶段t6,扫描输入信号变为低电平,第一时钟信号ECK1为高电平,第二时钟信号ECK2为低电平。由于第二电容C2的存储作用,第六晶体管T6响应第三节点N3的低电平而导通,将第二时钟信号ECK2的低电平传输至第二电容C2的第一极。第五晶体管T5响应第二时钟信号ECK2的低电平而导通,将第二电容C2的第一极的低电平传输至第二节点N2。第七晶体管T7响应第二节点N2的低电平而导通,将第一电位信号PVGH的高电平传输至扫描电路的输出端,完成移位功能。

[0106] 第七阶段t7,移位输入信号EIN为低电平,第一时钟信号ECK1为低电平,第二时钟信号ECK2为高电平。第八晶体管T8响应第二电位信号PVGL的低电平而导通,使得第三节点N3和第六晶体管T6的栅极导通。第九晶体管T9响应第二电位信号PVGL的低电平而导通,使得第三节点N3和第一晶体管T1的栅极导通。第十三晶体管T13响应第二电位信号PVGL的低电平而导通,使得第一节点N1和第十晶体管T10的第二极导通。

[0107] 第十晶体管T10响应第一时钟信号ECK1的低电平而导通,将移位输入信号EIN输出至第一节点N1,第一节点N1为低电平。第二晶体管T2响应第一节点N1的低电平而导通,将第二时钟信号ECK2向第一电容C1的第一极充电,第一电容C1的第一极充电为高电平。第一电容C1的第二极与第一节点N1导通,第一电容C1的第二极充电为低电平。第十二晶体管T12响应第一节点N1的低电平而导通,将第二电位信号PVGL传输至扫描电路的输出端,移位输出信号Eout由高电平切换为低电平。

[0108] 由于第十晶体管T10的自举效应,第一节点N1的电压值为 $V_{PVGL}-V_{th1}$,其中, V_{PVGL} 为第二电位信号PVGL的电压值, V_{th1} 为第十晶体管T10的阈值电压, V_{PVGL} 和 V_{th1} 均为负值。以及由于第十二晶体管T12的自举效应,扫描电路的输出端输出的低电平的电压值为 $V_{PVGL}-V_{th1}-V_{th2}$,其中, V_{th2} 为第十二晶体管T12的阈值电压, V_{th2} 为负值。因此,移位输出信号Eout的电压高于第二电位信号PVGL的电压值。

[0109] 第八阶段t8,扫描输入信号为低电平,第一时钟信号ECK1为高电平,第二时钟信号ECK2为低电平。第八晶体管T8响应第二电位信号PVGL的低电平而导通,使得第三节点N3和第六晶体管T6的栅极导通。第九晶体管T9响应第二电位信号PVGL的低电平而导通,使得第三节点N3和第一晶体管T1的栅极导通。

[0110] 由于第一电容C1的存储作用,第二晶体管T2响应第一节点N1的低电平而导通,将第二时钟信号ECK2的低电平传输至第一电容C1的第一极。由于第一电容C1的耦合作用,第一电容C1的第二极的电位进一步降低,由 $V_{PVGL}-V_{th1}$ 降低为 $V_{PVGL}-V_{th1}+(V_{PVGL}-V_{PVGH})$,其中, V_{PVGH}

为第一电位信号PVGH的电压值。由于第一节点N1的电压降低幅度较大,使第十二晶体管T12的栅极电压处于深线性区,移位输出信号Eout的电压值与第二电位信号PVGL的电压值相等,消除了晶体管的自举效应。

[0111] 重复以上步骤实现扫描电路的移位寄存功能。

[0112] 本发明实施例通过设置自举消除模块300包括第一晶体管T1、第二晶体管T2和第一电容C1,一方面,可以控制第十二晶体管的栅极电位不受第十晶体管T10的自举效应的影响,以及移位输出信号Eout的电位不受第十二晶体管T12管的自举效应的影响;另一方面,本发明实施例设置第二晶体管T2将第二时钟信号ECK2和第一电容C1分开,避免了第二时钟信号ECK2线上的负载偏大的问题。因此,本发明实施例提供的扫描电路在减小第二时钟信号ECK2线上负载的基础上,实现了消除晶体管的自举效应,从而提升了移位输出信号Eout的稳定性和可靠性。

[0113] 图7为本发明实施例提供的又一种扫描电路的电路示意图。参见图7,在本发明的一种实施方式中,可选地,扫描电路还包括第一晶体管保护模块400,第一晶体管保护模块400包括第八晶体管T8和第九晶体管T9。第八晶体管T8的栅极接入第二电位信号PVGL,第八晶体管T8的第一极与第三晶体管T3的第二极电连接,第八晶体管T8的第二极与第六晶体管T6的栅极电连接;第九晶体管T9的栅极接入第二电位信号PVGL,第九晶体管T9的第一极与第一晶体管的栅极电连接,第九晶体管T9的第二极与第六晶体管T6的栅极电连接。定义第八晶体管T8的第一极为第四节点N4,第四节点N4和第三节点N3通过第一晶体管保护模块400连接。

[0114] 结合图7和图2,第二时钟信号ECK2为低电平的阶段,示例性地,在第二阶段t2,由于第二电容C2的存储作用,第六晶体管T6响应第三节点N3的低电平而导通,将第二时钟信号ECK2的低电平传输至第二电容C2的第一极。由于第二电容C2的耦合作用,第三节点N3的电位进一步降低。虽然第八晶体管T8的栅极为低电平,但高于第八晶体管T8的第二极的电压值,第八晶体管截止。使得第四节点N4的电压不会随第三节点N3的降低而降低,从而避免了第三晶体管T3和第四晶体管T4的栅漏电压Vgd偏压过大引起的工作异常。同理,第九晶体管T9截止,使得第一晶体管T1的栅极电压不会随第三节点N3的降低而降低,从而避免了第一晶体管T1偏压过大引起的工作异常。在其他阶段,示例性地,在第一阶段t1,第八晶体管T8响应第二电位信号PVGL的低电平而导通,使得第三节点N3和第六晶体管T6的栅极导通;第九晶体管T9响应第二电位信号PVGL的低电平而导通,使得第三节点N3和第一晶体管T1的栅极导通。因此,第八晶体管T8和第九晶体管T9的设置不会影响扫描电路的正常工作。

[0115] 图8为本发明实施例提供的一种未设置第一晶体管保护模块下的第四节点的电压检测波形图,图9为本发明实施例提供的一种设置有第一晶体管保护模块下的第四节点的电压检测波形图。参见图8和图9,在未设置第一晶体管保护模块400时,第四节点N4的电压波动较大,最低可达到约-17V;在设置有第一晶体管保护模块400时,第四节点N4的电压波动较小,最低仅为-5V左右。由此可见,本发明实施例设置第一晶体管T1保护模块实现了对第一晶体管T1、第三晶体管T3和第四晶体管T4的保护,增强了扫描电路的可靠性和稳定性。

[0116] 图10为本发明实施例提供的又一种扫描电路的电路示意图。参见图10,在本发明的一种实施方式中,可选地,扫描电路还包括第二晶体管保护模块500,第二晶体管保护模块500包括第十三晶体管T13,第十三晶体管T13的栅极接入第二电位信号PVGL,第十三晶体

管T13的第一极与第十晶体管T10的第二极电连接,第十三晶体管T13的第二极与第一节点N1电连接。

[0117] 结合图10和图2,第二时钟信号ECK2为低电平的阶段,示例性地,在第二阶段t2,由于第一节点N1的电压值降低为 $V_{PVGL}-V_{th1}+(V_{PVGL}-V_{PVGH})$,虽然第十三晶体管T13的栅极为低电平,但高于第十三晶体管T13的第二极的电压值,第十三晶体截止。使得第三晶体管T3的栅极电压和第十晶体管T10第一极电压不会随第一节点N1的降低而降低,从而避免了第三晶体管T3和第十晶体管T10的栅漏电压Vgd偏压过大引起的工作异常。在其他阶段,示例性地,在第一阶段t1,第十三晶体管T13响应第二电位信号PVGL的低电平而导通,使得第一节点N1和第十晶体管T10的第二极导通。因此,第十三晶体管T13的设置不会影响扫描电路的正常工作。由此可见,本发明实施例设置第二晶体管保护模块500实现了对第三晶体管T3和第十晶体管T10的保护,增强了扫描电路的可靠性和稳定性。

[0118] 图11为本发明实施例提供的又一种扫描电路的电路示意图。参见图11,在本发明的一种实施方式中,可选地,扫描电路包括:寄存模块、移位模块、自举消除模块300、第一晶体管T1保护模块和第二晶体管T2保护模块。其中,寄存模块包括寄存控制单元210和寄存输出单元220,移位模块包括第一移位控制单元110、第二移位控制单元120和移位输出单元130,自举消除模块300包括第一传输单元310、第二传输单元320和存储单元330。

[0119] 自举消除模块300包括第一晶体管T1、第二晶体管T2和第一电容C1,第一移位控制单元110包括第三晶体管T3和第四晶体管T4,第二移位控制单元120包括第五晶体管T5、第六晶体管T6和第二电容C2,移位输出单元130包括第七晶体管T7和第三电容C3,寄存控制单元210包括第十晶体管T10和第十一晶体管T11,寄存输出单元220包括第十二晶体管T12,第一晶体管保护模块400包括第八晶体管T8和第九晶体管T9,第二晶体管保护模块500包括第十三晶体管T13。

[0120] 本发明实施例通过设置自举消除模块300包括第一晶体管T1、第二晶体管T2和第一电容C1,一方面,可以控制第十二晶体管的栅极电位不受第十晶体管T10的自举效应的影响,以及移位输出信号Eout的电位不受第十二晶体T12管的自举效应的影响;另一方面,本发明实施例设置第二晶体管T2将第二时钟信号ECK2和第一电容C1分开,避免了第二时钟信号ECK2线上的负载偏大的问题。以及本发明实施例设置第一晶体管保护模块400包括第八晶体管T8和第九晶体管T9,第二晶体管保护模块500包括第十三晶体管T13,避免了由第一电容C1和第二电容C2引起的第一节点N1和第三节点N3的电位过低,带来的晶体管偏压过大的问题。因此,本发明实施例提供的扫描电路在减小第二时钟信号ECK2线上负载和消除晶体管的自举效应的基础上,可以在扫描电路的工作过程中,使晶体管可以受到保护,进一步提升了移位输出信号Eout的稳定性和可靠性。

[0121] 本发明实施例还提供了一种显示面板。图12为本发明实施例提供的一种显示面板的结构示意图,图13为本发明实施例提供的一种显示面板的驱动时序示意图。参见图12和图13,该显示面板包括级联连接的至少两个如本发明任意实施例所提供的扫描电路10、第一时钟信号线20、第二时钟信号线30、第一电位信号线40、第二电位信号线50和启动信号线60。其中,第一时钟信号线20向扫描电路10提供第一时钟信号ECK1,第二时钟信号线30向扫描电路10提供第二时钟信号ECK2,第一电位信号线40向扫描电路10提供第一电位信号,第二电位信号线50向扫描电路10提供第二电位信号,启动信号线60向第一级扫描电路10提供

移位输入信号EIN,上一级扫描电路10的移位输出信号Eout1向下一级扫描电路10提供移位输入信号EIN,下一级扫描电路10输出移位输出信号Eout2。各级扫描电路10与像素控制信号线70连接,示例性地,像素控制信号线70为扫描线或发光控制信号线。

[0122] 因此,本发明实施例提供的显示面板实现了逐行输出扫描信号的功能,且各级扫描电路10输出的扫描信号稳定性良好。

[0123] 继续参见图12,在上述各实施例的基础上,可选地,扫描电路10设置于显示面板的两侧。示例性地,位于显示面板左侧的扫描电路10级联连接,依次向奇数条扫描线发送扫描信号。位于显示面板右侧的扫描电路10级联连接,依次向偶数条扫描线发送扫描信号。本发明实施例这样设置有利于减小扫描电路10占用显示面板的一侧的边框,从而有利于减小显示面板的边框宽度。

[0124] 注意,上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解,本发明不限于这里所述的特定实施例,对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此,虽然通过以上实施例对本发明进行了较为详细的说明,但是本发明不仅仅限于以上实施例,在不脱离本发明构思的情况下,还可以包括更多其他等效实施例,而本发明的范围由所附的权利要求范围决定。

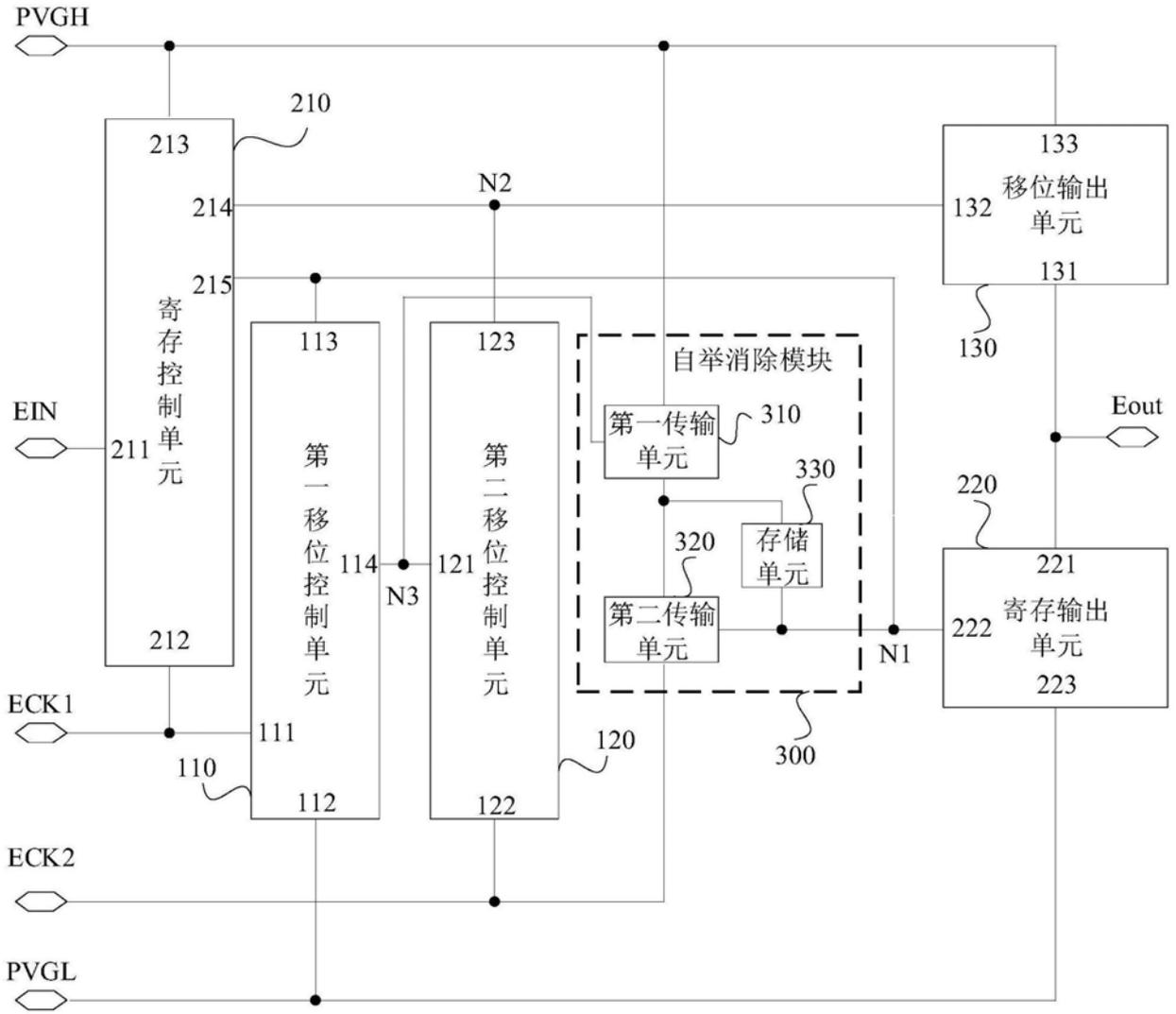


图1

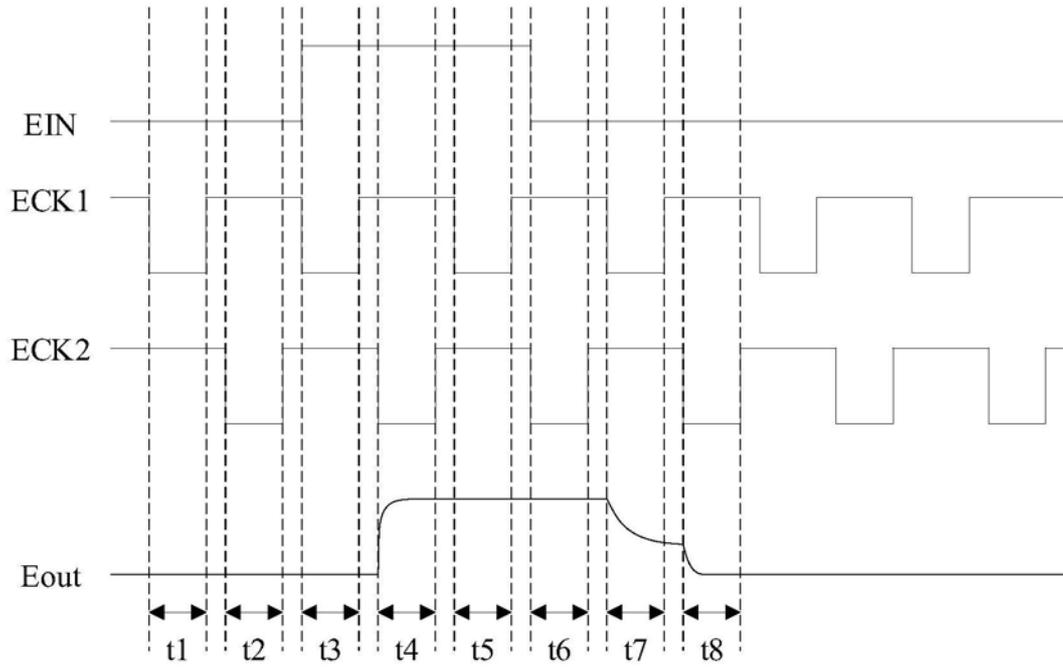


图2

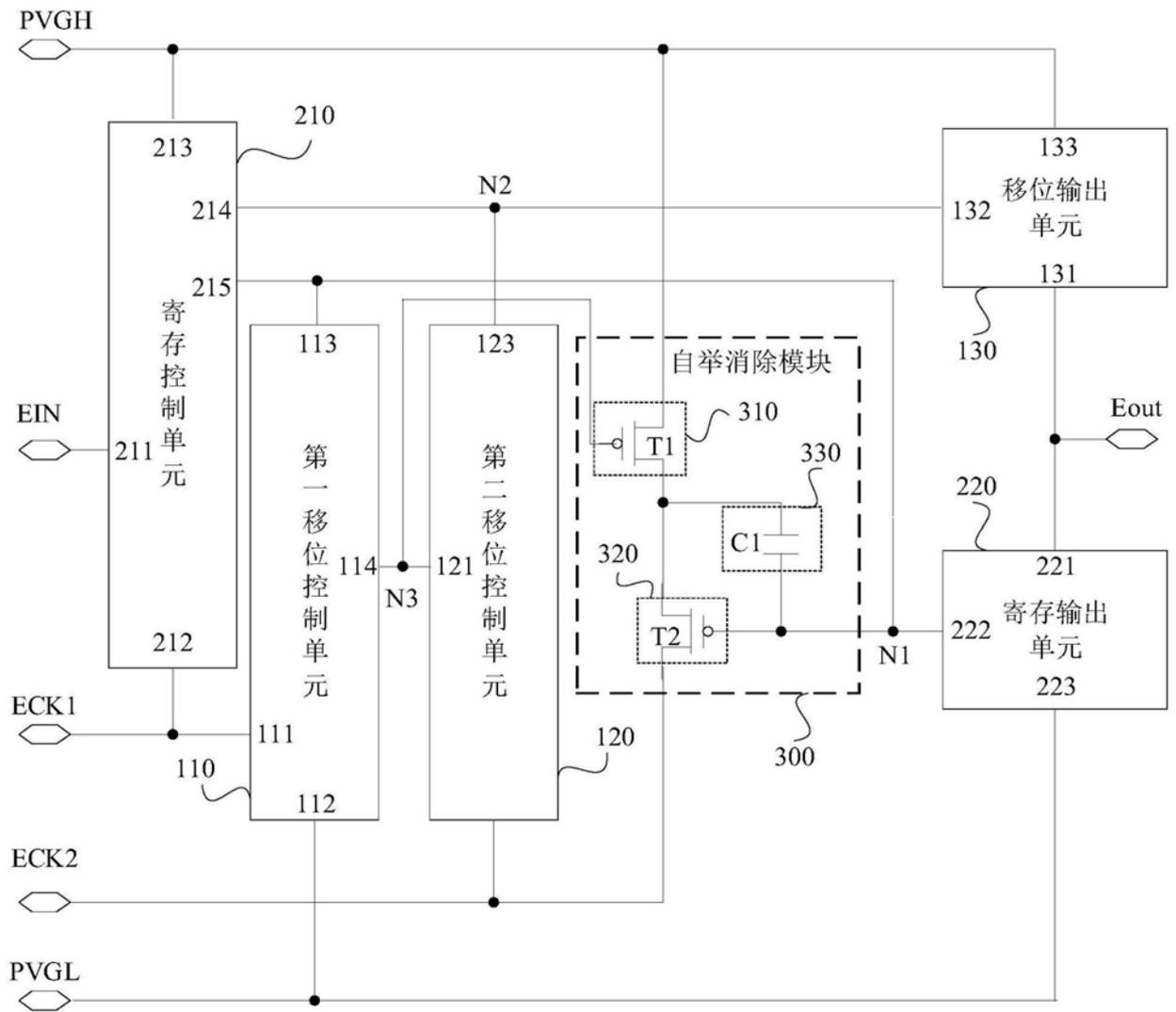


图3

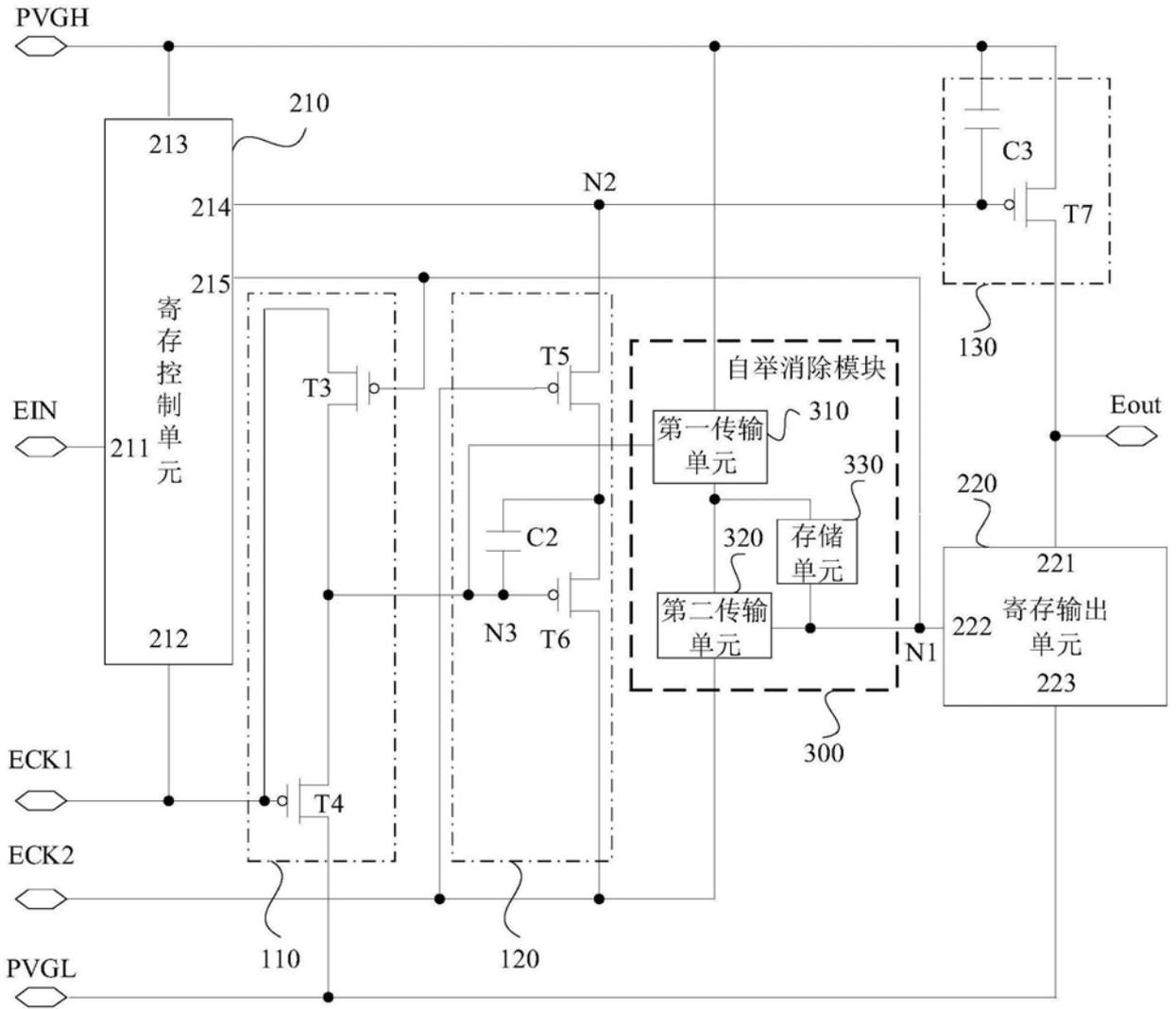


图4

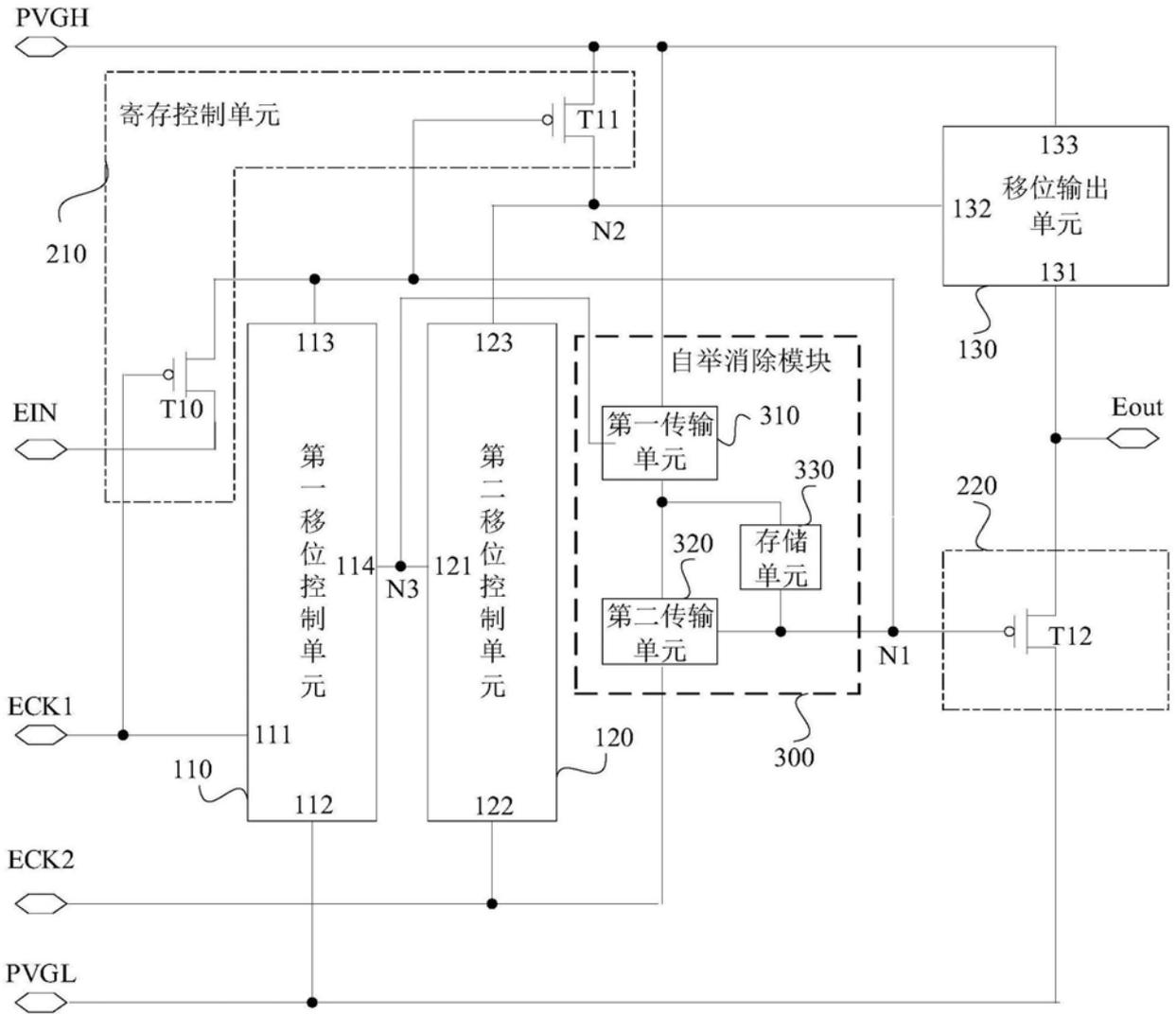


图5

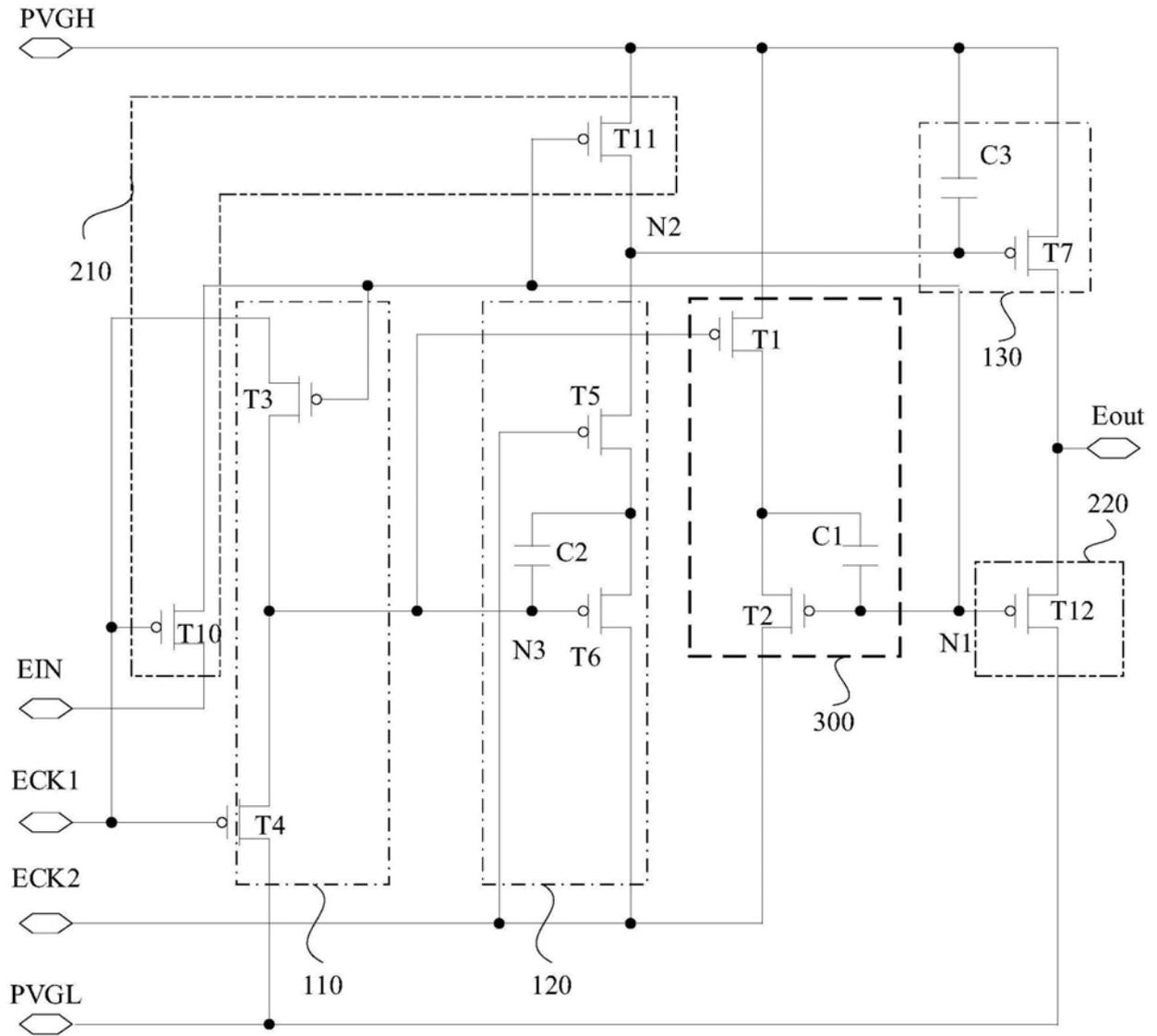


图6

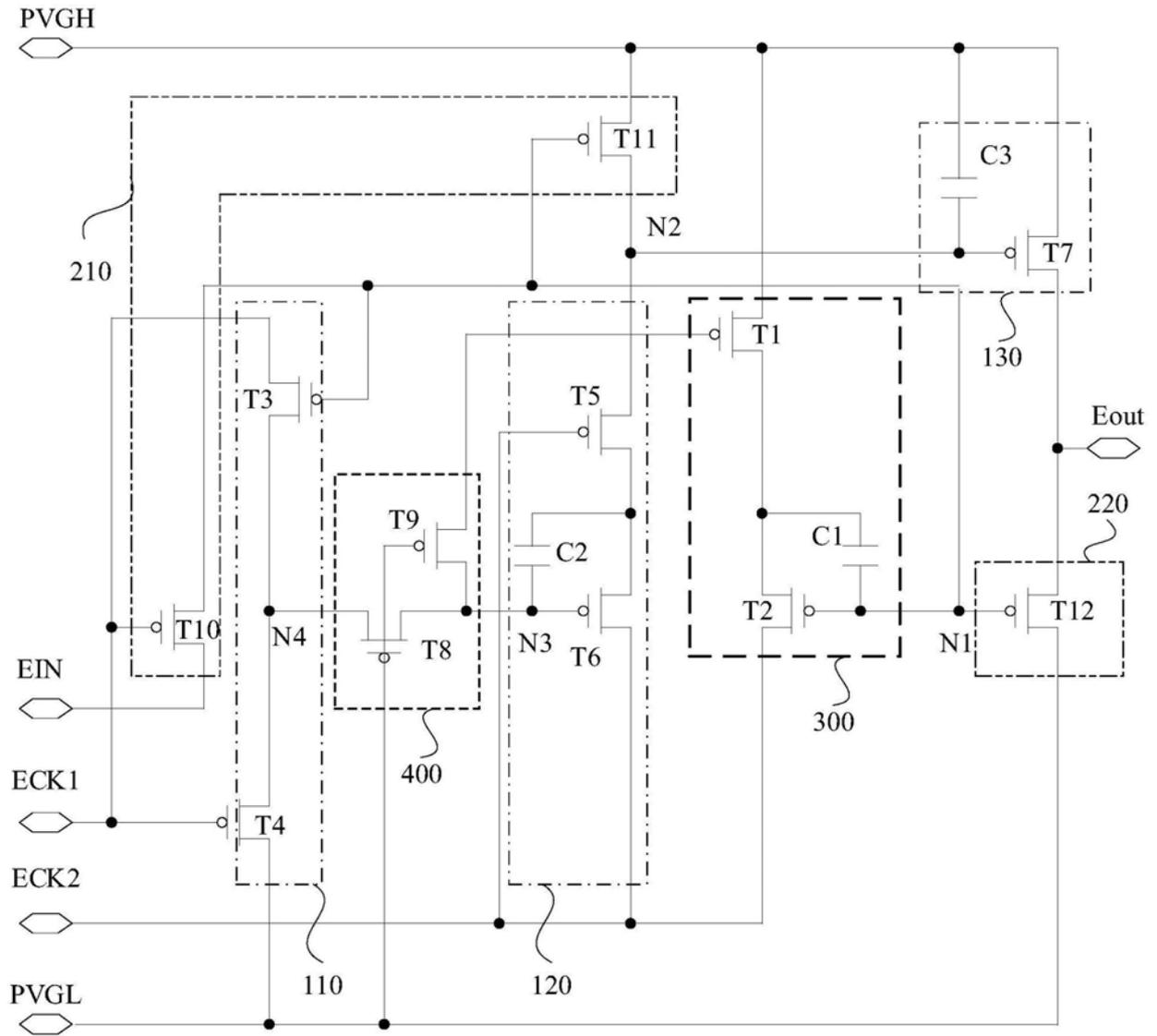


图7

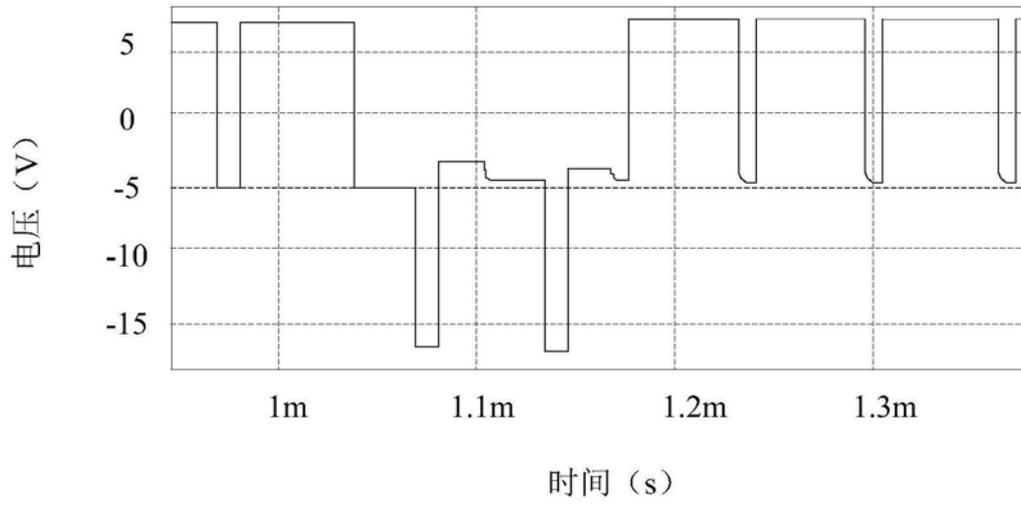


图8

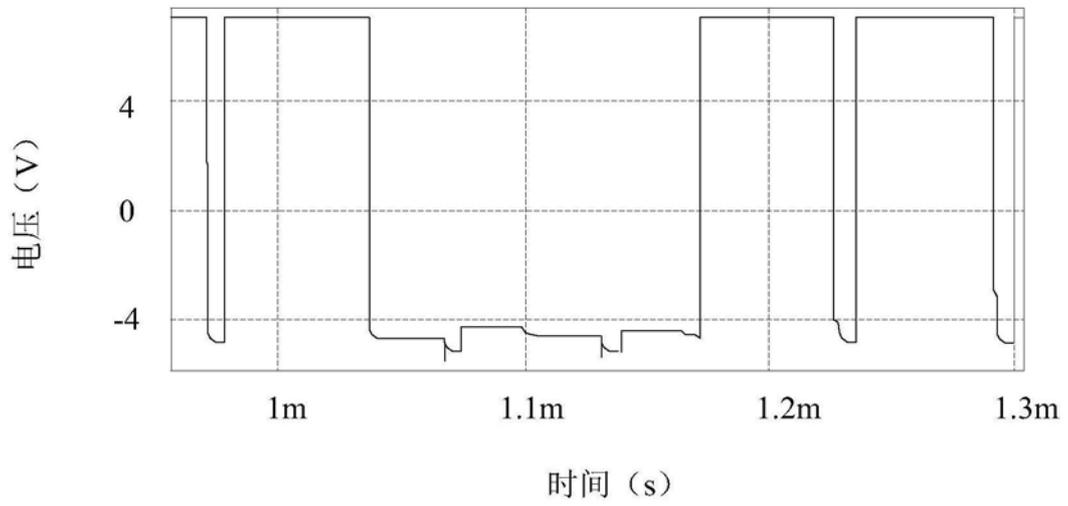


图9

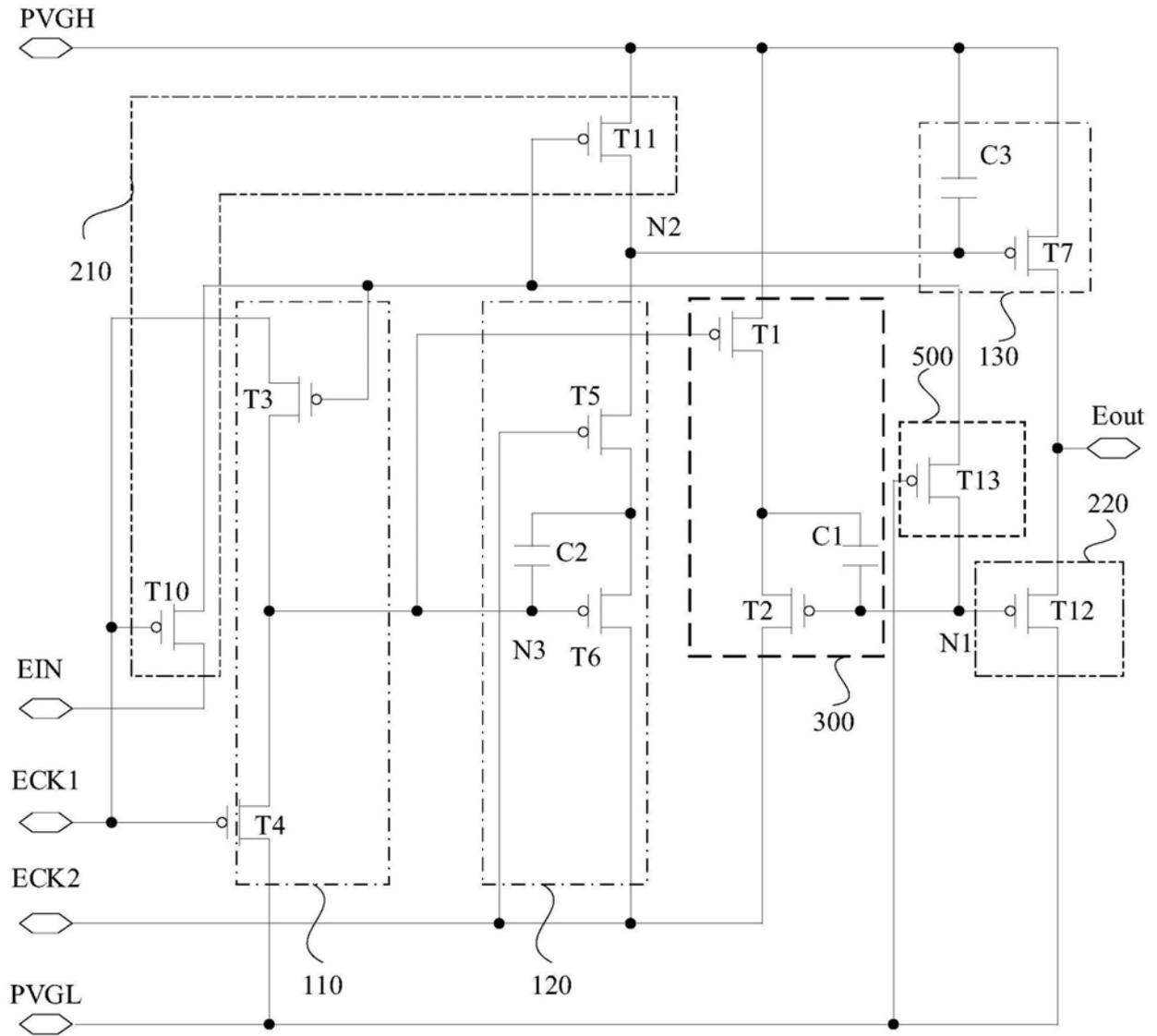


图10

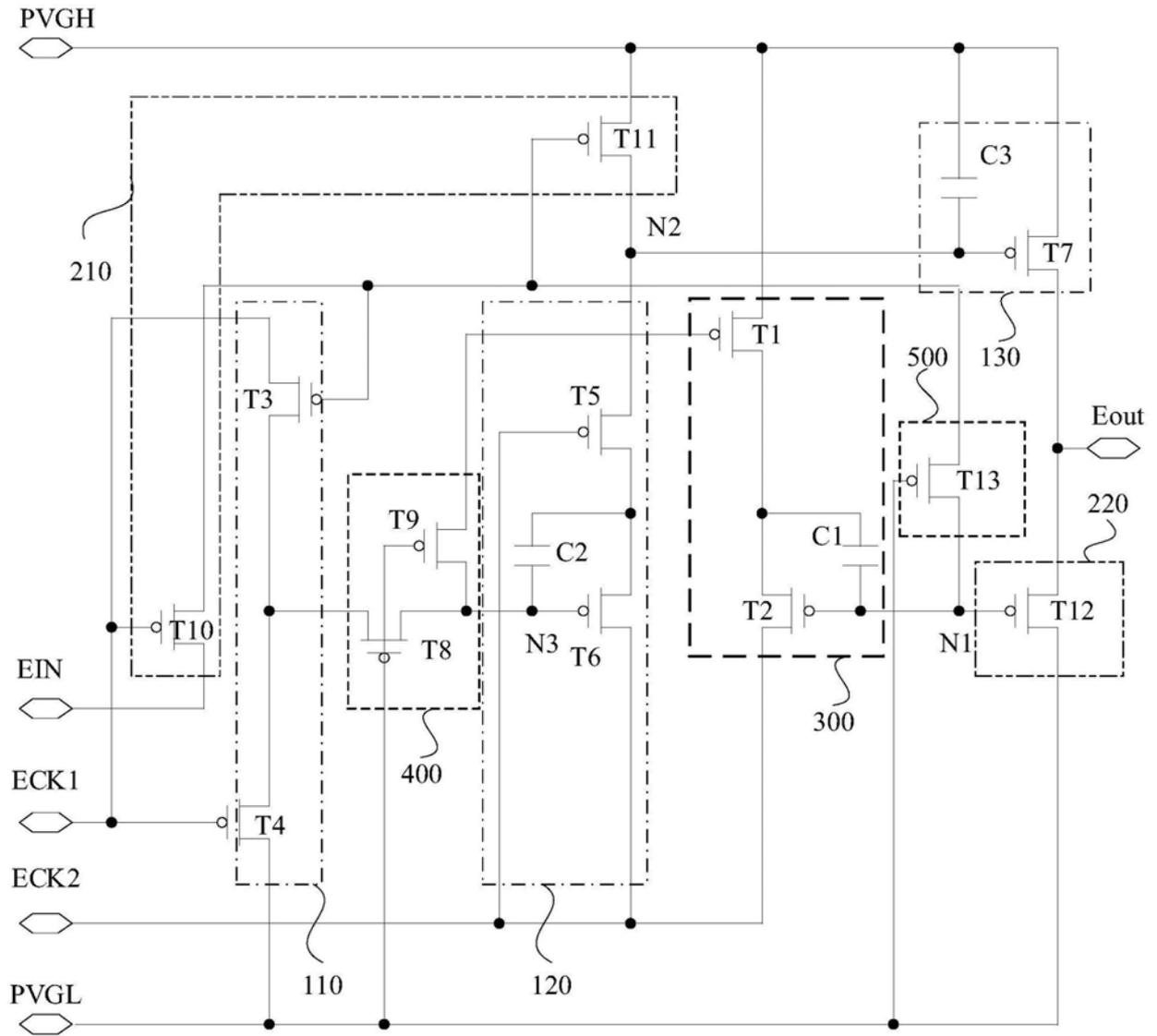


图11

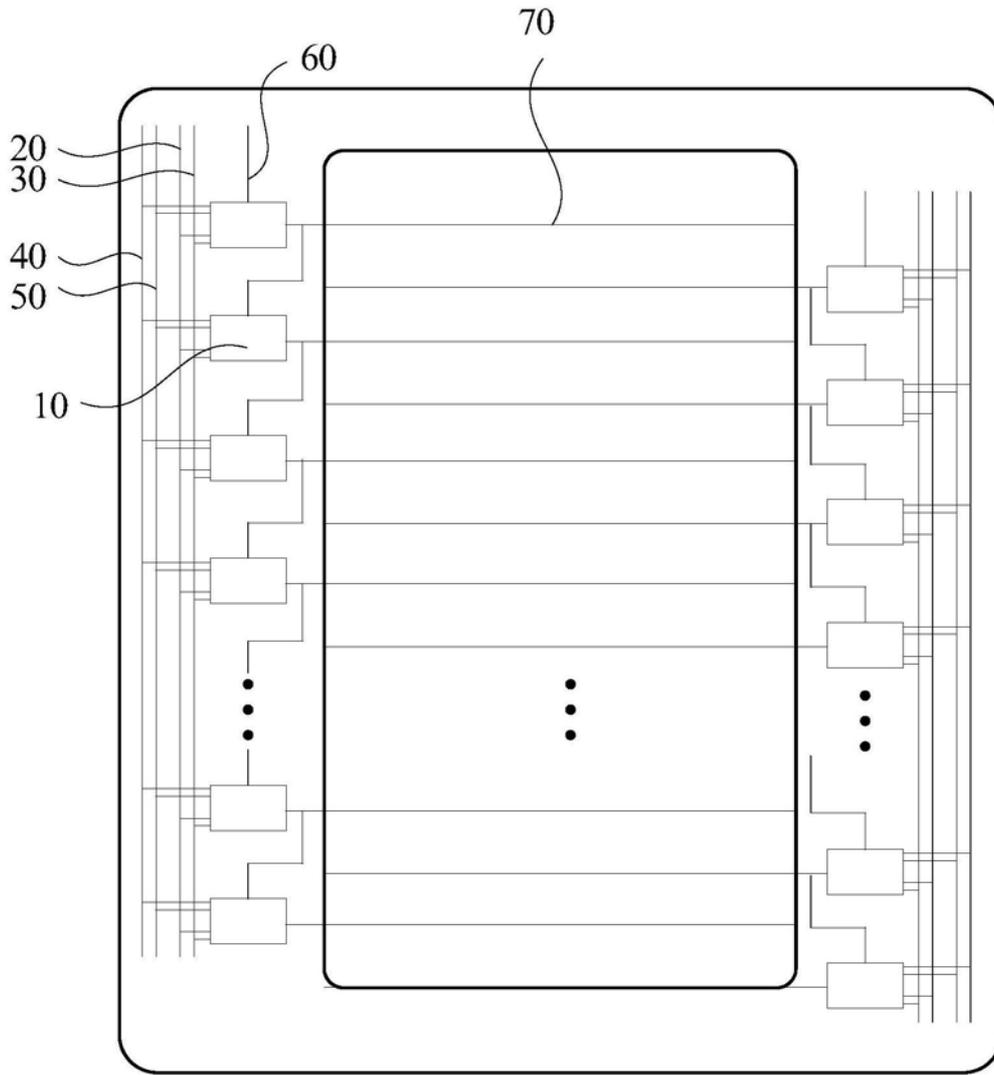


图12

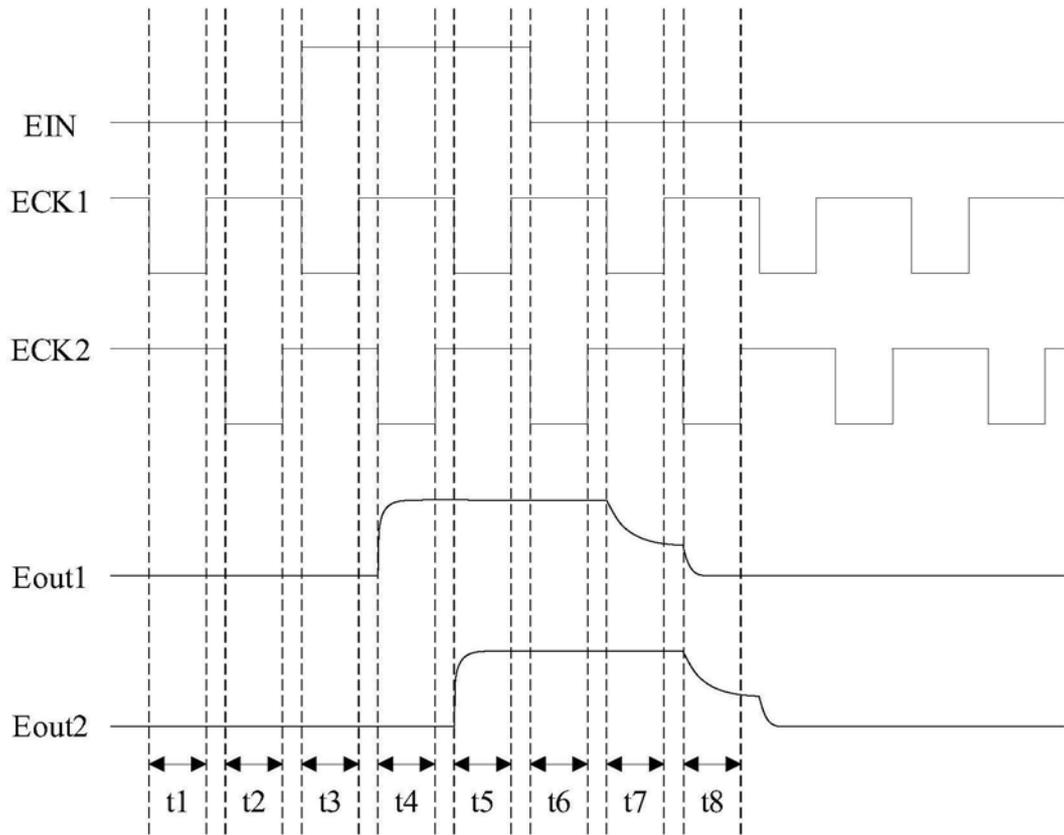


图13