

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5662108号
(P5662108)

(45) 発行日 平成27年1月28日(2015.1.28)

(24) 登録日 平成26年12月12日(2014.12.12)

(51) Int. Cl.	F I
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 O 2 A
HO 1 L 27/088 (2006.01)	HO 1 L 29/78 3 O 1 D
HO 1 L 21/336 (2006.01)	HO 1 L 27/08 3 3 1 B
HO 1 L 29/78 (2006.01)	HO 1 L 21/76 J
HO 1 L 27/08 (2006.01)	

請求項の数 7 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2010-248113 (P2010-248113)
 (22) 出願日 平成22年11月5日(2010.11.5)
 (65) 公開番号 特開2012-99749 (P2012-99749A)
 (43) 公開日 平成24年5月24日(2012.5.24)
 審査請求日 平成25年10月28日(2013.10.28)

(73) 特許権者 300057230
 セミコンダクター・コンポーネンツ・イン
 ダストリーズ・リミテッド・ライアビリテ
 ィ・カンパニー
 アメリカ合衆国 アリゾナ州 85008
 フェニックス イースト・マクドウェル
 ・ロード5005
 (74) 代理人 100107906
 弁理士 須藤 克彦
 (72) 発明者 武田 安弘
 群馬県邑楽郡大泉町坂田一丁目1番1号
 三洋半導体株式会社内
 (72) 発明者 大竹 誠治
 群馬県邑楽郡大泉町坂田一丁目1番1号
 三洋半導体株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型の半導体基板と、
 前記半導体基板上に形成された第2導電型のエピタキシャル層と、
 前記半導体基板と前記エピタキシャル層の境界領域に形成された第2導電型の埋め込み層と、
 前記エピタキシャル層の中に形成された第1導電型の素子分離層と、
 前記素子分離層で囲まれた前記エピタキシャル層の表面に形成された第2導電型のドリフト層と、
 前記ドリフト層の表面に形成された第2導電型のドレイン層と、
 前記エピタキシャル層の中に、前記ドリフト層及び前記ドレイン層を囲んで形成された第1導電型のドレイン分離層と、
 前記ドレイン分離層と前記素子分離層の間の前記エピタキシャル層の中に形成された第1導電型のコレクタ層と、
 前記エピタキシャル層の表面に前記コレクタ層を取り囲んで形成された第2導電型のガードリング層と、
 前記エピタキシャル層の表面に形成された第1導電型のボディ層と、
 前記ボディ層の表面に形成された第2導電型のソース層と、
 前記エピタキシャル層の表面に形成されたゲート絶縁膜と、
 前記ゲート絶縁膜上に形成されたゲート電極と、を具備することを特徴とする半導体装

置。

【請求項 2】

第 1 導電型の半導体基板と、
 前記半導体基板上に形成された第 2 導電型のエピタキシャル層と、
 前記半導体基板と前記エピタキシャル層の境界領域に形成された第 2 導電型の埋め込み層と、
 前記エピタキシャル層の中に形成された第 1 導電型の素子分離層と、
 前記素子分離層で囲まれた前記エピタキシャル層の表面に形成された第 2 導電型のドリフト層と、
 前記ドリフト層の表面に形成された第 2 導電型のドレイン層と、
 前記ドリフト層と前記素子分離層の間の前記エピタキシャル層の中に形成された第 1 導電型のコレクタ層と、
 前記エピタキシャル層の表面に前記コレクタ層を取り囲んで形成された第 2 導電型のガードリング層と、
 前記エピタキシャル層の表面に形成された第 1 導電型のボディ層と、
 前記ボディ層の表面に形成された第 2 導電型のソース層と、
 前記エピタキシャル層の表面に形成されたゲート絶縁膜と、
 前記ゲート絶縁膜上に形成されたゲート電極と、を具備することを特徴とする半導体装置。

10

【請求項 3】

第 1 導電型の半導体基板と、
 前記半導体基板上に形成された第 2 導電型のエピタキシャル層と、
 前記半導体基板と前記エピタキシャル層の境界領域に形成された第 2 導電型の埋め込み層と、
 前記エピタキシャル層の中に形成された第 1 導電型の素子分離層と、
 前記素子分離層で囲まれた前記エピタキシャル層の表面に形成された第 1 導電型のドリフト層と、
 前記ドリフト層の表面に形成された第 1 導電型のドレイン層と、
 前記ドリフト層と前記素子分離層の間の前記エピタキシャル層の中に形成された第 1 導電型のコレクタ層と、
 前記エピタキシャル層の表面に前記コレクタ層を取り囲んで形成された第 2 導電型のガードリング層と、
 前記エピタキシャル層の表面に形成された第 2 導電型のボディ層と、
 前記ボディ層の表面に形成された第 1 導電型のソース層と、
 前記エピタキシャル層の表面に形成されたゲート絶縁膜と、
 前記ゲート絶縁膜上に形成されたゲート電極と、を具備することを特徴とする半導体装置。

20

30

【請求項 4】

前記コレクタ層は、前記エピタキシャル層の表面から前記エピタキシャル層の厚さより浅く形成されていることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

40

【請求項 5】

前記ソース層、前記コレクタ層、前記素子分離層及び前記半導体基板は接地電位に固定されることを特徴とする請求項 1、4 のいずれかに記載の半導体装置。

【請求項 6】

前記ドレイン層、前記コレクタ層は電源電位に、及び前記半導体基板は接地電位に固定されることを特徴とする請求項 2、4 のいずれかに記載の半導体装置。

【請求項 7】

前記ソース層、前記コレクタ層は電源電位に、及び前記半導体基板は接地電位に固定されることを特徴とする請求項 3、4 のいずれかに記載の半導体装置。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、半導体装置に関し、特に半導体基板に向かって流れ込む、回生電流又は寄生バイポーラトランジスタのオン電流を大幅に減少させるLDMOSTランジスタに係るものである。

【背景技術】

【0002】

LDMOSTランジスタは、IGBTと共に、バイポーラ型のパワーランジスタに比べてスイッチング特性が優れ特性も安定し使いやすいことからDC-DCコンバータなどのスイッチング電源や照明機器のインバータ回路、モーターのインバータ回路等に広く使用されている。なお、LDMOSTとは、Lateral Double Diffused Metal Oxide Semiconductorの略称で横型二重拡散ゲートMOSを意味する。

10

【0003】

LDMOSTランジスタには種々の構成のものがあるが、先ず、P型の半導体基板上にN+型埋め込み層を挟んでN型エピタキシャル層を形成し、該N型エピタキシャル層をP+型分離層で複数の領域に分離し、その一の領域にN+型ソース層を含むP型ボディ層、及びN+型ドレイン層を含むN型ドリフト層が形成された一般的なLDMOSTランジスタ(以下、通常型LDMOSTランジスタと記載する)が存在する。

【0004】

20

このLDMOSTランジスタのN+型ドレイン層に、電源オフ動作時等にモーター等のインダクタンス負荷(以下L負荷という)から負電圧が印加される場合がある。このとき、N+型埋め込み層とP型半導体基板で構成されるPN接合は順方向バイアスとなるため、N+ドレイン層からP型半導体基板にいわゆる回生電流が流れノイズ発生や制御回路の誤動作の原因となる。

【0005】

このような誤動作を防止するための対策が、以下の特許文献1に開示されている。

【先行技術文献】

【特許文献】

【0006】

30

【特許文献1】特開2004-247400号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

回生電流を流すために、N+型ドレイン層に大きな負電圧が印加された場合には、N型エピタキシャル層をエミッタ、P型半導体基板をベース、P+型分離層で分離された隣のN型エピタキシャル層等をコレクタとする寄生NPNバイポーラトランジスタがオン動作する場合がある。

【0008】

更に、該寄生NPNバイポーラトランジスタが、内在する寄生PNPバイポーラトランジスタとそれぞれのベースがそれぞれのコレクタと接続された状態にあるときは、両トランジスタで寄生サイリスタを構成しリーク電流が増大し続け、最終的には、LDMOSTランジスタが熱破壊する場合がある。

40

【0009】

係る寄生サイリスタが動作するという弊害を回避するため、図3に示すように、N+型ドレイン層13、N型ドリフト層8及びN型エピタキシャル層5(以下、3層を併せてドレイン領域という)をP型ドレイン分離層6で取り囲み、P型半導体基板1から該ドレイン領域を完全に分離したLDMOSTランジスタが開発され、量産されている。以下、係るLDMOSTランジスタをドレイン分離型LDMOSTランジスタと記載して説明を進める。

50

【0010】

ドレイン分離型LDMOSTランジスタには、同図に示す寄生サイリスタSが存在するが、ドレイン領域を取り囲むP型ドレイン分離層6とP型素子分離層3の間のN型エピタキシャル層5からなるN型層5bをN+型ガードリング層15を介して接地ラインに接続し、該寄生サイリスタSのオン動作を防止している。

【0011】

しかしながら、上記特許文献1ではモーター負荷から大きな負電圧が印加された場合を対象にしているだけでN+型ドレイン層13に大きな正電圧が印加された場合は想定していない。しかし、図3に示すN+型ドレイン層13に何らかの原因、例えば電源オンオフ時のL負荷からの大きな正電圧や静電気による大きな正電圧が印加された場合、ドレイン領域のN型エピタキシャル層5からなるN型層5aとP型ドレイン分離層6との容量結合によりP型ドレイン分離層6が正電位になる場合がある。

10

【0012】

また、P型ドレイン分離層6は、N+型ドレイン層13に入力した高い正電圧により生じる強電界で加速されたホットエレクトロンが原因となり、正電位になる場合もある。その場合、同図に示す、P型ドレイン分離層6をエミッタ、前記接地ラインに接続されたN型層5bをベース、P+型素子分離層3をコレクタとする寄生PNPバイポーラトランジスタT2がオン動作する。その結果、N+型ドレイン層13からP型半導体基板1に大きな電流が流れることになり、ノイズ発生、制御回路誤動作等の弊害が出る可能性がある。

【0013】

これを防止するため、図2に示すように、N+型ガードリング層15が形成されたN型エピタキシャル層5の表面からN+型埋め込み層2内まで延在する高濃度のN+型シンカー層21を形成し、寄生PNPバイポーラトランジスタT2のベース抵抗を小さくし、ベース・エミッタ間電圧を低下させ、該寄生PNPバイポーラトランジスタT2がオン動作しにくくしている。

20

【0014】

前記N+型シンカー層21を形成する場合、高温炉中で長時間かけてリン(P)等をN+型埋め込み層5内に延在するまで熱拡散する。このとき、リン(P)等は横方向にも拡がって熱拡散するのでN型層5bの表面領域のかなりの幅をN+型シンカー層21で占有することになりチップサイズが増大する。

30

【0015】

従って、チップサイズの増大を伴わない形態で、寄生PNPバイポーラトランジスタのオン動作を阻止し、N+型ドレイン層13からP型半導体基板1に流出する不要なサージ電流を阻止することができるドレイン分離型LDMOSTランジスタの実現が課題となる。又、ドレイン分離型LDMOSTランジスタのチップサイズと同等以下で、且つ回生電流が減少された通常型LDMOSTランジスタの実現も課題となる。

【課題を解決するための手段】

【0016】

本発明の半導体装置は、第1導電型の半導体基板と、前記半導体基板上に形成された第2導電型のエピタキシャル層と、前記半導体基板と前記エピタキシャル層の境界領域に形成された第2導電型の埋め込み層と、前記エピタキシャル層の中に形成された第1導電型の素子分離層と、前記素子分離層で囲まれた前記エピタキシャル層の表面に形成された第2導電型のドリフト層と、前記ドリフト層の表面に形成された第2導電型のドレイン層と、前記エピタキシャル層の中に、前記ドリフト層及び前記ドレイン層を囲んで形成された第1導電型のドレイン分離層と、前記ドレイン分離層と前記素子分離層の間の前記エピタキシャル層の中に形成された第1導電型のコレクタ層と、前記エピタキシャル層の表面に前記コレクタ層を取り囲んで形成された第2導電型のガードリング層と、前記エピタキシャル層の表面に形成された第1導電型のボディ層と、前記ボディ層の表面に形成された第2導電型のソース層と、前記エピタキシャル層の表面に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を具備することを特徴とするものである。

40

50

【0017】

また、本発明の半導体装置は、第1導電型の半導体基板と、前記半導体基板上に形成された第2導電型のエピタキシャル層と、前記半導体基板と前記エピタキシャル層の境界領域に形成された第2導電型の埋め込み層と、前記エピタキシャル層の中に形成された第1導電型の素子分離層と、前記素子分離層で囲まれた前記エピタキシャル層の表面に形成された第2導電型のドリフト層と、前記ドリフト層の表面に形成された第2導電型のドレイン層と、前記ドリフト層と前記素子分離層の間の前記エピタキシャル層の中に形成された第1導電型のコレクタ層と、前記エピタキシャル層の表面に前記コレクタ層を取り囲んで形成された第2導電型のガードリング層と、前記エピタキシャル層の表面に形成された第1導電型のボディ層と、前記ボディ層の表面に形成された第2導電型のソース層と、前記エピタキシャル層の表面に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を具備することを特徴とする。

10

【0018】

また、本発明の半導体装置は、第1導電型の半導体基板と、前記半導体基板上に形成された第2導電型のエピタキシャル層と、前記半導体基板と前記エピタキシャル層の境界領域に形成された第2導電型の埋め込み層と、前記エピタキシャル層の中に形成された第1導電型の素子分離層と、前記素子分離層で囲まれた前記エピタキシャル層の表面に形成された第1導電型のドリフト層と、前記ドリフト層の表面に形成された第1導電型のドレイン層と、前記ドリフト層と前記素子分離層の間の前記エピタキシャル層の中に形成された第1導電型のコレクタ層と、前記エピタキシャル層の表面に前記コレクタ層を取り囲んで形成された第2導電型のガードリング層と、前記エピタキシャル層の表面に形成された第2導電型のボディ層と、前記ボディ層の表面に形成された第1導電型のソース層と、前記エピタキシャル層の表面に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を具備することを特徴とする。

20

【発明の効果】

【0019】

本発明の半導体装置によれば、チップサイズを増大させることなく、LDMOSトランジスタのドレイン層から半導体基板に向かって流れこむ、回生電流又は寄生バイポーラトランジスタの電流を、大幅に減少させることができる。

【図面の簡単な説明】

30

【0020】

【図1】本発明の第1の実施形態におけるドレイン分離型LDMOSトランジスタ及びその製造方法を示す断面図である。

【図2】従来のN+型シンカー層を有するドレイン分離型LDMOSトランジスタを示す断面図である。

【図3】従来のN+型ガードリング層のみを有するドレイン分離型LDMOSトランジスタを示す断面図である。

【図4】ドレイン分離型LDMOSトランジスタの寄生PNPバイポーラトランジスタの電流増幅率(h_{FE})の測定方法並びに寄生PNPバイポーラトランジスタの構造別の電流増幅率(h_{FE})を比較する図である。

40

【図5】寄生PNPバイポーラトランジスタ形成領域の構造別のチップサイズへの影響を比較するドレイン分離型LDMOSトランジスタの断面図である。

【図6】本発明の第1の実施形態におけるドレイン分離型LDMOSトランジスタの製造方法を示す断面図である。

【図7】本発明の第1の実施形態におけるドレイン分離型LDMOSトランジスタの製造方法を示す断面図である。

【図8】本発明の第1の実施形態におけるドレイン分離型LDMOSトランジスタの製造方法を示す断面図である。

【図9】本発明の第2の実施形態における通常型LDMOSトランジスタを示す断面図である。

50

【図10】本発明の第3の実施形態における通常型LDMOSトランジスタを示す断面図である。

【発明を実施するための形態】

【0021】

〔第1の実施形態〕

本実施形態に係るドレイン分離型LDMOSトランジスタについて、従来構成のドレイン分離型LDMOSトランジスタと比較しつつ、図1から図5に基づいて以下に説明する。

なお、本実施形態に係るドレイン分離型LDMOSトランジスタは、図1等に示すように、N+型ドレイン13等からなるドレイン領域を中心に、左右対称にN+型ソース層12等からなるソース領域等が構成されている。

10

【0022】

図1は本実施形態のドレイン分離型LDMOSトランジスタ及びその製造方法を示す断面図である。P型半導体基板1上にP型素子分離層3により複数の領域に分離されたN型エピタキシャル層5が形成される。P型素子分離層3により分離された一のN型エピタキシャル層5とP型半導体基板1の境界領域にはN+型埋め込み層2が形成される。

【0023】

また、該N型エピタキシャル層5には後述のN+型ドレイン層13等を形成するドレイン領域を除いて、P型ドレイン分離層6がN+型埋め込み層2の一部を除いた領域と接し、該N+型埋め込み層2上からN型エピタキシャル層5の表面まで延在して形成される。従って、P型ドレイン分離層6で囲まれたN型エピタキシャル層5の一部からなるN型層5aが形成される。

20

【0024】

また、P型ドレイン分離層6とP型素子分離層3の間にはN型エピタキシャル層5の一部からなるN型層5bが形成される。このN型層5bは、詳しく言えば、P型ドレイン分離層6が存在しないN+型埋め込み層2の領域、P型ドレイン分離層6の一端、P型素子分離層3及びP型半導体基板1に挟まれた領域に形成される。N型層5bは、N+型埋め込み層2とP型素子分離層3との間の絶縁耐圧を確保する役割を有している。

【0025】

N型層5aの表面には、N型ドリフト層8が形成され、該N型ドリフト層8の表面にはN+型ドレイン層13が形成される。つまり、N型ドリフト層8及びN+型ドレイン層13は、P型ドレイン分離層6に囲まれた領域に形成され、P型半導体基板1から完全に分離される。このことがドレイン分離型LDMOSトランジスタと称した理由である。

30

【0026】

また、P型ドレイン分離層6内からN型層5aに延在してP型ボディ層9が形成され、P型ボディ層9の表面にはN+型ソース層12及びP+型コンタクト層14aが形成される。N+型ソース層12上からN型層5a上に延在してゲート絶縁膜10が形成され、ゲート絶縁膜10上にゲート電極11が形成される。

【0027】

N型層5bには、同図に示すように、その表面から該N型層5bの内部まで延在するP型コレクタ層7が形成され、その表面にP+型コレクタ層14が形成される。P型コレクタ層7は、N型エピタキシャル層5の厚さより浅く形成される。P型コレクタ層7の外側にN+型ガードリング層15が形成される。P型素子分離層3の表面にもP+型分離コンタクト層14cが形成され、P型ドレイン分離層6の表面にもP+型ドレイン分離コンタクト層14dが形成される。

40

【0028】

さらに、N+型ソース層12及びP+型コンタクト層14aと接続するソース電極18、N+型ドレイン層13と接続するドレイン電極17、P+型コレクタ層14b及びN+型ガードリング層15と接続するコレクタ電極19、並びにP+型分離層14cと接続する分離電極20が、それぞれ層間絶縁膜16等に形成されたコンタクトホールを介して形

50

成される。

【0029】

通常、ドレイン電極17に電源電圧 V_{DD} が印加され、ソース電極18、コレクタ電極19及び分離電極20は接地される。係るドレイン分離型LDMOSTランジスタのドレイン電極17に静電気等やL負荷が原因で大きな正電圧が印加された場合、N型層5aとP型ドレイン分離層6との間に形成されるPN接合による容量結合でP型ドレイン分離層6の電位が上がる。

【0030】

または、N+型ドレイン層13とN+型ソース層12間にドレイン・ソース間絶縁破壊電圧 BV_{DS} より大きな電圧が印加されることから、N+型ドレイン層13側に向かってN型層5a、N型ドリフト層8内に空乏層が広がる。N+型ソース層12から注入されN+型ドレイン層13側に向かって走行する電子は、空乏層内の強電界により加速されホットエレクトロンになりN型ドリフト層8等でシリコン格子に作用し多数の電子-正孔対を発生する。

10

【0031】

電子-正孔対の内、電子は正電位のN+型ドレイン層13に流れ込むが、正孔はソース電極18側に向かってP型ボディ層9内を流れP+型コンタクト層14aに流れ込む。一部はP型ドレイン分離層6を経由してP+型コンタクト層14aに流れる。このときP型ボディ層9やP型ドレイン分離層6の電位が接地電位に対して正になる。

【0032】

この結果、同図に示す2つの寄生PNPバイポーラトランジスタT3、T4がオン動作を開始する可能性がある。寄生PNPバイポーラトランジスタT3はP型ドレイン分離層6がエミッタ、N型層5bがベース、P型素子分離層3がコレクタを構成する。寄生PNPバイポーラトランジスタT4はP型ドレイン分離層6がエミッタ、N型層5bがベース、P型コレクタ層7がコレクタを構成する。

20

【0033】

この場合、前記正孔はP型ドレイン分離層6の上層部の方を流れやすいため寄生PNPバイポーラトランジスタT4を経由してP型コレクタ層7から接地電位のコレクタ電極19に流れ出る。従って、寄生PNPバイポーラトランジスタT4より下方に形成される寄生PNPバイポーラトランジスタT3から接地電位であるP型素子分離層3を経由して半

30

【0034】

この場合、前記正孔はP型ドレイン分離層6の上層部の方を流れやすいため寄生PNPバイポーラトランジスタT4を経由してP型コレクタ層7から接地電位のコレクタ電極19に流れ出る。従って、寄生PNPバイポーラトランジスタT4より下方に形成される寄生PNPバイポーラトランジスタT3から接地電位であるP型素子分離層3を経由して半

【0035】

図2の場合、寄生PNPバイポーラトランジスタT2のベースは高不純物濃度からなるN+型シンカー層21で構成される。従って、ベース抵抗が低くなりエミッタ・ベース間順方向電圧が上昇しにくく、コレクタ層となるP型素子分離層3を経由してP型半導体基板1に流れる電流は少なくなる。

40

【0036】

図3の場合、寄生PNPバイポーラトランジスタT2のベースは低不純物濃度のN型層5bになる。従って、ベース抵抗も高くなりエミッタ・ベース間順方向電圧も高くなる。P型ドレイン分離層6の電位が上昇する程度が大きければ大きいほど寄生PNPバイポーラトランジスタT2を通りP型半導体基板1に向かって流れる電流は増加する。

【0037】

寄生PNPバイポーラトランジスタT1, T2, T3に、図4(A)に示すようなバイアス状態を与えて、流れるベース電流 I_B とコレクタ電流 $I_{S_{UB}}$ を測定し電流増幅率h

50

$h_{FE} = I_{SUB} / I_B$ を求めて比較した。それぞれの寄生PNPバイポーラトランジスタの性能を簡便に比較するためである。

【0038】

図1～図3で言えば、エミッタとなるP型ドレイン分離層6にP+型ドレイン分離コンタクト層14dを経由して図4(A)に示す定電流源IGから電流 I_E を流し込む。ベースとなるN型層5bは電流計A1を介して接地した。コレクタとなるP型素子分離層3には接地ラインに対して負電圧を印加(ベースに対して負電位)するよう電流計A2を介して電源DDを配置した。

【0039】

このようにして測定した各寄生PNPバイポーラトランジスタT1, T2, T3の h_{FE} を、図4(B)にN+型ガードリング15のみを具備する寄生PNPバイポーラトランジスタT1の $h_{FE} = 1$ とした場合の相対値で示す。N+型シンカー層21を採用した寄生PNPバイポーラトランジスタT2の h_{FE} はN+型ガードリング15のみで構成した場合に比べ約1桁程度小さくなり電流が流れにくくなっていることが示される。

10

【0040】

それに対して、本実施形態での寄生PNPバイポーラトランジスタT3の h_{FE} は、N+型シンカー層21を採用した場合に比べ更に1桁弱小さな値を示し、更に電流が流れにくくなっている。本実施形態ではP型コレクタ層7を導入し、寄生PNPバイポーラトランジスタT4を形成したことで電位の高くなったP型ドレイン分離層6から大半の電流を寄生PNPバイポーラトランジスタT4のP型コレクタ層7に引き込み、接地ラインに逃がしているためである。

20

【0041】

この結果、本実施形態では従来に比し、N+型ドレイン層13に大きな正電圧が印加されたとき、P型ドレイン分離層6をエミッタ、N型層5bをベース、P型素子分離層3及びP型半導体基板1をコレクタとする寄生PNPバイポーラトランジスタを経由して、P型ドレイン分離層6からP型半導体基板1に流れる電流を大幅に減少させることが可能になった。

【0042】

次に、本実施形態のドレイン分離型LDMOSTランジスタが図2のN+型シンカー層21を採用したドレイン分離型LDMOSTランジスタに比べて、チップサイズが小さくなる点について以下に図5に基づいて説明する。図5(A)はN+型シンカー層21を採用したドレイン分離型LDMOSTランジスタのN型層5b近傍の概略の断面図で、図5(B)は本実施形態のP型コレクタ層7を採用したドレイン分離型LDMOSTランジスタの同様の断面図である。

30

【0043】

同図(B)に示す本実施形態の間隔y1はP型ドレイン分離層6とN+型ガードリング層15間に必要な絶縁破壊電圧から決定される。N+型ガードリング層15は砒素(As)等のイオン注入で形成されるため、ほぼすべての砒素(As)が同図Bに示す形状内に分布する。従って、間隔y1は上記絶縁破壊電圧を満たす間隔になる。

【0044】

間隔y3はN+型ガードリング15とP型素子分離層3間、及びN+型埋め込み層2とP型素子分離層3間の絶縁破壊電圧から決定される。前述のようにN+型ガードリング15は砒素(As)等の重い原子のイオン注入によって形成されるため、同図Bに示す形状がN+型ガードリングの不純物分布の端部になる。従って、間隔y3は上記絶縁破壊電圧を満たす間隔になる。

40

【0045】

間隔y2はP型コレクタ層7のイオン注入等の深さ、及びN+型ガードリング15の幅で決定される。P型コレクタ層7のイオン注入等による深さの寄与率が高い。但し、P型コレクタ層7の表面濃度はN+型ガードリング15の濃度に比して十分低いのでN+型ガードリング15の幅1杯を使って形成することができる。従って、N+型ガードリング1

50

5の幅いっぱいを使って、P型コレクタ層7をN型層5bの奥深くまで延在させることができる。

【0046】

図5(A)に示すN+型シンカー層21を採用したドレイン分離型LDMOSトランジスタのx1は本実施形態と同様P型ドレイン分離層6とN+型シンカー層21の間の絶縁破壊電圧で決定される。同図(A)ではN+型シンカー層21の表示は前述のベース濃度を下げる効果のある比較的高濃度の領域を境界として示している。

【0047】

同図(A)に示すN+型シンカー層21の外側には、なおP型ドレイン分離層6との絶縁破壊電圧に關与する不純物濃度からなる不図示のN+型シンカー層21が存在する。従って、間隔x1はその分だけ余裕を見て決定する必要があり同図(B)の場合のy1より大きな値とする必要がある。

10

【0048】

間隔x2については、高濃度のN+型シンカー層21をN型層5bを突き抜けてN+型埋め込み層2の内部まで延在させる必要がある、横方向拡散もその分広くなりy2に比べて大きな値にならざるを得ない。不純物濃度が高くなるため、その分更に横方向の拡がりが大きくなる。間隔x3はP型素子分離層3との間の絶縁破壊電圧を満たす値が必要である。この場合も、x1での記載した内容と同様の理由でy3よりは大きな値にする必要がある。

【0049】

一例として、本実施形態のドレイン分離型LDMOSトランジスタのN型層5bの幅($y_1 + y_2 + y_3 = y$)をN+型シンカー層21を採用したN型層5bの幅($x_1 + x_2 + x_3 = x$)の70%より小さい値まで縮小することができた。

20

【0050】

次に本実施形態のドレイン分離型LDMOSトランジスタの製造方法について、その断面図となる図1、図6~図8に基づいて以下に説明する。まず、図6に示すように、P型半導体基板1を準備して、所定の方法により、該P型半導体基板1の所定の領域にアンチモン(Sb)等からなるN+型埋め込み層2aを形成する。次に、N+型埋め込み層2aの表面に所定のイオン注入方法等によりボロン(B)からなるP+型埋め込み層4を形成する。同時にP型分離層3を形成する予定の領域にボロン(B)からなるP+型素子分離

30

【0051】

次に、図7に示すように、N+型埋め込み層2等を含むP型半導体基板1上に所定のエピタキシャル法によりN型エピタキシャル層5を堆積する。この際、N+型埋め込み層2、P+型埋め込み層4及びP型素子分離層3aはN型エピタキシャル層5内をその表面側に向かって這い上がり拡散する。

【0052】

ボロン(B)からなるP+型素子分離層3aやP+型埋め込み層4の這い上がり量はアンチモン(Sb)等からなるN+型埋め込み層2の這い上がりより大きい。同時にN+型埋め込み層2及びP型素子分離層3aはP型半導体基板1にも拡散する。

40

【0053】

次にN型エピタキシャル層5の所定の領域にボロン(B)等をイオン注入することにより、P型コレクタ層7、下方のP+型埋め込み層4aからの這い上がり拡散層と一体となるP型ドレイン分離層6、及び下方のP+型分離層3aからの這い上がり拡散層と一体となる複数のP型素子分離層3を形成する。なお、P型コレクタ層7はN型層5aを囲むP型ドレイン分離層6を取り囲んでいる。

【0054】

P型素子分離層3とP型ドレイン分離層6に挟まれたN型エピタキシャル層5はN型層5bを構成する。P型コレクタ層7は該N型層5bの表面から内部の途中まで延在して形成される。また、N型エピタキシャル層5の一部領域がP型ドレイン分離層6に取り囲ま

50

れた状態で残り、N型層5aを構成する。

【0055】

次に、図8に示すように、N型層5aにリン(P)等を所定の方法でイオン注入してN型ドリフト層8を形成する。また、P型ドレイン分離層6の所定の領域にボロン(B)をイオン注入してP型ボディ層9を形成する。次に、P型ボディ層9等が形成されたP型半導体基板1上にゲート絶縁膜10を形成し、該ゲート絶縁膜10上をN型ドリフト層8上からP型ボディ層9上に延在するゲート電極11を形成する。

【0056】

次に、ゲート電極11等をマスクとして所定の方法で砒素(As)をイオン注入してP型ボディ層9にN+型ソース層12を形成する。同時にN型ドリフト層8にN+型ドレイン層13、N型層5bにP型コレクタ層7を挟んでN+型ガードリング層15が形成される。

【0057】

次に、所定の方法でボロン(B)等をイオン注入して、P型ボディ層9にP+型コンタクト層14a、P型コレクタ層7にP+型コレクタ層14b、P型ドレイン分離層6にP+型ドレイン分離層14d、及びP型素子分離層3にP+型分離層14cを形成する。その後、所定の処理をして所定のCVD法等により層間絶縁膜16を形成する。

【0058】

次に、図1に示すように、層間絶縁膜16等に所定のフォトリソグラフィング工程を経由してコンタクトホールを形成してからアルミニウム(Al)を主成分とする金属膜をスパッタ法等により該コンタクトホールを含むP型半導体基板1の全面に堆積する。N+型ドレイン層13等に所定の方法でシリサイドを形成してからスパッタしても良い。

【0059】

次に、所定のフォトリソグラフィング工程を経て、該コンタクトホールを介してN+型ドレイン層13と接続するドレイン電極17、N+型ソース層12及びP+型コンタクト層14aと接続するソース電極18、P+型コレクタ層14b及びN+型ガードリング15と接続するコレクタ電極19並びにP+型分離層14cと接続する分離電極20が形成される。なお、ソース電極18とコレクタ電極19と分離電極20はアルミニウム(Al)等の電極で接続される。

【0060】

次に、必要に応じて多層配線構造が形成された後、シリコン窒化膜等からなるパッシベーション膜が形成され、所定のフォトリソグラフィング工程を経ることによりLDMOSTランジスタは完成する。

〔第2の実施形態〕

本実施形態について図9に基づいて以下に説明する。本実施形態は、通常型LDMOSTランジスタの回生電流等の減少を図るもので、同図はその断面構造を示すものである。図1に示すドレイン分離型LDMOSTランジスタの断面構造からP型ドレイン分離層6、P+型ドレイン分離コンタクト層14dを削除したもので、図1と同様の部分は同一記号、数字で表示している。

【0061】

ソース電極18にL負荷から電源オフ時等に正の大きな電圧が印加された場合、順方向バイアスとなるN型エピタキシャル層5とP型ボディ層9で構成されるPN接合からN+型ドレイン層13、ドレイン電極17を経由して電源ラインDDにサージ電流が流れる。

【0062】

また、P型ボディ層9をエミッタ、N型エピタキシャル層5をベース、P型半導体基板1をコレクタとする不図示の寄生PNPバイポーラトランジスタもオン動作状態になる。

【0063】

さらに、P型ボディ層9の電位がN型エピタキシャル層5の電位より高くなるので同図に示すP型ボディ層9をエミッタ、N型エピタキシャル層5をベース、P型コレクタ層7をコレクタとする寄生PNPバイポーラトランジスタT5がオン動作状態になり、サージ

10

20

30

40

50

電流が P + 型コレクタ層 1 4 b、コレクタ電極 1 9 を経由して電源ライン D D に流れる。

【 0 0 6 4 】

このとき、電流経路が短く、低抵抗である寄生 P N P バイポーラトランジスタ T 5 の方を大半のサージ電流が流れるので、不図示の寄生 P N P バイポーラトランジスタを通して P 型半導体基板 1 に流れ込むサージ電流を大幅に少なくすることができる。

【 0 0 6 5 】

本実施形態の通常型 L D M O S トランジスタの製造方法はドレイン分離型 L D M O S トランジスタの製造工程から P 型ドレイン分離層 6 の形成工程を除いたもので、他の工程は第 1 の実施形態と同様である。

〔 第 3 の実施形態 〕

本実施形態について図 1 0 に基づいて以下に説明する。本実施形態も第 2 の実施形態の場合と同様、通常型 L D M O S トランジスタに掛かるものである。同図はその断面構造を示すものである。第 2 の実施形態との違いは、第 2 の実施形態が N チャネル型の通常型 L D M O S トランジスタであるのに対して本実施形態は P チャネル型の通常型 L D M O S トランジスタに適用していることである。

【 0 0 6 6 】

従って、第 2 の実施形態では中心部に N + 型ドレイン層 1 3 等からなるドレイン領域が形成され、その左右に N + 型ソース層 1 2 等からなるソース領域が形成されているのに対して、本実施形態は中心部に P + 型ソース層 1 2 a 等からなるソース領域が形成され、その左右に P + 型ドレイン層 1 3 等からなるドレイン領域が形成される点で異なる。

【 0 0 6 7 】

ソース領域及びドレイン領域の各構成の符号等に関しては図 9 と対応するように、例えば図 9 の N + 型ソース層 1 2 に対して図 1 0 では P + 型ソース層 1 2 a と、数字に a を付加して表示してある。P + 型コンタクト層 1 4 a は N + 型コンタクト層 1 4 e と表示してある。それ以外の構成は同一数字等で表示した。

【 0 0 6 8 】

P チャネル型の通常型 L D M O S トランジスタのドレイン電極 1 8 a に、第 2 の実施形態の場合と同様に大きな正の電圧が印加された場合、N 型エピタキシャル層 5 と P 型ドリフト層 8 a 間の P N 接合が順バイアスされることから、サージ電流は N 型ボディ層 9 a、N + 型コンタクト層 1 4 e を経由して、ソース電極 1 7 a から電源ライン D D に流れる。

【 0 0 6 9 】

さらに、P 型ドリフト層 8 a をエミッタ、N 型エピタキシャル層 5 をベース、P 型コレクタ層 7 をコレクタとする寄生 P N P バイポーラトランジスタ T 6 もオン動作状態になりサージ電流がコレクタ電極 1 9 a を介して電源ライン D D に流れる。

【 0 0 7 0 】

このとき、第 2 の実施形態と同様、P 型ドリフト層 8 a をエミッタ、N 型エピタキシャル層 5 をベース、P 型半導体基板 1 をコレクタとする不図示の寄生 P N P バイポーラトランジスタもオン動作状態になるが該寄生 P N P バイポーラトランジスタを通り P 型半導体基板 1 に流れる電流は第 2 の実施形態と同様少ない。

【 0 0 7 1 】

本実施形態の P チャネル型の通常型 L D M O S トランジスタは第 2 の実施形態の N チャネル型 L D M O S トランジスタの N 型を P 型に変更しただけであり第 2 の実施形態の場合と同様な方法で製造することができる。但し、P 型コレクタ層 7 は第 2 の実施形態と同一方法で形成される。

【 0 0 7 2 】

P 型コレクタ層 7 は両通常型 L D M O S トランジスタの P 型半導体基板に流れるサージ電流を減少させるといふ、発明の要旨となる構成である。

【 符号の説明 】

【 0 0 7 3 】

1 P 型半導体基板 2 N + 型埋め込み層 3 P 型素子分離層

10

20

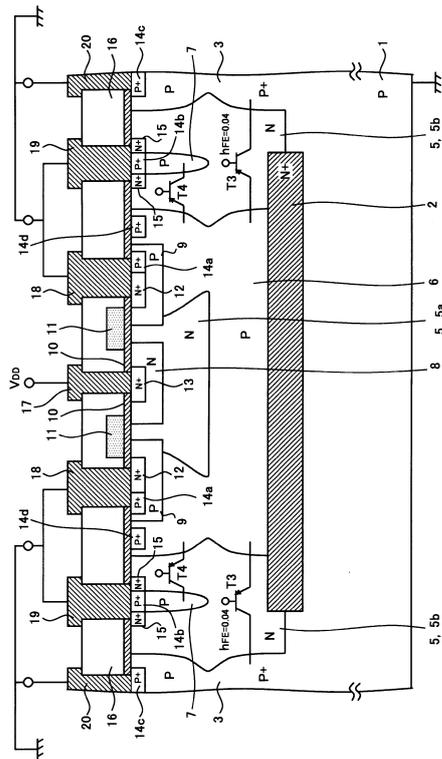
30

40

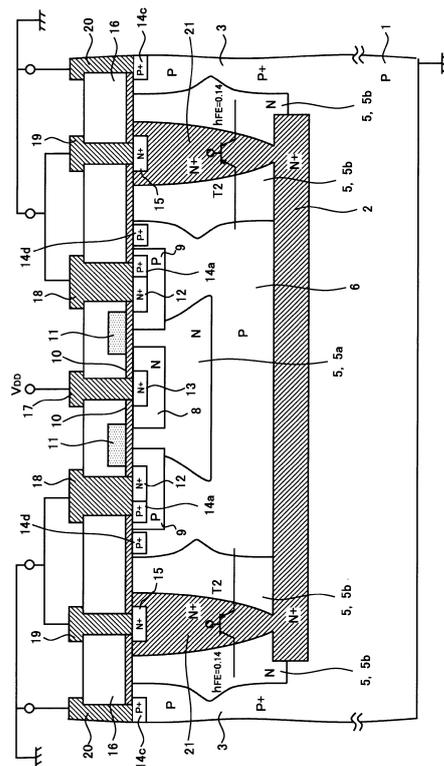
50

- 3 a P + 型素子分離デポ層 4 P + 型埋め込み層 5 N型エピタキシャル層
- 5 a N型層 5 b N型層 6 P型ドレイン分離層 7 P型コレクタ層
- 8 N型ドリフト層 9 P型ボディ層 10 ゲート絶縁膜
- 11 ゲート電極 12 N + 型ソース層 13 N + 型ドレイン層
- 14 a P + 型コンタクト層 14 b P + 型コレクタ層 14 c P + 型分離層
- 14 d P + 型ドレイン分離層 15 N + 型ガードリング層 16 層間絶縁膜
- 17 ドレイン電極 18 ソース電極 19 コレクタ電極 20 分離電極
- 極 A 1、A 2 電流計 I G 電流源 V_{DD}、D D 電源ライン
- 8 a P型ドリフト層 9 a N型ボディ層 12 a P + 型ソース層
- 13 a P + 型ドレイン層 14 e N + 型コンタクト層 17 a ソース電極
- 18 a ドレイン電極 19 a コレクタ電極

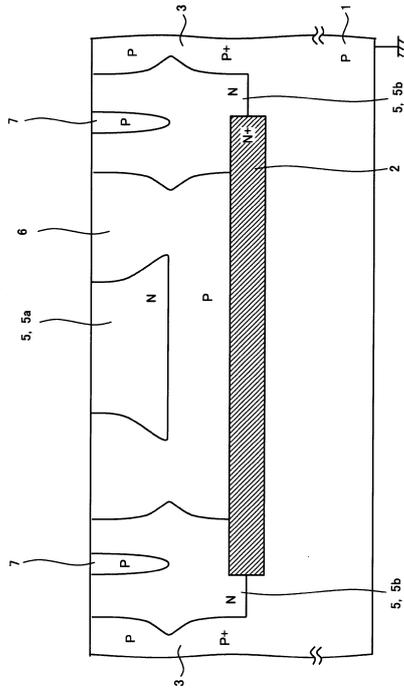
【図1】



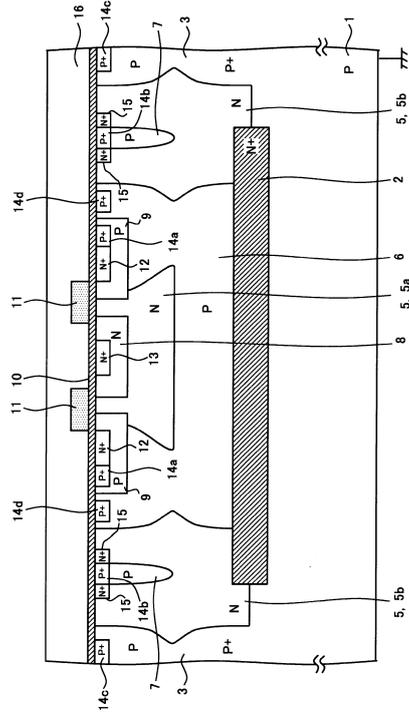
【図2】



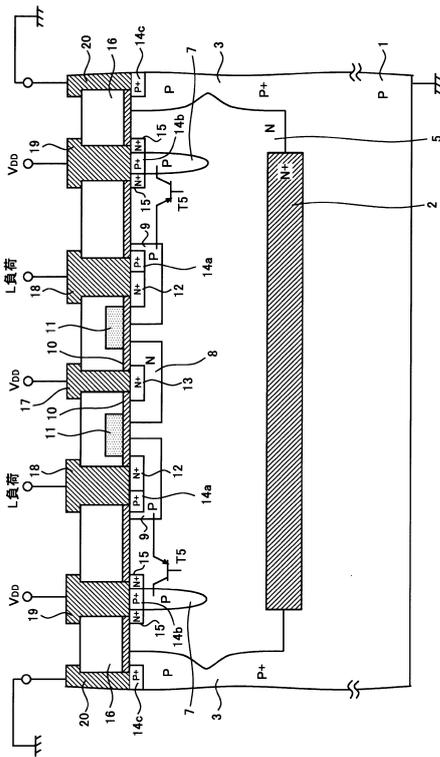
【図 7】



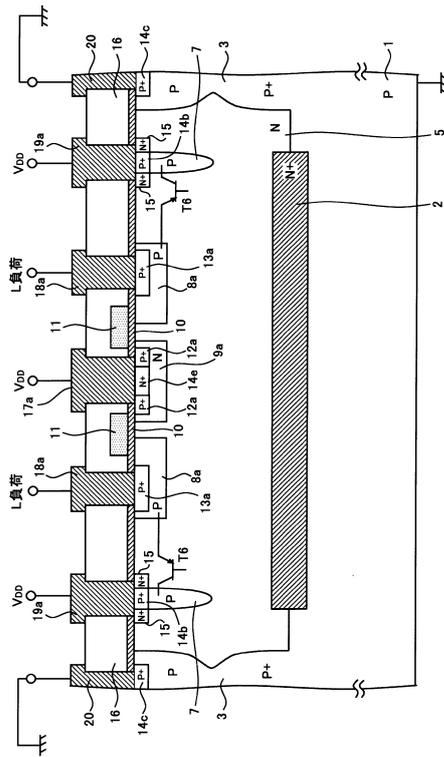
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 21/761 (2006.01)

審査官 宇多川 勉

(56)参考文献 特開2003-338604(JP,A)
特開2004-247400(JP,A)
特開2007-294614(JP,A)
特開2003-197866(JP,A)
特開2006-286800(JP,A)
特開2006-237224(JP,A)
米国特許出願公開第2010/0140703(US,A1)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/8234
H 0 1 L 21/336
H 0 1 L 21/761
H 0 1 L 27/08
H 0 1 L 27/088
H 0 1 L 29/78