



(12)发明专利

(10)授权公告号 CN 105161134 B

(45)授权公告日 2018.10.23

(21)申请号 201510649786.4

(22)申请日 2015.10.09

(65)同一申请的已公布的文献号

申请公布号 CN 105161134 A

(43)申请公布日 2015.12.16

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 商广良

(74)专利代理机构 北京市柳沈律师事务所

11105

代理人 吕晓章 王娟

(51)Int.Cl.

G11C 19/28(2006.01)

审查员 姜晓庆

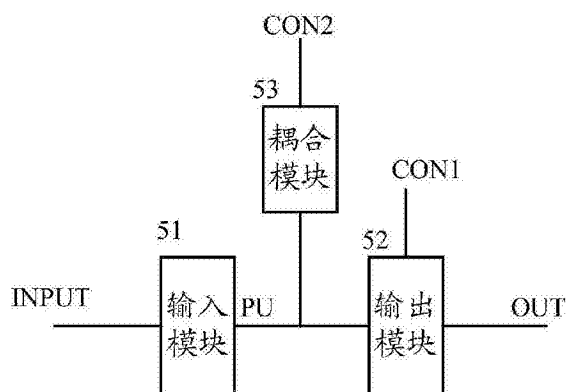
权利要求书6页 说明书15页 附图16页

(54)发明名称

移位寄存器单元及其操作方法、移位寄存器

(57)摘要

公开了一种移位寄存器单元及其操作方法、以及包括该移位寄存器单元的移位寄存器。该移位寄存器单元包括：输入模块，被配置为将所接收的输入信号传递到上拉节点；输出模块，被配置来在所述上拉节点处的上拉信号处于有效上拉电平时将所述第一控制信号端的第一控制信号输出到所述输出端；耦合模块，其第一端与第二控制信号端连接，其第二端与所述上拉节点连接，该耦合模块被配置来通过电压耦合方式根据所述第二控制信号端的第二控制信号来控制所述上拉节点处的上拉信号。通过在输出端复位时进一步拉高上拉节点处的电压，可以提高输出端复位的速度。



1. 一种移位寄存器单元,包括:

输入模块,其第一端与该移位寄存器单元的输入端连接用于从该输入端接收输入信号,其第二端与上拉节点连接,该输入模块被配置为将所接收的输入信号传递到上拉节点;

输出模块,其第一端与所述上拉节点连接,其第二端与第一控制信号端连接,其第三端与该移位寄存器单元的输出端连接,该输出模块被配置来在所述上拉节点处的上拉信号处于有效上拉电平时将所述第一控制信号端的第一控制信号输出到所述输出端;

耦合模块,其第一端与第二控制信号端连接,其第二端与所述上拉节点连接,该耦合模块被配置来通过电压耦合方式根据所述第二控制信号端的第二控制信号来控制所述上拉节点处的上拉信号,

其中,在一帧图像显示期间,所述第二控制信号为单脉冲信号;其中,当所述输入端再次输入有效输入信号则开始下一帧图像的显示。

2. 如权利要求1所述的移位寄存器单元,其中,所述耦合模块被配置来利用所述第二控制信号端的第二控制信号进行电压耦合来控制所述上拉节点处的上拉信号,

其中,在所述第二控制信号端的第二控制信号从第一电平跳变至第二电平时,所述耦合模块通过电压耦合使所述上拉节点处的上拉信号从第一耦合电压跳变至第二耦合电压,

其中,所述第一控制信号的周期为第一周期,所述第二控制信号比所述移位寄存器单元的输出端的输出信号滞后 $1/4$ 第一周期。

3. 如权利要求2所述的移位寄存器单元,其中,所述耦合模块包括:

第一电容,其第一端与所述第二控制信号端连接,并且其第二端与所述上拉节点连接。

4. 如权利要求1所述的移位寄存器单元,其中,所述耦合模块的第三端与第三控制信号端连接,并且所述耦合模块被配置来:在所述第二控制信号端的第二控制信号为有效控制电平时利用所述第三控制信号端的第三控制信号进行电压耦合来控制所述上拉节点处的上拉信号,

其中,在所述第二控制信号端的第二控制信号为有效控制电平时并且在所述第三控制信号端的第三控制信号从第一电平跳变至第二电平时,所述耦合模块通过电压耦合使所述上拉节点处的上拉信号从第一耦合电压跳变至第二耦合电压,

其中,所述第一控制信号的周期为第一周期,所述第二控制信号比所述移位寄存器单元的输出端的输出信号滞后 $1/4$ 第一周期;所述第三控制信号的周期为第二周期,第二周期是第一周期的 $1/2$ ,第三控制信号的占空比小于等于 $1/2$ ,在所述第一控制信号的上跳沿和下跳沿处第三控制信号均为有效控制电平。

5. 如权利要求4所述的移位寄存器单元,其中,所述耦合模块包括:

耦合晶体管,其栅极与所述第二控制信号端连接,其第一极与所述第三控制信号端连接;

第一电容,其第一端与所述耦合晶体管的第二极连接,其第二端与所述上拉节点连接。

6. 如权利要求1—5之一所述的移位寄存器单元,还包括:

复位模块,其第一端与第四控制信号端连接,其第二端与所述上拉节点连接,其第三端与低电源电压端连接,并且该复位模块为配置来在所述第四控制信号端的第四控制信号处于有效控制电平时将所述上拉节点处的上拉信号下拉至所述低电源电压端的低电源电压,

其中,所述第一控制信号的周期为第一周期,

所述第四控制信号比所述移位寄存器单元的输出端的输出信号滞后 $3/4$ 第一周期。

7. 如权利要求6所述的移位寄存器单元,其中,所述复位模块的第四端与第五控制信号端连接,其第五端与所述输出端连接,并且该复位模块还被配置来在所述第五控制信号端的第五控制信号处于有效控制电平时将所述输出端的输出信号下拉至所述低电源电压端的低电源电压,

其中,所述第五控制信号比所述移位寄存器单元的输出端的输出信号滞后 $1/2$ 第一周期。

8. 如权利要求6所述的移位寄存器单元,还包括:

下拉控制模块,其第一端与第六控制信号端连接,其第二端与所述上拉节点连接,其第三端与下拉节点连接,该下拉控制模块被配置为:在所述上拉节点处的上拉信号处于有效上拉电平时在所述下拉节点处产生的下拉信号处于非有效下拉电平,而在所述上拉节点处的上拉信号处于非有效上拉电平时并且在所述第六控制信号端处的第六控制信号处于有效控制电平时在所述下拉节点处产生的下拉信号处于有效下拉电平;

下拉模块,其第一端与下拉节点连接,其第二端与所述输出端连接,其第三端与所述上拉节点连接,其第四端与低电源电压端连接,该下拉模块被配置来在所述下拉节点处的下拉信号处于有效下拉电平时将所述输出端和所述上拉节点下拉至所述低电源电压端的低电源电压,

其中,所述第六控制信号比所述第一控制信号滞后 $3/4$ 第一周期。

9. 如权利要求8所述的移位寄存器单元,其中,所述下拉模块的第五端与第七控制信号端连接,并且所述下拉模块还被配置来在所述第七控制信号端的第七控制信号处于有效控制电平时将所述输出端下拉至所述低电源电压端的低电源电压,

其中,所述第七控制信号比所述第一控制信号滞后 $1/2$ 第一周期。

10. 如权利要求1所述的移位寄存器单元,其中,

所述输入模块包括输入晶体管,输入晶体管的栅极和第一极与所述输入端连接,输入晶体管的第二极与所述上拉节点连接;以及

所述输出模块包括输出晶体管和第二电容,输出晶体管的栅极和第二电容的第一端与所述上拉节点连接,输出晶体管的第一极与所述第一控制信号端连接,输出晶体管的第二极和第二电容的第二端与所述输出端连接。

11. 如权利要求7所述的移位寄存器单元,其中,

所述复位模块包括节点复位晶体管和输出复位晶体管,

其中,节点复位晶体管的栅极与所述第四控制信号端连接,第一极与所述上拉节点连接,第二极与所述低电源电压端连接;

输出复位晶体管的栅极与所述第五控制信号端连接,第一极与所述输出端连接,第二极与所述低电源电压端连接。

12. 如权利要求9所述的移位寄存器单元,其中,下拉控制模块包括第一下拉控制晶体管、第二下拉控制晶体管、第三下拉控制晶体管和第四下拉控制晶体管;下拉模块包括节点下拉晶体管和输出下拉晶体管;其中,

第一下拉控制晶体管的栅极和第一极与第六控制信号端连接,第二极与下拉控制节点连接;

第二下拉控制晶体管的栅极与上拉节点连接,第一极与下拉控制节点连接,第二极与低电源电压端连接;

第三下拉控制晶体管的栅极和下拉控制节点连接,第一极与第六控制信号端连接,第二极与下拉节点连接;

第四下拉控制晶体管的栅极与上拉节点连接,第一极与下拉节点连接,第二极与低电源电压端VSS;

节点下拉晶体管和输出下拉晶体管的栅极与下拉节点连接且第二极与低电源电压端连接,节点下拉晶体管的第一极与上拉节点连接,输出下拉晶体管的第一极与输出端连接。

13. 一种如权利要求1所述的移位寄存器单元的操作方法,包括:

在所述输出模块的输出端的输出信号处于高电平的情况下,所述耦合模块根据所述第二控制信号端的第二控制信号通过电压耦合方式将所述上拉节点处的上拉信号从第一上拉电压抬升至第二上拉电压;以及

在所述第一控制信号端的第一控制信号从高电平跳变至低电平时,所述上拉节点处的第二上拉电压的上拉信号使得所述输出模块将所述输出端下拉至所述第一控制信号的低电平,

其中,在所述上拉节点处的上拉信号处于第一上拉电压和第二上拉电压时所述输出模块均将所述第一控制信号输出至所述输出端。

14. 如权利要求13所述的操作方法,其中,所述耦合模块包括:第一电容,其第一端与所述第二控制信号端连接,并且其第二端与所述上拉节点连接,

其中,在所述第二控制信号端的第二控制信号从低电平跳变至高电平时,所述耦合模块通过对所述第二控制信号进行电压耦合来使所述上拉节点处的上拉信号从第一上拉电压跳变至第二上拉电压,

其中,所述第一控制信号的周期为第一周期,所述第二控制信号比所述移位寄存器单元的输出端的输出信号滞后1/4第一周期。

15. 如权利要求13所述的操作方法,其中,所述耦合模块包括:耦合晶体管,其栅极与所述第二控制信号端连接,其第一极与第三控制信号端连接;以及第一电容,其第一端与所述耦合晶体管的第二极连接,其第二端与所述上拉节点连接,

其中,在所述第二控制信号端的第二控制信号为有效控制电平时并且在所述第三控制信号端的第三控制信号从低电平跳变至高电平时,所述耦合模块通过对所述第三控制电压进行电压耦合来使所述上拉节点处的上拉信号从第一上拉电压跳变至第二上拉电压,

其中,所述第一控制信号的周期为第一周期,所述第二控制信号比所述移位寄存器单元的输出端的输出信号滞后1/4第一周期;

所述第三控制信号的周期为第二周期,第二周期是第一周期的1/2,第三控制信号的占空比小于等于1/2,在所述第一控制信号的上跳沿和下跳沿处第三控制信号均为有效控制电平。

16. 如权利要求14所述的操作方法,其中,所述移位寄存器单元还包括:

复位模块,被配置来在第四控制信号端的第四控制信号处于有效控制电平时将所述上拉节点处的上拉信号下拉至所述低电源电压端的低电源电压,其中,所述第四控制信号比所述移位寄存器单元的输出端的输出信号滞后3/4第一周期,

所述操作方法包括：

在第一输出阶段中，第一控制信号端的第一控制信号处于高电平，所述输出模块将所述第一控制信号的高电压传递到输出端，使得输出端的输出信号为高电平，所述输出模块利用所述输出端的输出电压通过电压耦合方式将所述上拉节点处的上拉信号从第一电压抬升至第二电压，所述第二电压为所述第一上拉电压；

在第二输出阶段中，第一控制信号端的第一控制信号处于高电平，第二控制信号端的第二控制信号处于高电平，输出端保持为高电平，所述耦合模块利用所述第二控制信号的高电平通过电压耦合方式将所述上拉节点处的上拉信号从第二电压抬升至第三电压，所述第三电压为所述第二上拉电压；

在第一复位阶段中，所述第一控制信号端的第一控制信号从高电平跳变至低电平，所述上拉节点处的第三电压的上拉信号使得所述输出模块将所述输出端下拉至所述第一控制信号的低电平，使得输出端的输出信号为低电平，所述输出模块利用所述输出端的输出电压通过电压耦合方式将所述上拉节点处的上拉信号从第三电压跌落至第四电压，

在第二复位阶段中，所述第二控制信号端的第二控制信号从高电平跳变至低电平，并且所述第四控制信号端的第四控制信号从低电平跳变至高电平，所述耦合模块利用所述第二控制信号的低电平通过电压耦合方式使所述上拉节点处的上拉信号发生跌落并且所述复位模块将所述上拉节点下拉至所述低电源电压端的低电平，

其中，在所述上拉节点处的上拉信号处于第一电压、第二电压、第三电压和第四电压时所述输出模块均将所述第一控制信号输出至所述输出端。

17. 如权利要求15所述的操作方法，其中，所述移位寄存器单元还包括：

复位模块，被配置来在第四控制信号端的第四控制信号处于有效控制电平时将所述上拉节点处的上拉信号下拉至所述低电源电压端的低电源电压，其中，所述第四控制信号比所述移位寄存器单元的输出端的输出信号滞后 $3/4$ 第一周期，

所述操作方法包括：

在第一输出阶段中，第一控制信号端的第一控制信号处于高电平，所述输出端的输出信号为高电平，所述输出模块利用所述输出端的高电平通过电压耦合方式将所述上拉节点处的上拉信号从第一电压抬升至第二电压，所述第二电压为所述第一上拉电压；

在第二输出阶段中，第一控制信号端的第一控制信号处于高电平，第二控制信号端的第二控制信号处于高电平，第三控制信号端的第三控制信号处于低电平，所述输出端保持为高电平，所述上拉节点保持所述第二电压；

在第三输出阶段中，第一控制信号端的第一控制信号处于高电平，第二控制信号端的第二控制信号保持高电平，第三控制信号端的第三控制信号从低电平跳变至高电平，输出端保持为高电平，所述耦合模块利用所述第三控制信号的高电平通过电压耦合方式将所述上拉节点处的上拉信号从第二电压抬升至第三电压，所述第三电压为所述第二上拉电压；

在第一复位阶段中，所述第一控制信号端的第一控制信号从高电平跳变至低电平，所述输出端的输出信号为低电平，所述输出模块利用所述输出端的低电平通过电压耦合方式将所述上拉节点处的上拉信号从第三电压跌落至第四电压，

在第二复位阶段中，所述第三控制信号端的第三控制信号从高电平跳变至低电平，所述耦合模块利用所述第三控制信号的低电平通过电压耦合方式将所述上拉节点处的上拉

信号从第四电压跌落至第五电压；

在第三复位阶段中,所述第四控制信号端的第四控制信号从低电平跳变至高电平,所述复位模块将所述上拉节点下拉至所述低电源电压端的低电平,

其中,在所述上拉节点处的上拉信号处于第一电压、第二电压、第三电压、第四电压和第五电压时所述输出模块均将所述第一控制信号输出至所述输出端。

18.一种移位寄存器,包括多个级联的如权利要求1所述的移位寄存器单元,其中,

第1级和第2级移位寄存器单元的输入端接收初始输入信号,第 $2j+1$ 级移位寄存器单元的输入端与第 $2j-1$ 级移位寄存器单元的输出端连接,第 $2j+2$ 级移位寄存器单元的输入端与第 $2j$ 级移位寄存器单元的输出端连接,其中, $j$ 大于等于1;

第 $4i+1$ 级移位寄存器单元的第一控制信号端与第一时钟信号端连接,第二控制信号端与第 $4i+2$ 级移位寄存器单元的输出端连接,其中, $i$ 大于等于0,

第 $4i+2$ 级移位寄存器单元的第一控制信号端与第二时钟信号端连接,第二控制信号端与第 $4i+3$ 级移位寄存器单元的输出端连接,

第 $4i+3$ 级移位寄存器单元的第一控制信号端与第三时钟信号端连接,第二控制信号端与第 $4i+4$ 级移位寄存器单元的输出端连接,

第 $4i+4$ 级移位寄存器单元的第一控制信号端与第四时钟信号端连接,第二控制信号端与第 $4i+6$ 级移位寄存器单元的输出端连接,

其中,第一时钟信号端的第一时钟信号、第二时钟信号端的第二时钟信号、第三时钟信号端的第三时钟信号、第四时钟信号端的第四时钟信号的周期为第一周期,并且第二时钟信号比第一时钟信号滞后 $1/4$ 第一周期,第三时钟信号比第二时钟信号滞后 $1/4$ 第一周期,第四时钟信号比第三时钟信号滞后 $1/4$ 第一周期。

19.如权利要求18所述的移位寄存器,其中,所述耦合模块包括:第一电容,其第一端与所述第二控制信号端连接,并且其第二端与所述上拉节点连接。

20.如权利要求18所述的移位寄存器,其中,所述耦合模块包括:耦合晶体管,其栅极与所述第二控制信号端连接,其第一极与第三控制信号端连接;第一电容,其第一端与所述耦合晶体管的第二极连接,其第二端与所述上拉节点连接,

其中,第 $2j-1$ 级移位寄存器单元的第三控制信号端与第一脉冲信号端连接;第 $2j$ 级移位寄存器单元的第三控制信号端与第二脉冲信号端连接,

其中,第一脉冲信号端的第一脉冲信号和第二脉冲信号端的第二脉冲信号的周期为第二周期,并且第二脉冲信号比第一脉冲信号滞后 $1/2$ 第二周期,第一脉冲信号和第二脉冲信号的占空比相同且小于等于 $1/2$ ,第二周期为第一周期的 $1/2$ 。

21.如权利要求18所述的移位寄存器,其中,每个移位寄存器单元还包括:复位模块,被配置来在第四控制信号端的第四控制信号处于有效控制电平时将所述上拉节点处的上拉信号下拉至低电源电压端的低电源电压,

其中,第 $4i+1$ 级移位寄存器单元的第四控制信号端与第 $4i+4$ 级移位寄存器单元的输出端连接;第 $4i+2$ 级移位寄存器单元的第四控制信号端与第 $4i+5$ 级移位寄存器单元的输出端连接;第 $4i+3$ 级移位寄存器单元的第四控制信号端与第 $4i+6$ 级移位寄存器单元的输出端连接;以及第 $4i+4$ 级移位寄存器单元的第四控制信号端与第 $4i+7$ 级移位寄存器单元的输出端连接。

22. 如权利要求18所述的移位寄存器,其中,每个移位寄存器单元还包括:

下拉控制模块,被配置为:在所述上拉节点处的上拉信号处于有效上拉电平时在所述下拉节点处产生的下拉信号处于非有效下拉电平,而在所述上拉节点处的上拉信号处于非有效上拉电平时并且在第六控制信号端处的第六控制信号处于有效控制电平时在所述下拉节点处产生的下拉信号处于有效下拉电平;

下拉模块,被配置来在所述下拉节点处的下拉信号处于有效下拉电平时将所述输出端和所述上拉节点下拉至低电源电压端的低电源电压

其中,第 $4i+1$ 级移位寄存器单元的第六控制信号端与第四时钟信号端连接;第 $4i+2$ 级移位寄存器单元的第六控制信号端与第一时钟信号端连接;第 $4i+3$ 级移位寄存器单元的第六控制信号端与第二时钟信号端连接;以及第 $4i+4$ 级移位寄存器单元的第六控制信号端与第三时钟信号端连接。

## 移位寄存器单元及其操作方法、移位寄存器

### 技术领域

[0001] 本发明涉及显示领域,并且更具体地涉及一种移位寄存器单元及其操作方法、以及包括该移位寄存器单元的移位寄存器。

### 背景技术

[0002] 目前,在移位寄存器单元的电路结构中,利用专门的输出复位晶体管和节点复位晶体管将移位寄存器单元的输出端与上拉节点同时复位。如图1所示,移位寄存器单元的输出复位晶体管T4和节点复位晶体管T2的栅极与复位输入端连接,并且在从复位输入端输出的复位信号的控制下分别将输出端和上拉节点复位。为了降低移位寄存器单元的复位时间,需要增大输出复位晶体管T4的面积,使得输出复位晶体管T4的开启电压较小。然而,增大复位晶体管T4的面积显然不利于显示装置分辨率的提高以及显示装置边框的缩窄。

[0003] 已经提出了一种将移位寄存器单元的输出端和上拉节点分时复位的方案。如图3所示,与图1相比,不再包括输出复位晶体管T4,复位晶体管T2的栅极接收复位信号,在时钟信号CLK从高电平切换到低电平时,上拉节点处于高电平,输出晶体管T3保持导通并将输出端复位至时钟信号CLK的低电平。尽管在图3中省略了输出复位晶体管T4,然而随着显示器分辨率的进一步提高以及窄边框要求的进一步提升,图3所示的移位寄存器单元仍然无法满足产品需求。

[0004] 因此,需要提出一种不仅能够减小移位寄存器单元的面积而且还能够降低移位寄存器单元的输出端的复位时间的移位寄存器单元。

### 发明内容

[0005] 为了解决上述技术问题,提出了一种移位寄存器单元及其操作方法、以及包括该移位寄存器单元的移位寄存器,其可以在不增加移位寄存器单元的面积的情况下减少移位寄存器单元的复位时间。

[0006] 根据本发明一方面,提供了一种移位寄存器单元,包括:输入模块,其第一端与该移位寄存器单元的输入端连接用于从该输入端接收输入信号,其第二端与上拉节点连接,该输入模块被配置为将所接收的输入信号传递到上拉节点;输出模块,其第一端与所述上拉节点连接,其第二端与第一控制信号端连接,其第三端与该移位寄存器单元的输出端连接,该输出模块被配置来在所述上拉节点处的上拉信号处于有效上拉电平时将所述第一控制信号端的第一控制信号输出到所述输出端;耦合模块,其第一端与第二控制信号端连接,其第二端与所述上拉节点连接,该耦合模块被配置来通过电压耦合方式根据所述第二控制信号端的第二控制信号来控制所述上拉节点处的上拉信号。

[0007] 根据本发明实施例,所述耦合模块包括:第一电容,其第一端与所述第二控制信号端连接,并且其第二端与所述上拉节点连接。

[0008] 根据本发明实施例,所述耦合模块包括:耦合晶体管,其栅极与所述第二控制信号端连接,其第一极与所述第三控制信号端连接;以及第一电容,其第一端与所述耦合晶体管



的第二极连接,其第二端与所述上拉节点连接。

[0009] 根据本发明另一方面,还提供了如上所述的移位寄存器单元的操作方法,包括:在所述输出模块的输出端的输出信号处于高电平的情况下,所述耦合模块根据所述第二控制信号端的第二控制信号通过电压耦合方式将所述上拉节点处的上拉信号从第一上拉电压抬升至第二上拉电压;以及在所述第一控制信号端的第一控制信号从高电平跳变至低电平时,所述上拉节点处的第二上拉电压的上拉信号使得所述输出模块将所述输出端下拉至所述第一控制信号的低电平,其中,在所述上拉节点处的上拉信号处于第一上拉电压和第二上拉电压时所述输出模块均将所述第一控制信号输出至所述输出端。

[0010] 根据本发明实施例,所述操作方法包括:在第一输出阶段中,第一控制信号端的第一控制信号处于高电平,所述输出模块将所述第一控制信号的高电压传递到输出端,使得输出端的输出信号为高电平,所述输出模块利用所述输出端的输出电压通过电压耦合方式将所述上拉节点处的上拉信号从第一电压抬升至第二电压,所述第二电压为所述第一上拉电压;在第二输出阶段中,第一控制信号端的第一控制信号处于高电平,第二控制信号端的第二控制信号处于高电平,输出端保持为高电平,所述耦合模块利用所述第二控制信号的高电平通过电压耦合方式将所述上拉节点处的上拉信号从第二电压抬升至第三电压,所述第三电压为所述第二上拉电压;在第一复位阶段中,所述第一控制信号端的第一控制信号从高电平跳变至低电平,所述上拉节点处的第三电压的上拉信号使得所述输出模块将所述输出端下拉至所述第一控制信号的低电平,使得输出端的输出信号为低电平,所述输出模块利用所述输出端的输出电压通过电压耦合方式将所述上拉节点处的上拉信号从第三电压跌落至第四电压,在第二复位阶段中,所述第二控制信号端的第二控制信号从高电平跳变至低电平,并且所述第四控制信号端的第四控制信号从低电平跳变至高电平,所述耦合模块利用所述第二控制信号的低电平通过电压耦合方式使所述上拉节点处的上拉信号发生跌落并且所述复位模块将所述上拉节点下拉至所述低电源电压端的低电平。

[0011] 根据本发明实施例,所述操作方法包括:在第一输出阶段中,第一控制信号端的第一控制信号处于高电平,所述输出端的输出信号为高电平,所述输出模块利用所述输出端的高电平通过电压耦合方式将所述上拉节点处的上拉信号从第一电压抬升至第二电压,所述第二电压为所述第一上拉电压;在第二输出阶段中,第一控制信号端的第一控制信号处于高电平,第二控制信号端的第二控制信号处于高电平,第三控制信号端的第三控制信号处于低电平,所述输出端保持为高电平,所述上拉节点保持所述第二电压;在第三输出阶段中,第一控制信号端的第一控制信号处于高电平,第二控制信号端的第二控制信号保持高电平,第三控制信号端的第三控制信号从低电平跳变至高电平,输出端保持为高电平,所述耦合模块利用所述第三控制信号的高电平通过电压耦合方式将所述上拉节点处的上拉信号从第二电压抬升至第三电压,所述第三电压为所述第二上拉电压;在第一复位阶段中,所述第一控制信号端的第一控制信号从高电平跳变至低电平,所述输出端的输出信号为低电平,所述输出模块利用所述输出端的低电平通过电压耦合方式将所述上拉节点处的上拉信号从第三电压跌落至第四电压,在第二复位阶段中,所述第三控制信号端的第三控制信号从高电平跳变至低电平,所述耦合模块利用所述第三控制信号的低电平通过电压耦合方式将所述上拉节点处的上拉信号从第四电压跌落至第五电压;在第三复位阶段中,所述第四控制信号端的第四控制信号从低电平跳变至高电平,所述复位模块将所述上拉节点下拉至

所述低电源电压端的低电平。

[0012] 根据本发明另一方面,提供了一种移位寄存器,多个级联的如上所述的移位寄存器单元,其中,第1级和第2级移位寄存器单元的输入端接收初始输入信号,第 $2j+1$ 级移位寄存器单元的输入端与第 $2j-1$ 级移位寄存器单元的输出端连接,第 $2j+2$ 级移位寄存器单元的输入端与第 $2j$ 级移位寄存器单元的输出端连接,其中, $j$ 大于等于1;第 $4i+1$ 级移位寄存器单元的第一控制信号端与第一时钟信号端连接,第二控制信号端与第 $4i+2$ 级移位寄存器单元的输出端连接,其中, $i$ 大于等于0;第 $4i+2$ 级移位寄存器单元的第一控制信号端与第二时钟信号端连接,第二控制信号端与第 $4i+3$ 级移位寄存器单元的输出端连接;第 $4i+3$ 级移位寄存器单元的第一控制信号端与第三时钟信号端连接,第二控制信号端与第 $4i+4$ 级移位寄存器单元的输出端连接;第 $4i+4$ 级移位寄存器单元的第一控制信号端与第四时钟信号端连接,第二控制信号端与第 $4i+6$ 级移位寄存器单元的输出端连接。

[0013] 根据本发明实施例,第一时钟信号端的第一时钟信号、第二时钟信号端的第二时钟信号、第三时钟信号端的第三时钟信号、第四时钟信号端的第四时钟信号的周期为第一周期,并且第二时钟信号比第一时钟信号滞后 $1/4$ 第一周期,第三时钟信号比第二时钟信号滞后 $1/4$ 第一周期,第四时钟信号比第三时钟信号滞后 $1/4$ 第一周期。

[0014] 根据本发明实施例,所述耦合模块包括:第一电容,其第一端与所述第二控制信号端连接,并且其第二端与所述上拉节点连接。

[0015] 根据本发明实施例,所述耦合模块包括:耦合晶体管,其栅极与所述第二控制信号端连接,其第一极与所述第三控制信号端连接;第一电容,其第一端与所述耦合晶体管的第二极连接,其第二端与所述上拉节点连接。第 $2j-1$ 级移位寄存器单元的第三控制信号端与第一脉冲信号端连接;第 $2j$ 级移位寄存器单元的第三控制信号端与第二脉冲信号端连接。第一脉冲信号端的第一脉冲信号和第二脉冲信号端的第二脉冲信号的周期为第二周期,并且第二脉冲信号比第一脉冲信号滞后 $1/2$ 第二周期,第一脉冲信号和第二脉冲信号的占空比相同且小于等于 $1/2$ ,第二周期为第一周期的 $1/2$ 。

[0016] 根据本发明实施例的移位寄存器单元及其操作方法、以及移位寄存器,通过将输出端和上拉节点分时复位、并且在输出端复位时进一步拉高上拉节点处的电压,不仅可以利用输出晶体管实现移位寄存器单元的复位,还可以提高输出晶体管对输出端复位的速度,从而减少移位寄存器单元的复位时间,这有利于提高显示装置的分辨率和缩窄显示装置的边框。

[0017] 本发明的其它特征和优点将在随后的说明书中阐述,并且,部分地从说明书中变得显而易见,或者通过实施本发明而了解。本发明的目的和其他优点可通过在说明书、权利要求书以及附图中所特别指出的结构来实现和获得。

## 附图说明

[0018] 通过结合附图对本发明实施例进行更详细的描述,本发明的上述以及其它目的、特征和优势将变得更加明显。附图用来提供对本发明实施例的进一步理解,并且构成说明书的一部分,与本发明实施例一起用于解释本发明,并不构成对本发明的限制。在附图中,相同的参考标号通常代表相同部件或步骤。

[0019] 图1示出了现有技术中的一种移位寄存器单元的结构示意图。

- [0020] 图2示出了图1所示的移位寄存器单元的时序图；
- [0021] 图3示出了现有技术中的另一种移位寄存器单元的结构示意图；
- [0022] 图4示出了图3所示的移位寄存器单元的时序图；
- [0023] 图5示出了根据本发明实施例的移位寄存器单元的示意性框图；
- [0024] 图6A示出了根据本发明第一实施例的移位寄存器单元的耦合模块的示例实现；
- [0025] 图6B示出了根据本发明第二实施例的移位寄存器单元的耦合模块53的示例实现；
- [0026] 图7A示出了根据本发明实施例的移位寄存器单元的另一示意性框图；
- [0027] 图7B示出了根据本发明实施例的移位寄存器单元的另一示意性框图；
- [0028] 图8示出了根据本发明第一实施例的移位寄存器单元的一种示例电路实现；
- [0029] 图9示出了根据本发明第一实施例的移位寄存器单元的示例电路的操作时序图；
- [0030] 图10示出了根据本发明第一实施例的移位寄存器单元的另一种示例电路实现；
- [0031] 图11示出了根据本发明第一实施例的移位寄存器单元的再一种示例电路实现；
- [0032] 图12示出了根据本发明第一实施例的移位寄存器的示意性框图；
- [0033] 图13示出了根据本发明第二实施例的移位寄存器单元的一种示例电路实现；
- [0034] 图14示出了根据本发明第二实施例的移位寄存器单元的示例电路的操作时序图；
- [0035] 图15示出了根据本发明第二实施例的移位寄存器单元的另一种示例电路实现；
- [0036] 图16示出了根据本发明第二实施例的移位寄存器单元的再一种示例电路实现；
- [0037] 图17示出了根据本发明第二实施例的移位寄存器的示意性框图。

### 具体实施方式

[0038] 为了使得本发明实施例的目的、技术方案和优点更为明显,下面将参照附图详细描述本发明的示例实施例。显然,所描述的示例实施例仅仅是本发明的一部分实施例,而不是本发明的全部实施例,本领域技术人员在没有付出创造性劳动的情况下所得到的所有其它实施例都应落入本发明的保护范围之内。

[0039] 这里,需要注意的是,在附图中,将相同的附图标记赋予基本上具有相同或类似结构和功能的组成部分,并且将省略关于它们的重复描述。

[0040] 如图1所示,示出了现有技术中的一种移位寄存器单元的结构示意图。该移位寄存器单元包括输入晶体管T1、输出晶体管T3、节点复位晶体管T2、输出复位晶体管T4以及电容C。

[0041] 输入晶体管T1的栅极和漏极与输入端INPUT连接,输入晶体管T1的源极与上拉节点PU连接,输出晶体管T3的栅极与上拉晶体管连接,输出晶体管T3的漏极与时钟信号端连接,输出晶体管T3的源极与输出端OUT连接,输出复位晶体管T4和节点复位晶体管T2的栅极与复位端RESET连接,输出复位晶体管T4和节点复位晶体管T2的源极与低电源电压端VSS连接,输出复位晶体管T4的漏极与输出端OUT连接,节点复位晶体管T2的漏极与上拉节点PU连接,电容C的第一端与上拉节点PU连接,电容C的另一端与输出端OUT连接。

[0042] 图2示出了图1所示的移位寄存器单元的时序图。如图2所示,在第一阶段1,输入端INPUT处于高电平,输入晶体管T1导通将输入端INPUT的高电平传递到上拉节点PU,此时上拉节点PU处于第一电压V1,使得输出晶体管T3导通,由于时钟信号端CLK的时钟信号处于低电平,输出端OUT输出低电平;在第二阶段2,输入端INPUT处于低电平,输入晶体管T1截止,

复位端RESET处于低电平,节点复位晶体管T2截止,上拉节点PU继续使得输出晶体管T3导通,时钟信号端CLK的时钟信号处于高电平,输出端OUT输出高电平,由于电容C的电压耦合作用,此时上拉节点PU被从第一电压V1抬升到第二电压V2;在第三阶段3,复位端RESET处于高电平,节点复位晶体管T2和输出复位晶体管T4导通,上拉节点PU和输出端OUT被分别下拉至低电源电压端VSS的低电压。

[0043] 在图1和图2所示的移位寄存器单元的操作过程中,分别利用节点复位晶体管T2和输出复位晶体管T4实现上拉节点PU和输出端OUT的复位,即,输出端OUT的复位完全由输出复位晶体管T4实现,为了减少输出端OUT的复位时间,必须增大输出复位晶体管T4的面积,这显然不利于显示装置分辨率的提高以及显示装置边框的缩窄。

[0044] 如图3所示,示出了现有技术中的另一种移位寄存器单元的结构示意图。该移位寄存器单元包括输入晶体管T1、输出晶体管T3、节点复位晶体管T2以及电容C。节点复位晶体管T2的栅极与节点复位端RST\_PU连接,除此之外,输入晶体管T1、输出晶体管T3、节点复位晶体管T2以及电容C的连接方式与图1中相同,在此不再赘述。

[0045] 图4示出了图3所示的移位寄存器单元的时序图。如图4所示,该移位寄存器单元在第一阶段1和第二阶段2的操作与图2所示的操作相同,在此不再赘述;在第三阶段3,时钟信号端CLK处于低电平,上拉节点PU使得输出晶体管T3保持导通,输出端OUT被下拉至时钟信号端CLK的低电平,此时上拉节点PU处于第一电压V1;然后在第四阶段4,节点复位端RST\_PU处于高电平,节点复位晶体管T2导通,上拉节点PU被下拉至低电源电压端VSS的低电压。

[0046] 在图3和图4所示的移位寄存器单元的操作过程中,首先保持上拉节点PU不被复位并且同时利用输出晶体管T3将输出端OUT下拉,在输出端OUT被下拉之后才通过复位信号控制上拉节点PU被下拉。尽管利用了上拉节点PU处的高电平,但是图3所述的移位寄存器单元仍无法满足对进一步提高显示装置的分辨率(例如达到UHD及以上级别)以及进一步缩窄显示装置的边框的要求。

[0047] 图5示出了根据本发明实施例的移位寄存器单元的示意性框图。

[0048] 如图5所示的根据本发明实施例的移位寄存器单元包括:输入模块51、输出模块52、以及耦合模块53。

[0049] 输入模块51的第一端与该移位寄存器单元的输入端INPUT连接用于从该输入端INPUT接收输入信号,第二端与上拉节点PU连接,并且该输入模块51被配置为将所接收的输入信号传递到上拉节点PU。

[0050] 输出模块52的第一端与上拉节点PU连接,第二端与第一控制信号端CON1连接,第三端与该移位寄存器单元的输出端OUT连接,并且该输出模块52被配置来在上拉节点PU处的上拉信号处于有效上拉电平时将第一控制信号端CON1的第一控制信号输出到输出端OUT。

[0051] 耦合模块53的第一端与第二控制信号端CON2连接,第二端与上拉节点PU连接,并且该耦合模块53被配置来通过电压耦合方式根据第二控制信号端CON2的第二控制信号来控制上拉节点PU处的上拉信号。

[0052] 在所述移位寄存器操作时,例如,在所述输出模块52的输出端的输出信号处于高电平的情况下,所述耦合模块53根据所述第二控制信号端CON2的第二控制信号通过电压耦合方式将所述上拉节点处的上拉信号从第一上拉电压抬升至第二上拉电压;以及在所述第

一控制信号端CON1的第一控制信号从高电平跳变至低电平时,所述上拉节点处的第二上拉电压的上拉信号使得所述输出模块将所述输出端下拉至所述第一控制信号的低电平。

[0053] 根据本发明第一实施例,所述耦合模块53被配置来利用第二控制信号端CON2的第二控制信号进行电压耦合来控制上拉节点PU处的上拉信号。具体地,在第二控制信号端CON2的第二控制信号从第一电平跳变至第二电平时,所述耦合模块53通过电压耦合使上拉节点PU处的上拉信号也发生电压跳变,即从第一耦合电压跳变至第二耦合电压。例如,在第二控制信号端CON2的第二控制信号从低电平跳变至高电平时,所述耦合模块53通过电压耦合将上拉节点PU处的上拉信号从电压VA抬高至电压VB。或者,在第二控制信号端CON2的第二控制信号从高电平跳变至低电平时,所述耦合模块53通过电压耦合将上拉节点PU处的上拉信号从电压VC跌落至电压VD。

[0054] 第一控制信号端CON1的第一控制信号、第二控制信号端CON2的第二控制信号、以及输出端OUT的输出信号彼此不同,第一控制信号的周期为第一周期,并且第二控制信号比输出信号滞后1/4第一周期。

[0055] 根据本发明实施例的移位寄存器单元,在所述输出单元OUT的输出端的输出信号处于高电平的情况下,所述耦合模块根据所述第二控制信号端CON2的第二控制信号通过电压耦合方式将上拉节点处的上拉信号从第一上拉电压抬升至第二上拉电压,然后在所述第一控制信号端CON1的第一控制信号从高电平跳变至低电平时,处于第二上拉电压的上拉节点PU使得所述输出模块将所述输出端下拉至所述第一控制信号的低电平。在所述上拉节点处的上拉信号处于第一上拉电压和第二上拉电压时,所述输出模块均将所述第一控制信号输出至所述输出端。

[0056] 图6A示出了根据本发明第一实施例的移位寄存器单元的耦合模块53的示例实现。

[0057] 如图6A所示,所述耦合模块53包括第一电容C1,该第一电容C1的第一端与第二控制信号端CON2连接,并且第二端与上拉节点PU连接。

[0058] 根据本发明第二实施例,所述耦合模块53还包括第三端,并且该第三端与第三控制信号端CON3连接,并且所述耦合模块53被配置来:在第二控制信号端CON2的第二控制信号为有效控制电平时利用第三控制信号端CON3的第三控制信号进行电压耦合来控制上拉节点PU处的上拉信号。具体地,在第二控制信号端CON2的第二控制信号为有效控制电平时并且在第三控制信号端CON3的第三控制信号从第一电平跳变至第二电平时,所述耦合模块53通过电压耦合使上拉节点PU处的上拉信号也发生电压跳变,即从第一耦合电压跳变至第二耦合电压。例如,在第二控制信号端CON2的第二控制信号为有效控制电平时并且在第三控制信号端CON3的第三控制信号从低电平跳变至高电平时,所述耦合模块53通过电压耦合将所述上拉节点PU处的上拉信号从电压VA抬高至电压VB。或者,在第二控制信号端CON2的第二控制信号为有效控制电平时并且在第三控制信号端CON3的第三控制信号从高电平跳变至低电平时,所述耦合模块53通过电压耦合将所述上拉节点PU处的上拉信号从电压VC跌落至电压VD。

[0059] 第一控制信号端CON1的第一控制信号、第二控制信号端CON2的第二控制信号、第三控制信号CON3的第三控制信号、以及输出端OUT的输出信号彼此不同。第一控制信号的周期为第一周期,第三控制信号的周期为第二周期,第二周期是第一周期的1/2,第二控制信号比输出信号滞后1/4第一周期,第三控制信号的占空比小于等于1/2,在第一控制信号的

上跳沿和下跳沿处第三控制信号均为有效控制电平。

[0060] 图6B示出了根据本发明第二实施例的移位寄存器单元的耦合模块53的示例实现。

[0061] 如图6B所示,所述耦合模块53包括耦合晶体管Tc和第一电容C1。

[0062] 耦合晶体管Tc的栅极与第二控制信号端CON2连接,第一极与第三控制信号端CON3连接。第一电容C1的第一端与耦合晶体管Tc的第二极连接,第二端与上拉节点PU连接。

[0063] 替换地,耦合晶体管Tc的栅极可以与第三控制信号端CON3连接,第一极可以与第二控制信号端CON2连接。

[0064] 图7A示出了根据本发明实施例的移位寄存器单元的另一示意性框图。

[0065] 如图7A所示的根据本发明实施例的移位寄存器单元除了包括如图5所示的输入模块51、输出模块52、以及耦合模块53之外,还包括:复位模块54。

[0066] 复位模块54的第一端与第四控制信号端CON4连接,第二端与上拉节点PU连接,第三端与低电源电压端VSS连接,并且该复位模块54为配置来在第四控制信号端CON4的第四控制信号处于有效控制电平时将上拉节点PU处的上拉信号下拉至低电源电压端VSS的低电源电压。例如,第四控制信号端CON4的第四控制信号比输出端的输出信号滞后3/4第一周期。

[0067] 可选地,复位单元54还包括第四端和第五端,该第四端与第五控制信号端CON5连接,该第五端与输出端OUT连接,并且该复位单元54还被配置来在第五控制信号端CON5的第五控制信号处于有效控制电平时将输出端OUT的输出信号下拉至低电源电压端VSS的低电源电压。例如,第五控制信号端CON5的第五控制信号比输出端OUT的输出信号滞后1/2第一周期。

[0068] 图7B示出了根据本发明实施例的移位寄存器单元的另一示意性框图。

[0069] 如图7B所示的根据本发明实施例的移位寄存器单元除了包括如图5所述的输入模块51、输出模块52和耦合模块53以及如图7A所示的复位模块54之外,还包括:下拉控制模块55和下拉模块56。

[0070] 下拉控制模块55的第一端与第六控制信号端CON6连接,第二端与上拉节点PU连接,第三端与下拉节点PD连接,该下拉控制模块55被配置为:在上拉节点PU处的上拉信号处于有效上拉电平时在下拉节点PD处产生处于非有效下拉电平的下拉信号,而在上拉节点PU处的上拉信号处于非有效上拉电平时并且在第六控制信号端CON6处的第六控制信号处于有效控制电平时在下拉节点PD处产生处于有效下拉电平的下拉信号。例如,第六控制信号端CON6的第六控制信号比第一控制信号端CON1的第一控制信号滞后3/4第一周期。

[0071] 下拉模块56的第一端与下拉节点PD连接,第二端与输出端OUT连接,第三端与上拉节点PU连接,第四端与低电源电压端VSS连接,并且该下拉模块被配置来在下拉节点PD处的下拉信号处于有效下拉电平时将所述输出端OUT和所述上拉节点PU下拉至所述低电源电压端VSS的低电源电压。

[0072] 可选地,下拉模块56还包括第五端,该第五端与第七控制信号端CON7连接,并且该下拉模块56还被配置来在第七控制信号端CON7的第七控制信号处于有效控制电平时将输出端OUT下拉至所述低电源电压端的低电源电压。例如,第七控制信号端CON7的第七控制信号比第一控制信号端CON1的第一控制信号滞后1/2第一周期。

[0073] 下面,将参考图8—12来描述根据本发明第一实施例的移位寄存器单元的操作。

[0074] 图8示出了根据本发明第一实施例的移位寄存器单元的一种示例电路实现。

[0075] 如图8所示,根据本发明第一实施例的移位寄存器单元包括输入模块51、输出模块52、耦合模块53、复位模块54、下拉控制模块55和下拉模块56。

[0076] 输入模块51包括输入晶体管T1,输入晶体管T1的栅极和第一极与输入端INPUT连接,输入晶体管T1的第二极与上拉节点PU连接。在输入端INPUT的输入信号处于有效输入电平时,输入晶体管T1将输入端INPUT的输入信号传递到上拉节点PU。

[0077] 输出模块52包括输出晶体管T3和第二电容C2,输出晶体管T3的栅极和第二电容C2的第一端与上拉节点PU连接,输出晶体管T3的第一极与第一控制信号端CON1连接,输出晶体管T3的第二极和第二电容C2的第二端与输出端OUT连接。在上拉节点PU处的上拉信号处于有效上拉电平时,输出晶体管T3导通,将第一控制信号端CON1的第一控制信号输出到输出端OUT。

[0078] 耦合模块53包括第一电容C1,第一电容C1的第一端与第二控制信号端CON2连接,第一电容C1的第二端与上拉节点PU连接。例如,在第二控制信号端CON2的第二控制信号从低电平跳变到高电平时,第一电容C1通过电压耦合将上拉节点PU处的上拉信号从电压VA抬高至电压VB;在第二控制信号端CON2的第二控制信号从高电平跳变到低电平时,第二电容C2通过电压耦合将上拉节点PU处的上拉信号从电压VC跌落至电压VD。

[0079] 复位模块54包括节点复位晶体管T2,节点复位晶体管T2的栅极与第四控制信号端CON4连接,第一极与上拉节点PU连接,第二极与低电源电压端VSS连接。在第四控制信号端CON4处的第四控制信号处于有效控制电平时,节点复位晶体管T2导通,将上拉节点PU处的上拉信号下拉至低电源电压端VSS的低电源电压。

[0080] 下拉控制模块55包括第一下拉控制晶体管T9、第二下拉控制晶体管T10、第三下拉控制晶体管T7和第四下拉控制晶体管T8。第一下拉控制晶体管T9的栅极和第一极与第六控制信号端CON6连接,第二极与下拉控制节点PD\_CN连接;第二下拉控制晶体管T10的栅极与上拉节点PU连接,第一极与下拉控制节点PD\_CN连接,第二极与低电源电压端VSS连接;第三下拉控制晶体管T7的栅极和下拉控制节点PD\_CN连接,第一极与第六控制信号端CON6连接,第二极与下拉节点PD连接;第四下拉控制晶体管T8的栅极与上拉节点PU连接,第一极与下拉节点PD连接,第二极与低电源电压端VSS连接。

[0081] 下拉模块56包括节点下拉晶体管T5和输出下拉晶体管T6,节点下拉晶体管T5和输出下拉晶体管T6的栅极与下拉节点PD连接,节点下拉晶体管T5和输出下拉晶体管T6的第二极与低电源电压端VSS连接,节点下拉晶体管T5的第一极与上拉节点PU连接,输出下拉晶体管T6的第一极与输出端OUT连接。在第四控制信号端CON4的第一控制信号处于有效下拉电平时,节点下拉晶体管T5和输出下拉晶体管T6导通,分别将上拉节点PU和输出端OUT下拉至低电源电压端VSS的低电源电压。

[0082] 例如,第一控制信号端CON1与第一时钟信号端连接,第一控制信号为第一时钟信号,第一时钟信号的周期为第一周期。第二控制信号端CON2的第二控制信号比输出端OUT的输出信号滞后1/4第一周期。第四控制信号端CON4的第四控制信号比输出端的输出信号滞后3/4第一周期。第六控制信号端CON6的第六控制信号比第一控制信号端CON1的第一控制信号滞后3/4第一周期。

[0083] 图9示出了根据本发明第一实施例的移位寄存器单元的示例电路的操作时序图。

[0084] 在第一阶段I (输入阶段), 输入端INPUT处于高电平, 输入晶体管T1导通将输入端INPUT的高电平传递到上拉节点, 此时上拉节点处于第一高电压V1, 使得输出晶体管T3导通, 由于第一控制信号端CON1 (即, 第一时钟信号端CLK1) 的第一控制信号 (即, 第一时钟信号) 处于低电平, 输出端OUT输出低电平。此外, 在该阶段中, 由于上拉节点PU处于高电平, 第二下拉控制晶体管T10和第四下拉控制晶体管T8导通, 使得下拉节点PD处于低电平, 相应地节点下拉晶体管T5和输出下拉晶体管T6均截止。此外, 在该阶段中, 第四控制信号端CON4的第四控制信号处于低电平, 节点复位晶体管T2截止。

[0085] 在第二阶段II (第一输出阶段), 输入端INPUT处于低电平, 输入晶体管T1截止, 第四控制信号端CON4处于低电平, 节点复位晶体管T2保持截止, 上拉节点PU继续使得输出晶体管T3导通, 第一控制信号端CON1的第一控制信号处于高电平, 输出端OUT输出高电平, 由于第二电容C2的电压耦合作用, 此时上拉节点PU被从第一高电压V1抬升到第二高电压V2。此外, 在该阶段中, 由于上拉节点PU仍处于高电平, 第二下拉控制晶体管T10和第四下拉控制晶体管T8保持导通, 下拉节点PD仍处于低电平, 相应地节点下拉晶体管T5和输出下拉晶体管T6均保持截止。

[0086] 在第三阶段III (第二输出阶段), 输入端INPUT处于低电平, 输入晶体管T1保持截止, 第四控制信号端CON4处于低电平, 节点复位晶体管T2保持截止, 第二控制信号端CON2的第二控制信号处于高电平, 由于第一电容C1的电压耦合作用, 此时上拉节点PU被从第二高电压V2抬升到第三高电压V3。此外, 在该阶段中, 由于上拉节点PU仍处于高电平, 第二下拉控制晶体管T10和第四下拉控制晶体管T8保持导通, 下拉节点PD仍处于低电平, 相应地节点下拉晶体管T5和输出下拉晶体管T6均保持截止。

[0087] 在第四阶段IV (第一复位阶段), 输入端INPUT处于低电平, 输入晶体管T1保持截止, 第四控制信号端处于低电平, 节点复位晶体管T2保持截止, 第二控制信号端CON2的第二控制信号仍处于高电平, 第一控制信号端CON1的第一控制信号从高电平跳变至低电平, 由于上拉节点PU仍处于高电平, 使得输出晶体管T3保持导通将输出端OUT下拉至第一控制信号的低电平, 由于第二电容C2的电压耦合作用, 此时上拉节点PU从第三高电压V3跌落至第四高电压V4。此外, 在该阶段中, 由于上拉节点PU仍处于高电平, 第二下拉控制晶体管T10和第四下拉控制晶体管T8保持导通, 下拉节点PD仍处于低电平, 相应地节点下拉晶体管T5和输出下拉晶体管T6均保持截止。

[0088] 在第五阶段V (第二复位阶段), 一方面, 第二控制信号端CON2的第二控制信号从高电平跳变至低电平, 由于第一电容C1的电压耦合作用, 此时上拉节点PU从第四高电压V4开始跌落 (例如至第一高电压V1), 另一方面, 第四控制信号端CON4的第四控制信号处于高电平, 节点复位晶体管T2导通, 将上拉节点PU下拉至低电源电压端VSS的低电压。此外, 在该阶段中, 由于上拉节点PU处于低电平, 第二下拉控制晶体管T10和第四下拉控制晶体管T8均截止, 由于第六控制信号端CON6的第六控制信号处于高电平, 第一下拉控制晶体管T9和第三下拉控制晶体管T7均导通, 使得下拉节点PD从低电平跳变至高电平, 相应地节点下拉晶体管T5和输出下拉晶体管T6均导通, 将上拉节点PU和输出端OUT下拉至低电源电压端VSS的低电源电压。

[0089] 在第六阶段VI, 由于第六控制信号端CON6的第六控制信号处于低电平, 第一下拉控制晶体管T9和第三下拉控制晶体管T7均截止, 由于上拉节点PU处于低电平, 第二下拉控



制晶体管T10和第四下拉控制晶体管T8均保持截止,下拉节点PD保持处于高电平,相应地节点下拉晶体管T5和输出下拉晶体管T6均导通,将上拉节点PU和输出端OUT下拉至低电源电压端VSS的低电源电压。

[0090] 此后,在一帧图像显示期间,重复第五阶段V和第六阶段VI,直至开始下一帧图像的显示,即输入端INPUT再次输入有效输入信号。

[0091] 所述第二高电压V2和第一高电压V1之间的电压差为 $\Delta V1$ ,第三高电压V3和第二高电压V2之间的电压差为 $\Delta V2$ ,第四高电压V4和第三高电压V3之间的电压差为 $\Delta V3$ 。第一高电压、第二高电压、第三高电压、第四高电压由输入端INPUT的输入信号的电压值、第一控制信号端CON1的第一控制信号的电压值、第二控制信号端CON2的第二控制信号的电压值、第一电容C1、第二电容C2以及电路寄生电容决定。

[0092] 如图9所示,在输出端OUT开始被下拉时,上拉节点PU处的上拉信号处于第三高电压V3,该第三高电压V3高于如图2和图4中所示的第二高电压V2。因此,根据本发明第一实施例的移位寄存器不仅能够利用输出晶体管T3实现输出端OUT的复位或下拉,还能够通过进一步抬升上拉节点PU处的上拉信号而减少输出端OUT的复位时间,有利于显示装置分辨率的提高以及显示装置边框的缩窄。

[0093] 图10示出了根据本发明第一实施例的移位寄存器单元的另一种示例电路实现。

[0094] 如图10所示,复位模块54还包括输出复位晶体管T4,输出复位晶体管T4的栅极与第五控制信号端CON5连接,第一极与输出端OUT连接,第二极与低电源电压端VSS连接。例如,第五控制信号端CON5的第五控制信号比输出端OUT的输出信号滞后1/2第一周期。

[0095] 在第四阶段IV,第五控制信号端CON5的第五控制信号处于高电平,输出复位晶体管T4导通,将输出端OUT下拉至低电源电压端VSS的低电源电压。

[0096] 通过增加输出复位晶体管T4可以提高输出端OUT的驱动能力,通过输出晶体管T3和输出复位晶体管T4的配合可以更快地将输出端OUT下拉至低电源电压端VSS的低电源电压。

[0097] 图11示出了根据本发明第一实施例的移位寄存器单元的再一种示例电路实现。

[0098] 如图11所示,下拉模块56还包括时钟下拉晶体管T11,时钟下拉晶体管T11的栅极与第七控制信号端CON7连接,第一极与输出端OUT连接,第二极与低电源电压端VSS连接。例如,第七控制信号端CON7的第七控制信号比第一时钟信号滞后1/2第一周期。

[0099] 在第四阶段IV,第七控制信号端CON7的第七控制信号处于高电平,时钟下拉晶体管T11导通,将输出端OUT下拉至低电源电压端VSS的低电源电压。

[0100] 通过增加时钟下拉晶体管T11可以提高输出端OUT的驱动能力,通过输出晶体管T3和时钟下拉晶体管T11的配合可以更快地将输出端OUT下拉至低电源电压端VSS的低电源电压。

[0101] 图12示出了根据本发明第一实施例的移位寄存器的示意性框图。

[0102] 如图12所示,根据本发明第一实施例的移位寄存器包括多个级联的移位寄存器单元,每个移位寄存器单元可以如图8所示。

[0103] 根据本发明第一实施例的移位寄存器与起始输入信号端STV、第一时钟信号端CLK1、第二时钟信号端CLK2、第三时钟信号端CLK1B以及第四时钟信号端CLK2B连接。第一时钟信号端CLK1的第一时钟信号、第二时钟信号端CLK2的第二时钟信号、第三时钟信号端

CLK1B的第三时钟信号、第四时钟信号端CLK2B的第四时钟信号的周期为第一周期,并且第二时钟信号比第一时钟信号滞后 $1/4$ 第一周期,第三时钟信号比第二时钟信号滞后 $1/4$ 第一周期,第四时钟信号比第三时钟信号滞后 $1/4$ 第一周期。

[0104] 第1级和第2级移位寄存器单元的输入端INPUT与初始输入信号端STV连接以接收初始输入信号,第 $2j+1$ 级移位寄存器单元的输入端与第 $2j-1$ 级移位寄存器单元的输出端连接,第 $2j+2$ 级移位寄存器单元的输入端与第 $2j$ 级移位寄存器单元的输出端连接,其中, $j$ 大于等于1。

[0105] 第 $4i+1$ 级移位寄存器单元的第一控制信号端与第一时钟信号端CLK1连接,第二控制信号端与第 $4i+2$ 级移位寄存器单元的输出端连接,第四控制信号端与第 $4i+4$ 级移位寄存器单元的输出端连接,第六控制信号端与第四时钟信号端CLK2B连接,其中, $i$ 大于等于0。

[0106] 第 $4i+2$ 级移位寄存器单元的第一控制信号端与第二时钟信号端CLK2连接,第二控制信号端与第 $4i+3$ 级移位寄存器单元的输出端连接,第四控制信号端与第 $4i+5$ 级移位寄存器单元的输出端连接,第六控制信号端与第一时钟信号端CLK1连接。

[0107] 第 $4i+3$ 级移位寄存器单元的第一控制信号端与第三时钟信号端CLK1B连接,第二控制信号端与第 $4i+4$ 级移位寄存器单元的输出端连接,第四控制信号端与第 $4i+6$ 级移位寄存器单元的输出端连接,第六控制信号端与第二时钟信号端CLK2连接。

[0108] 第 $4i+4$ 级移位寄存器单元的第一控制信号端与第四时钟信号端CLK2B连接,第二控制信号端与第 $4i+6$ 级移位寄存器单元的输出端连接,第四控制信号端与第 $4i+7$ 级移位寄存器单元的输出端连接,第六控制信号端与第三时钟信号端CLK1B连接。

[0109] 此外,在每个移位寄存器单元为图10所示的移位寄存器单元的情况下,第 $2j-1$ 级移位寄存器单元的第五控制信号端与第 $2j+1$ 级移位寄存器单元的输出端连接,第 $2j$ 级移位寄存器单元的第五控制信号端与第 $2j+2$ 级移位寄存器单元的输出端连接,其中, $j$ 大于等于1。

[0110] 此外,在每个移位寄存器单元为图11所述的移位寄存器单元的情况下,第 $4i+1$ 级移位寄存器单元的第七控制信号端与第三时钟信号端CLK1B连接,第 $4i+2$ 级移位寄存器单元的第七控制信号端与第四时钟信号端CLK2B连接,第 $4i+3$ 级移位寄存器单元的第七控制信号端与第一时钟信号端CLK1连接,第 $4i+1$ 级移位寄存器单元的第七控制信号端与第二时钟信号端CLK2连接,其中, $i$ 大于等于0。

[0111] 返回参考图9,还示出了第一级移位寄存器单元的输出信号GL1、第二级移位寄存器单元的输出信号GL2、第三级移位寄存器单元的输出信号GL3、第四级移位寄存器单元的输出信号GL4。

[0112] 下面,将参考图13—17来描述根据本发明第二实施例的移位寄存器单元的操作。

[0113] 图13示出了根据本发明第二实施例的移位寄存器单元的一种示例电路实现。

[0114] 如图13所示,根据本发明第一实施例的移位寄存器单元包括输入模块51、输出模块52、耦合模块53、复位模块54、下拉控制模块55和下拉模块56。

[0115] 图13中的输入模块51、输出模块52、复位模块54、下拉控制模块55和下拉模块56的电路结构与图8中的输入模块51、输出模块52、复位模块54、下拉控制模块55和下拉模块56的电路结构相同,在此不再赘述。

[0116] 如图13所示,所述耦合模块53包括耦合晶体管 $T_c$ 和第二电容 $C_1$ 。

[0117] 耦合晶体管Tc的栅极与第二控制信号端CON2连接,第一极与第三控制信号端CON3连接。第一电容C1的第一端与耦合晶体管Tc的第二极连接,第二端与上拉节点PU连接。

[0118] 替换地,耦合晶体管Tc的栅极可以与第三控制信号端CON3连接,第一极可以与第二控制信号端CON2连接。

[0119] 根据本发明第二实施例,在图13中,例如,第一控制信号端CON1与第一时钟信号端CLK1连接,第一控制信号为第一时钟信号,第一时钟信号的周期为第一周期。第二控制信号端CON2的第二控制信号比输出端OUT的输出信号滞后1/4第一周期。第三控制信号端CON3的第三控制信号是脉冲信号,该脉冲信号的周期为第二周期,第二周期为第一周期的1/2,该脉冲信号的占空比小于等于1/2,在第一控制信号的上跳沿和下跳沿处第三控制信号均为有效控制电平。第四控制信号端CON4的第四控制信号比输出端的输出信号滞后3/4第一周期。第六控制信号端CON6的第六控制信号比第一控制信号端CON1的第一控制信号滞后3/4第一周期。

[0120] 图14示出了根据本发明第二实施例的移位寄存器单元的示例电路的操作时序图。

[0121] 在图14中示出了第三控制信号端CON3的两个控制信号,在下面关于图13所示的移位寄存器单元的描述中仅利用控制信号CON3/CK\_CP1,另一控制信号CON3/CK\_CP2用于当前描述的移位寄存器单元的前一或后一级移位寄存器单元。

[0122] 在第一阶段I(输入阶段),第二控制信号端CON2的第二控制信号处于低电平,耦合晶体管Tc截止。在第一阶段I的其余操作与图9所示的第一阶段I的操作相同,在此不再赘述。在该第一阶段I,上拉节点处于第一高电压V1。

[0123] 在第二阶段II(第一输出阶段),第二控制信号端CON2的第二控制信号仍处于低电平,耦合晶体管Tc保持截止。在第二阶段II的其余操作与图9所示的第一阶段I的操作相同,在此不再赘述。在该第二阶段II,输出端OUT输出高电平,由于第二电容C2的电压耦合作用,此时上拉节点PU被从第一高电压V1抬升到第二高电压V2。

[0124] 在第三阶段III(第二输出阶段),第二控制信号端CON2的第二控制信号处于高电平,耦合晶体管Tc导通,第三控制信号端CON3处于低电平,此时上拉节点PU的电压保持处于第二高电压V2。在第三阶段III的其余操作与图9所示的第三阶段III的操作相同,在此不再赘述。

[0125] 在第四阶段IV(第三输出阶段),第二控制信号端CON2的第二控制信号处于高电平,耦合晶体管Tc导通,第三控制信号端CON3从低电平跳变至高电平,此时上拉节点PU的电压从第二高电压V2抬升到第三高电压V3。在第四阶段IV的其余操作与图9所示的第三阶段III的操作相同,在此不再赘述。

[0126] 在第五阶段V(第一复位阶段),第二控制信号端CON2的第二控制信号仍处于高电平,耦合晶体管Tc保持导通,第三控制信号端CON3仍处于高电平,第一控制信号端CON1的第一控制信号从高电平跳变至低电平,由于上拉节点PU仍处于高电平,使得输出晶体管T3保持导通将输出端OUT下拉至第一控制信号的低电平,由于第二电容C2的电压耦合作用,此时上拉节点PU从第三高电压V3跌落至第四高电压V4。在第五阶段V的其余操作与图9所示的第四阶段IV的操作相同,在此不再赘述。在该第五阶段V,上拉节点PU处于第四高电压V4,输出晶体管T3导通将输出端OUT下拉至第一控制信号的低电平。该第四高电压V4显然比第一高电压V1更高。因此,与图4所示的第3阶段的上拉节点PU处的上拉信号相比,处于第四高电压

V4的上拉节点PU使得输出晶体管T3能够更快地将输出端OUT复位,减少了输出端OUT的复位时间。

[0127] 在第六阶段VI(第二复位阶段),第二控制信号端CON2的第二控制信号保持高电平,耦合晶体管Tc保持导通,第三控制信号端CON3从高电平跳变至低电平,由于第一电容C1的电压耦合作用,此时上拉节点PU从第四高电压V4跌落至第五高电压V5。在第六阶段VI的其余操作与图9所示的第四阶段IV的操作相同,在此不再赘述。在该第六阶段VI,上拉节点PU处于第五高电压V5,输出晶体管T3导通将输出端OUT下拉至第一控制信号的低电平。

[0128] 在第七阶段VII(第三复位阶段),第二控制信号端CON2的第二控制信号处于低电平,耦合晶体管Tc截止。在第七阶段VII的其余操作与图9所示的第五阶段V的操作相同,在此不再赘述。在该第七阶段VII,上拉节点PU处于低电平,下拉节点PD处于高电平。

[0129] 在第八阶段VIII,第二控制信号端CON2的第二控制信号处于低电平,耦合晶体管Tc保持截止。在第八阶段VIII的其余操作与图9所示的第六阶段VI的操作相同,在此不再赘述。在该第八阶段VIII,上拉节点PU保持处于低电平,下拉节点PD保持处于高电平。

[0130] 此后,在一帧图像显示期间,重复第七阶段VII和第八阶段VIII,直至开始下一帧图像的显示,即输入端INPUT再次输入有效输入信号。

[0131] 所述第二高电压V2和第一高电压V1之间的电压差为 $\Delta V1$ ,第三高电压V3和第二高电压V2之间的电压差为 $\Delta V2$ ,第三高电压V3和第四高电压V4之间的电压差为 $\Delta V3$ ,第四高电压V4和第五高电压V5之间的电压差为 $\Delta V4$ 。第一高电压V1、第二高电压V2、第三高电压V3、第四高电压V4、第五高电压V5由输入端INPUT的输入信号的电压值、第一控制信号端CON1的第一控制信号的电压值、第三控制信号端CON3的第三控制信号的电压值、第一电容C1、第二电容C2以及电路寄生电容决定。

[0132] 如图14所示,在输出端OUT开始被下拉时,上拉节点PU处的上拉信号处于第三高电压V3,该第三高电压V3高于如图2和图4中所示的第二高电压V2。因此,根据本发明第二实施例的移位寄存器不仅能够利用输出晶体管T3实现输出端OUT的复位或下拉,还能够通过进一步抬升上拉节点PU处的上拉信号而减少输出端OUT的复位时间,有利于显示装置分辨率的提高以及显示装置边框的缩窄。

[0133] 图15示出了根据本发明第二实施例的移位寄存器单元的另一种示例电路实现。

[0134] 如图15所示,复位模块54还包括输出复位晶体管T4。输出复位晶体管T4的连接方式与图11所示的相同,在此不再赘述。

[0135] 在第五阶段V和第六阶段VI,第五控制信号端CON5的第五控制信号处于高电平,输出复位晶体管T4导通,将输出端OUT下拉至低电源电压端VSS的低电源电压。

[0136] 通过增加输出复位晶体管T4可以提高输出端OUT的驱动能力,通过输出晶体管T3和输出复位晶体管T4的配合可以更快地将输出端OUT下拉至低电源电压端VSS的低电源电压。

[0137] 图16示出了根据本发明第二实施例的移位寄存器单元的再一种示例电路实现。

[0138] 如图16所示,下拉模块56还包括时钟下拉晶体管T11。时钟下拉晶体管T11的连接方式与图11所示的相同,在此不再赘述。

[0139] 在第五阶段V和第六阶段VI,第七控制信号端CON7的第七控制信号处于高电平,时钟下拉晶体管T11导通,将输出端OUT下拉至低电源电压端VSS的低电源电压。

[0140] 通过增加时钟下拉晶体管T11可以提高输出端OUT的驱动能力,通过输出晶体管T3和时钟下拉晶体管T11的配合可以更快地将输出端OUT下拉至低电源电压端VSS的低电源电压。

[0141] 图17示出了根据本发明第二实施例的移位寄存器的示意性框图。

[0142] 如图17所示,根据本发明第二实施例的移位寄存器包括多个级联的移位寄存器单元,每个移位寄存器单元可以如图13所示。

[0143] 根据本发明第一实施例的移位寄存器与起始输入信号端STV、第一时钟信号端CLK1、第二时钟信号端CLK2、第三时钟信号端CLK1B、第四时钟信号端CLK2B、第一脉冲信号端CK\_CP1、以及第二脉冲信号端CK\_CP2连接。第一时钟信号端CLK1的第一时钟信号、第二时钟信号端CLK2的第二时钟信号、第三时钟信号端CLK1B的第三时钟信号、第四时钟信号端CLK2B的第四时钟信号的周期为第一周期,并且第二时钟信号比第一时钟信号滞后1/4第一周期,第三时钟信号比第二时钟信号滞后1/4第一周期,第四时钟信号比第三时钟信号滞后1/4第一周期。第一脉冲信号端CK\_CP1的第一脉冲信号和第二脉冲信号端CK\_CP2的第二脉冲信号的周期为第二周期,并且第二脉冲信号比第一脉冲信号滞后1/2第二周期,第一脉冲信号和第二脉冲信号的占空比相同且小于等于1/2,第二周期为第一周期的1/2。

[0144] 第1级和第2级移位寄存器单元的输入端INPUT与初始输入信号端STV连接以接收初始输入信号,第 $2j+1$ 级移位寄存器单元的输入端与第 $2j-1$ 级移位寄存器单元的输出端连接,第 $2j+2$ 级移位寄存器单元的输入端与第 $2j$ 级移位寄存器单元的输出端连接,其中, $j$ 大于等于1。

[0145] 第 $4i+1$ 级移位寄存器单元的第一控制信号端与第一时钟信号端CLK1连接,第二控制信号端与第 $4i+2$ 级移位寄存器单元的输出端连接,第三控制信号端与第一脉冲信号端连接,第四控制信号端与第 $4i+4$ 级移位寄存器单元的输出端连接,第六控制信号端与第四时钟信号端CLK2B连接,其中, $i$ 大于等于0。

[0146] 第 $4i+2$ 级移位寄存器单元的第一控制信号端与第二时钟信号端CLK2连接,第二控制信号端与第 $4i+3$ 级移位寄存器单元的输出端连接,第三控制信号端与第二脉冲信号端连接,第四控制信号端与第 $4i+5$ 级移位寄存器单元的输出端连接,第六控制信号端与第一时钟信号端CLK1连接。

[0147] 第 $4i+3$ 级移位寄存器单元的第一控制信号端与第三时钟信号端CLK1B连接,第二控制信号端与第 $4i+4$ 级移位寄存器单元的输出端连接,第三控制信号端与第一脉冲信号端连接,第四控制信号端与第 $4i+6$ 级移位寄存器单元的输出端连接,第六控制信号端与第二时钟信号端CLK2连接。

[0148] 第 $4i+4$ 级移位寄存器单元的第一控制信号端与第四时钟信号端CLK2B连接,第二控制信号端与第 $4i+6$ 级移位寄存器单元的输出端连接,第三控制信号端与第二脉冲信号端连接,第四控制信号端与第 $4i+7$ 级移位寄存器单元的输出端连接,第六控制信号端与第三时钟信号端CLK1B连接。

[0149] 此外,在每个移位寄存器单元为图15所示的移位寄存器单元的情况下,第 $2j-1$ 级移位寄存器单元的第五控制信号端与第 $2j+1$ 级移位寄存器单元的输出端连接,第 $2j$ 级移位寄存器单元的第五控制信号端与第 $2j+2$ 级移位寄存器单元的输出端连接,其中, $j$ 大于等于1。

[0150] 此外,在每个移位寄存器单元为图16所述的移位寄存器单元的情况下,第 $4i+1$ 级移位寄存器单元的第七控制信号端与第三时钟信号端CLK1B连接,第 $4i+2$ 级移位寄存器单元的第七控制信号端与第四时钟信号端CLK2B连接,第 $4i+3$ 级移位寄存器单元的第七控制信号端与第一时钟信号端CLK1连接,第 $4i+1$ 级移位寄存器单元的第七控制信号端与第二时钟信号端CLK2连接,其中, $i$ 大于等于0。

[0151] 可选地,上述的各晶体管可以均为N型薄膜晶体管,并且上述的第一极可以为漏极,上述的第二极可以为源极,上述的有效控制电平、有效上拉电平和有效下拉电平均为高电平,上述的非有效控制电平、非有效上拉电平和非有效下拉电平均为低电平。

[0152] 可替换地,上述的各晶体管可以均为P型薄膜晶体管,并且上述的第一极可以为源极,上述的第二极可以为漏极,上述的有效控制电平、有效上拉电平和有效下拉电平均为低电平,上述的非有效控制电平、非有效上拉电平和非有效下拉电平均为高电平。

[0153] 可替换地,上述的各晶体管可以为P型和N型薄膜晶体管的任意组合。

[0154] 根据本发明实施例的移位寄存器单元及其操作方法、以及移位寄存器,通过将输出端和上拉节点分时复位、并且在输出端复位时进一步拉高上拉节点处的电压,不仅可以利用输出晶体管实现移位寄存器单元的复位,还可以提高输出晶体管对输出端复位的速度,从而减少移位寄存器单元的复位时间,这有利于提高显示装置的分辨率和缩窄显示装置的边框。

[0155] 在上面详细描述了本发明的各个实施例。然而,本领域技术人员应该理解,在不脱离本发明的原理和精神的情况下,可对这些实施例进行各种修改,组合或子组合,并且这样的修改应落入本发明的范围内。

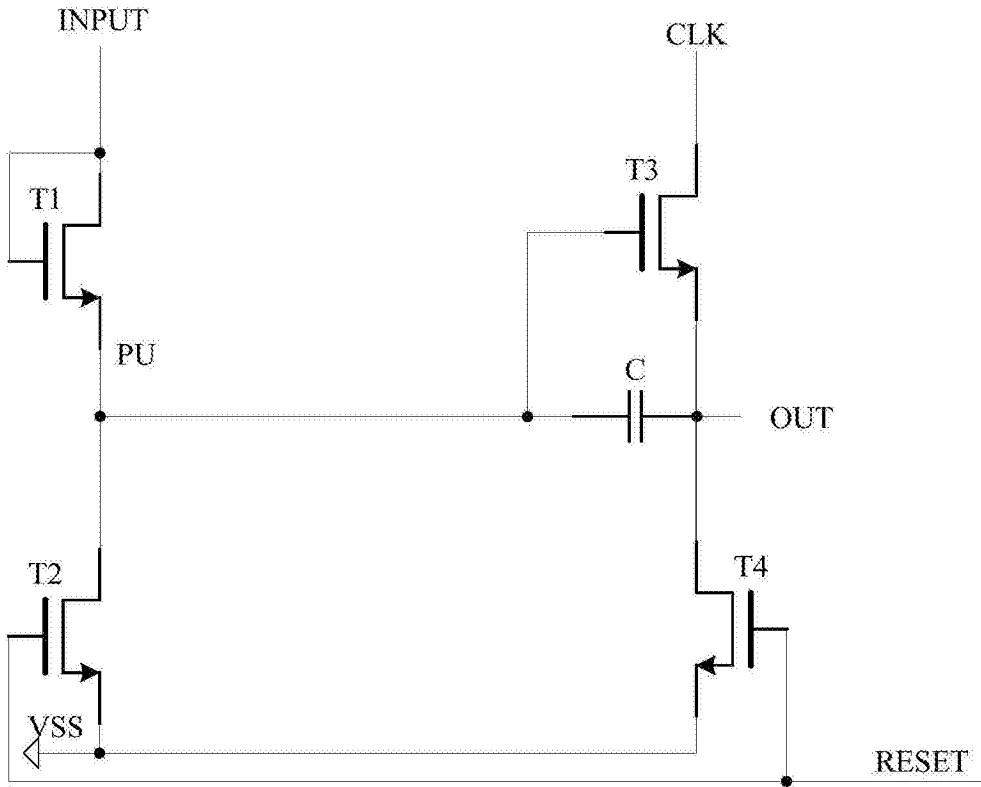


图1

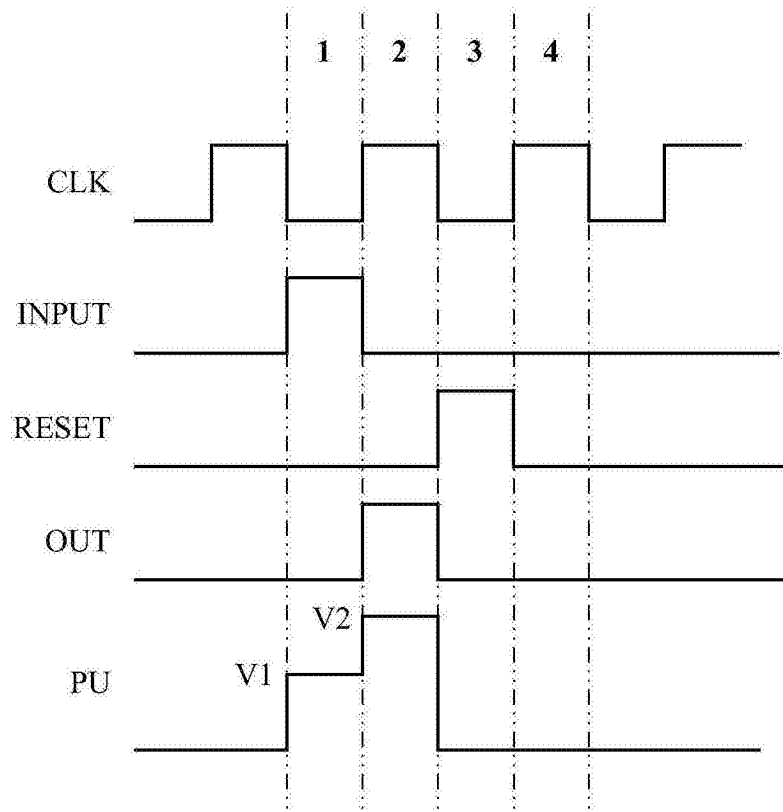


图2



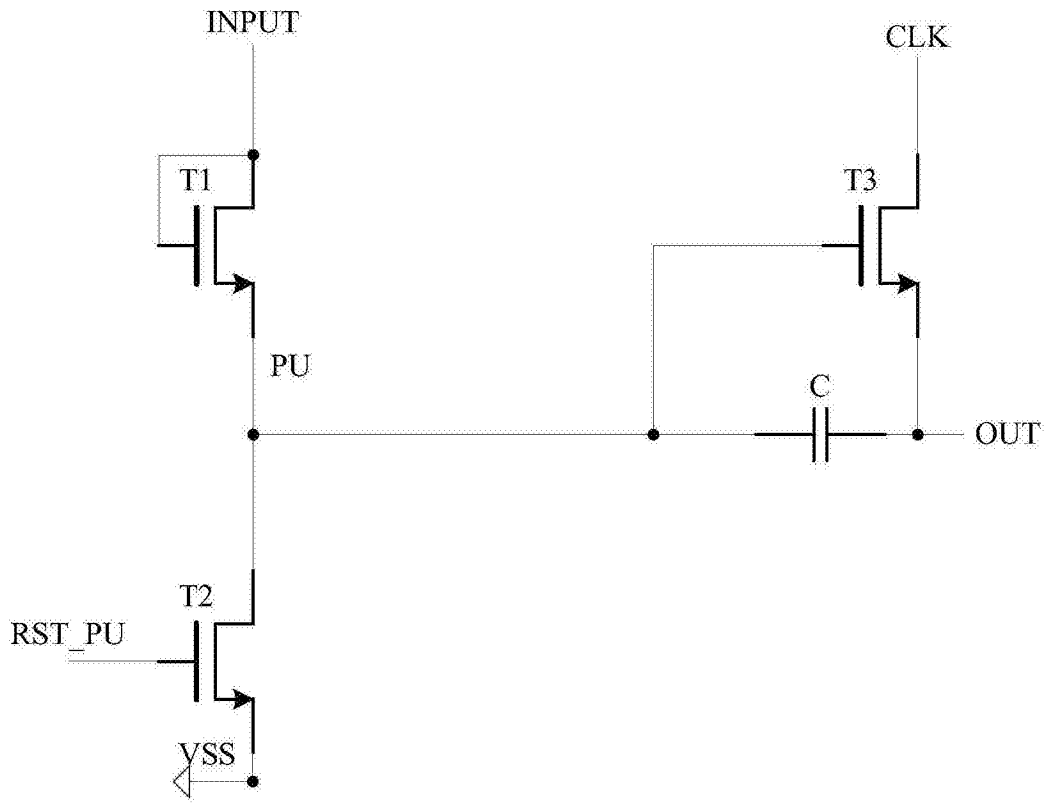


图3

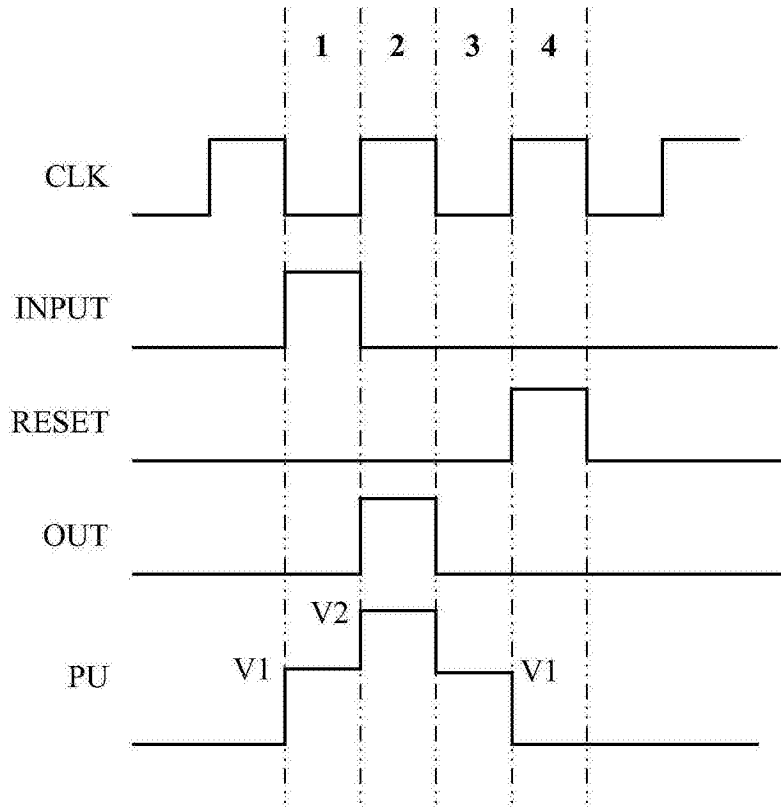


图4

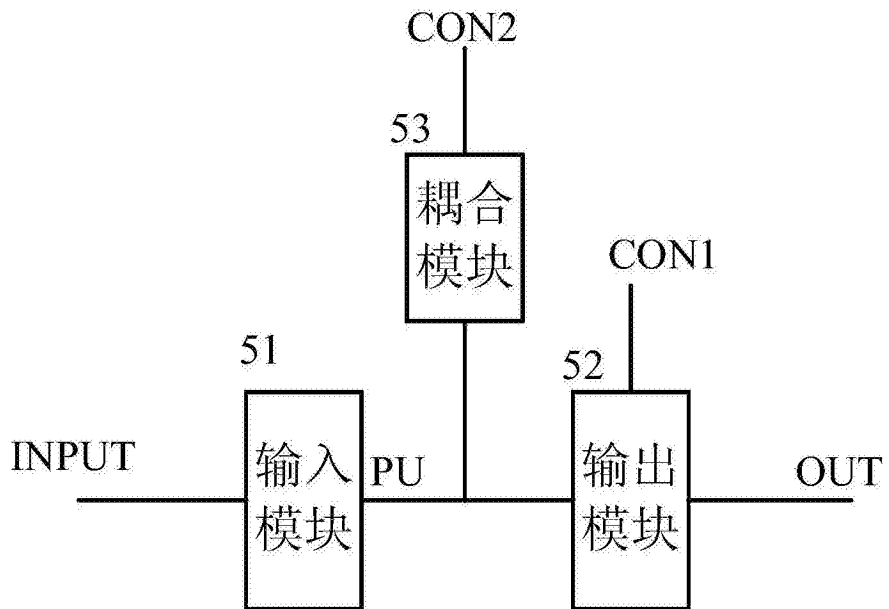


图5

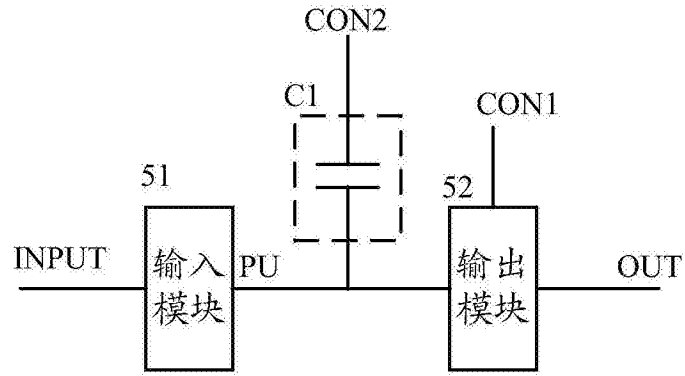


图6A

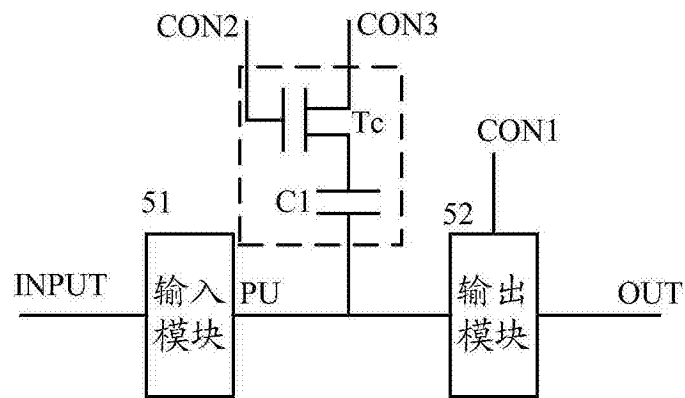


图6B

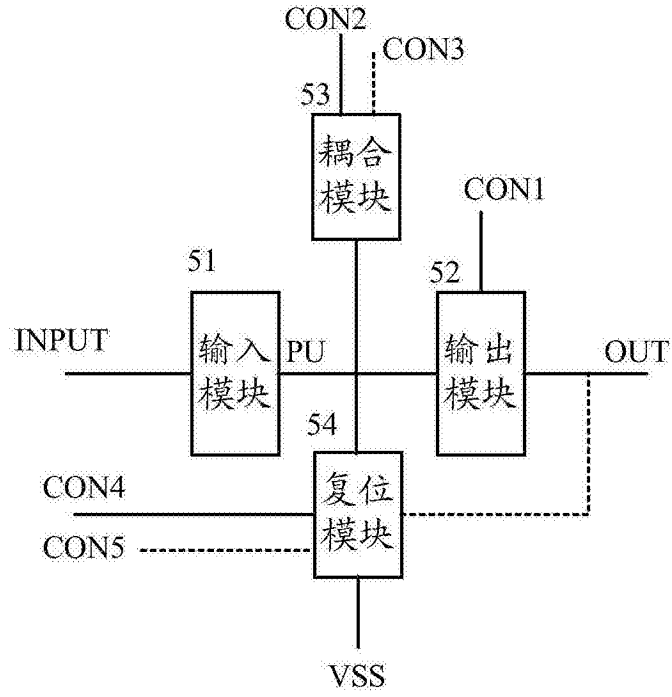


图7A

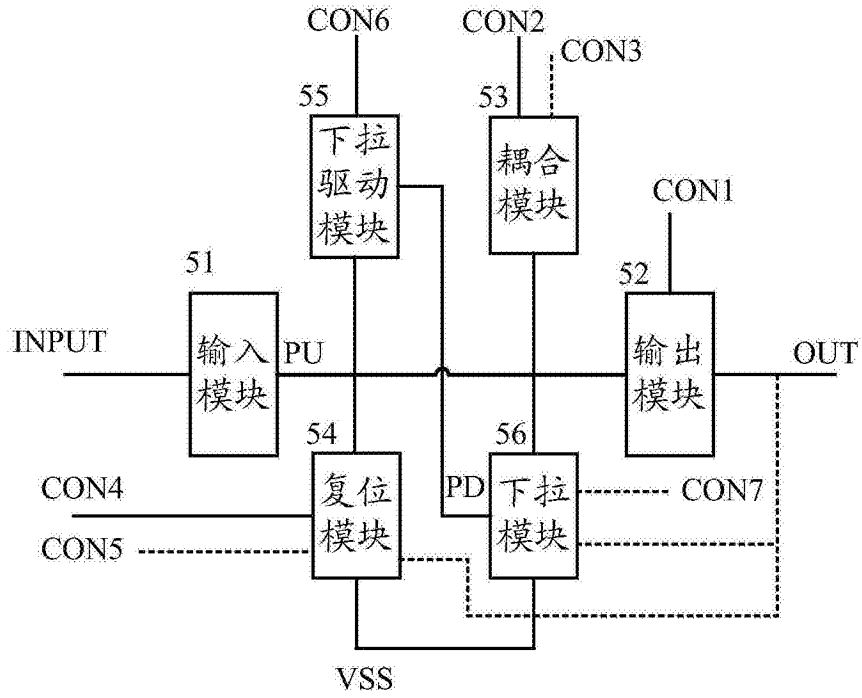


图7B

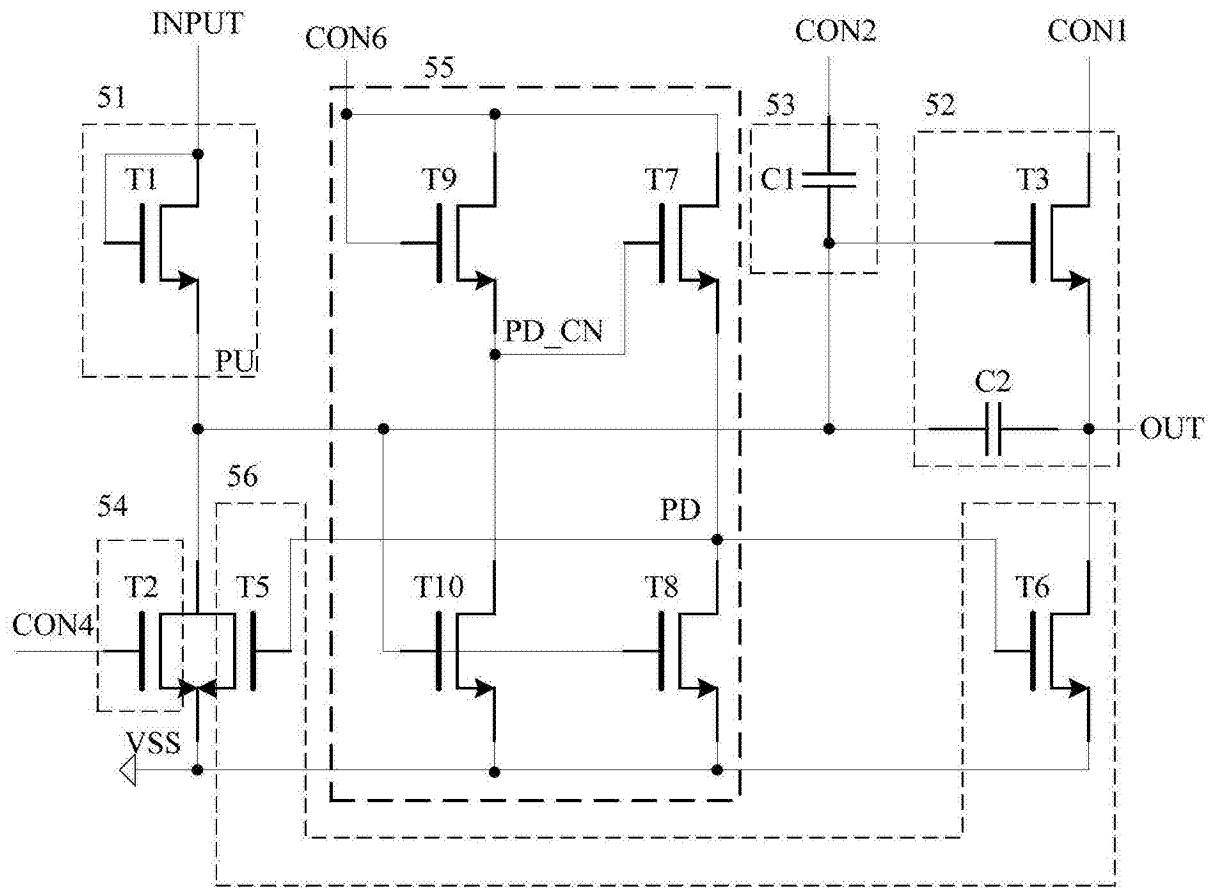


图8

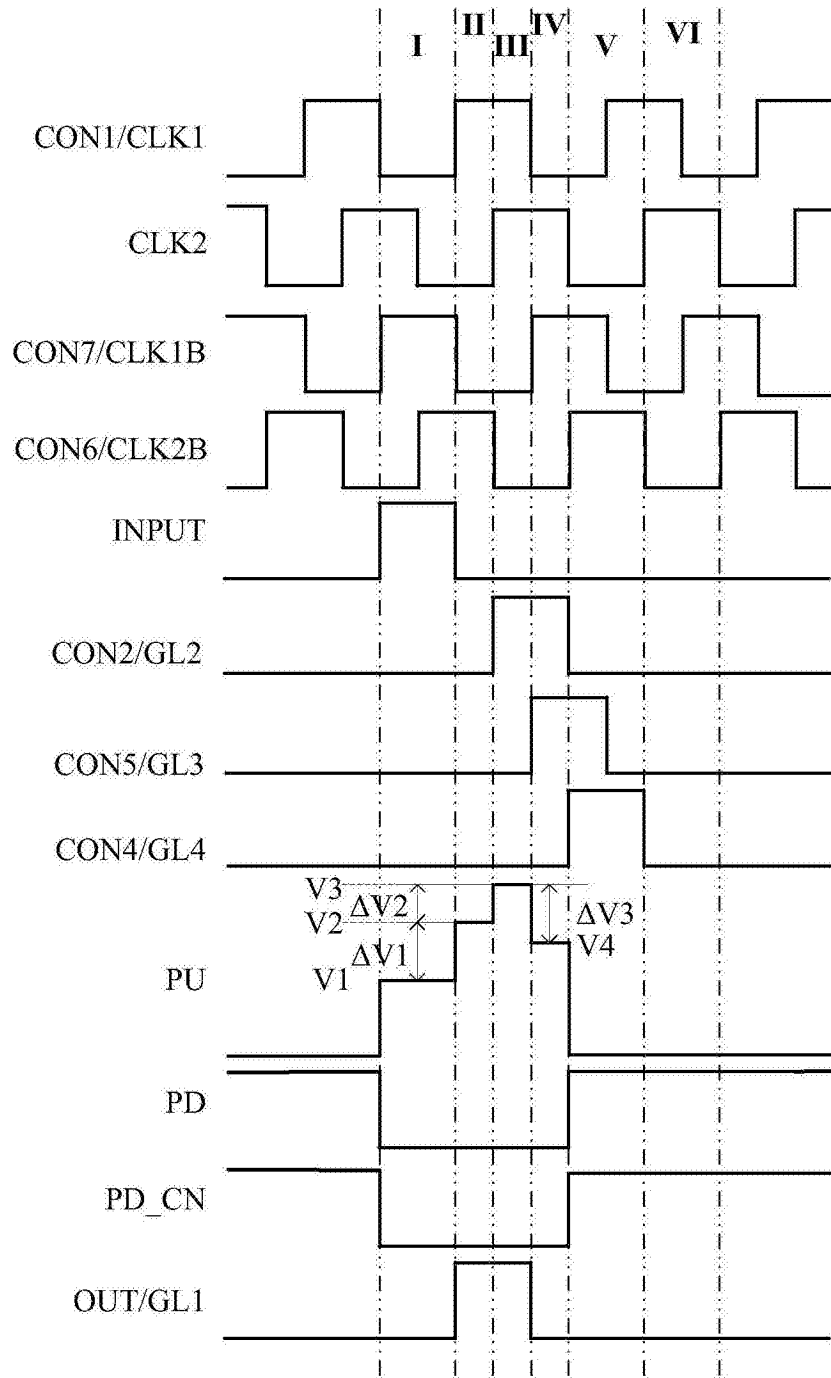


图9

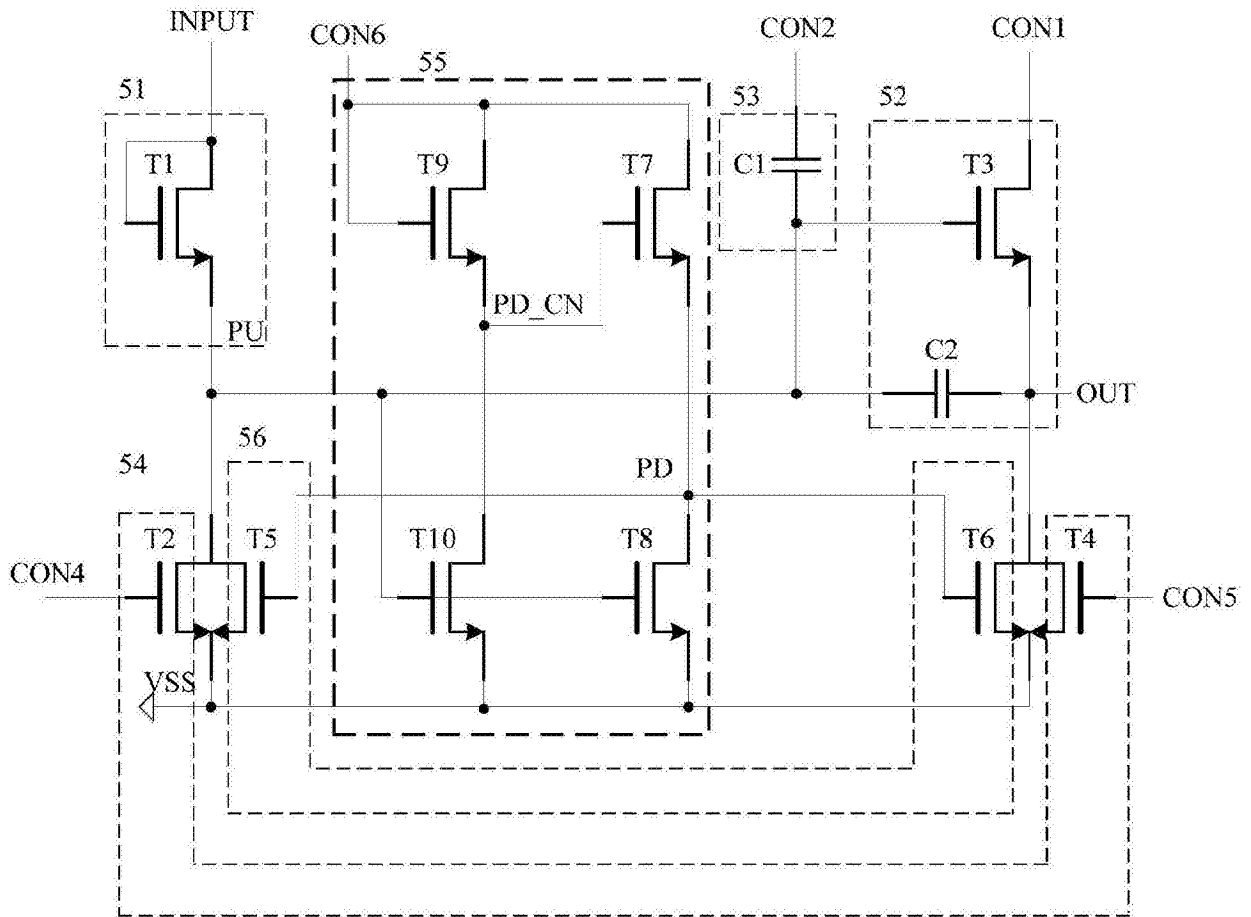


图10

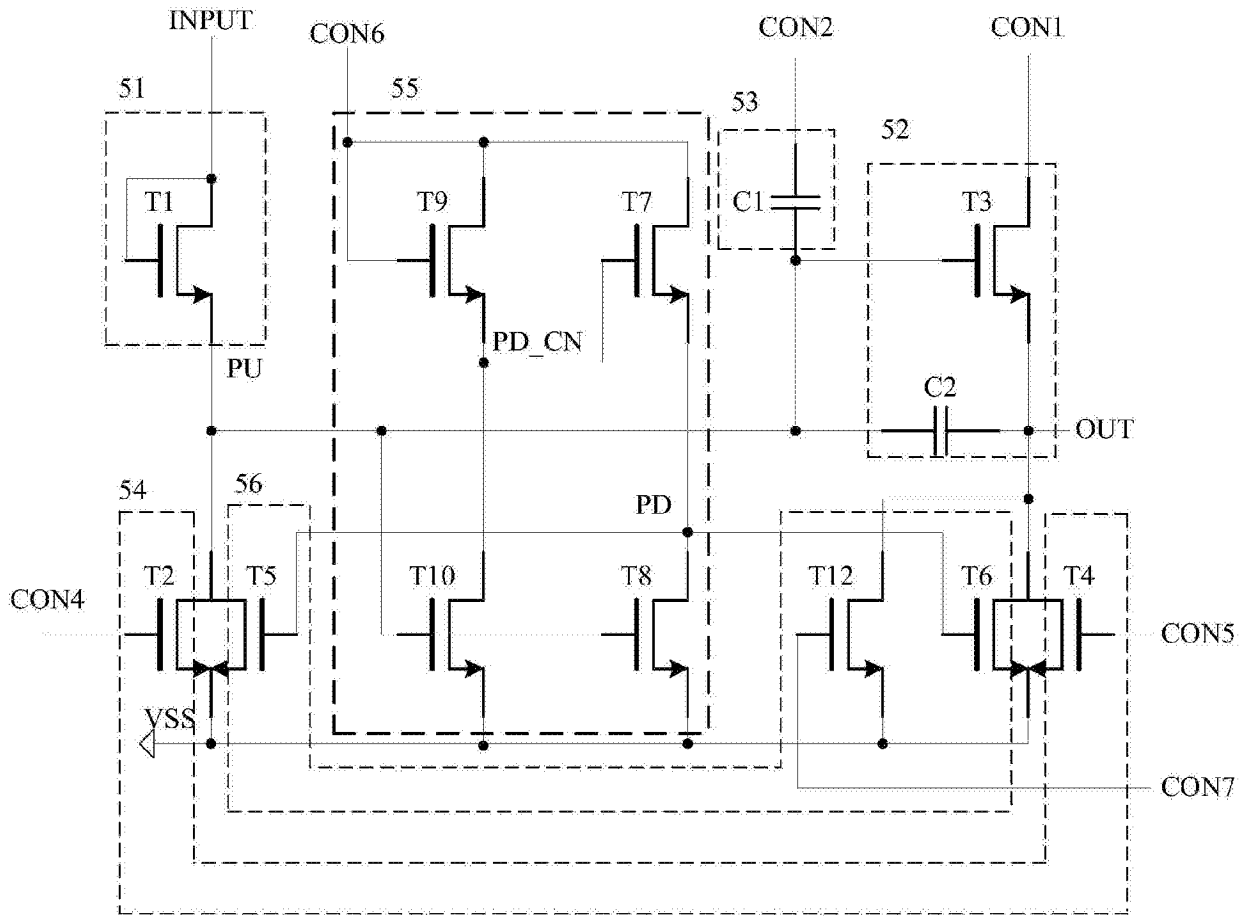


图11



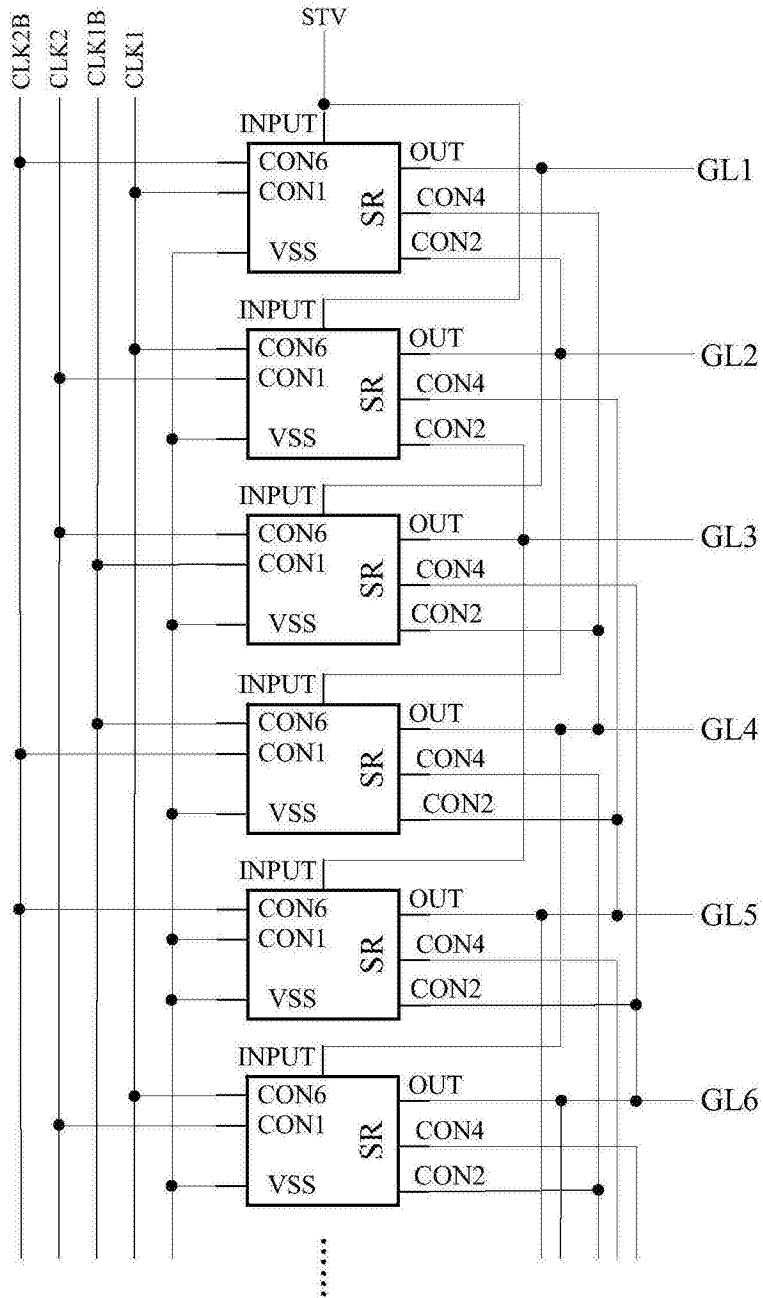


图12

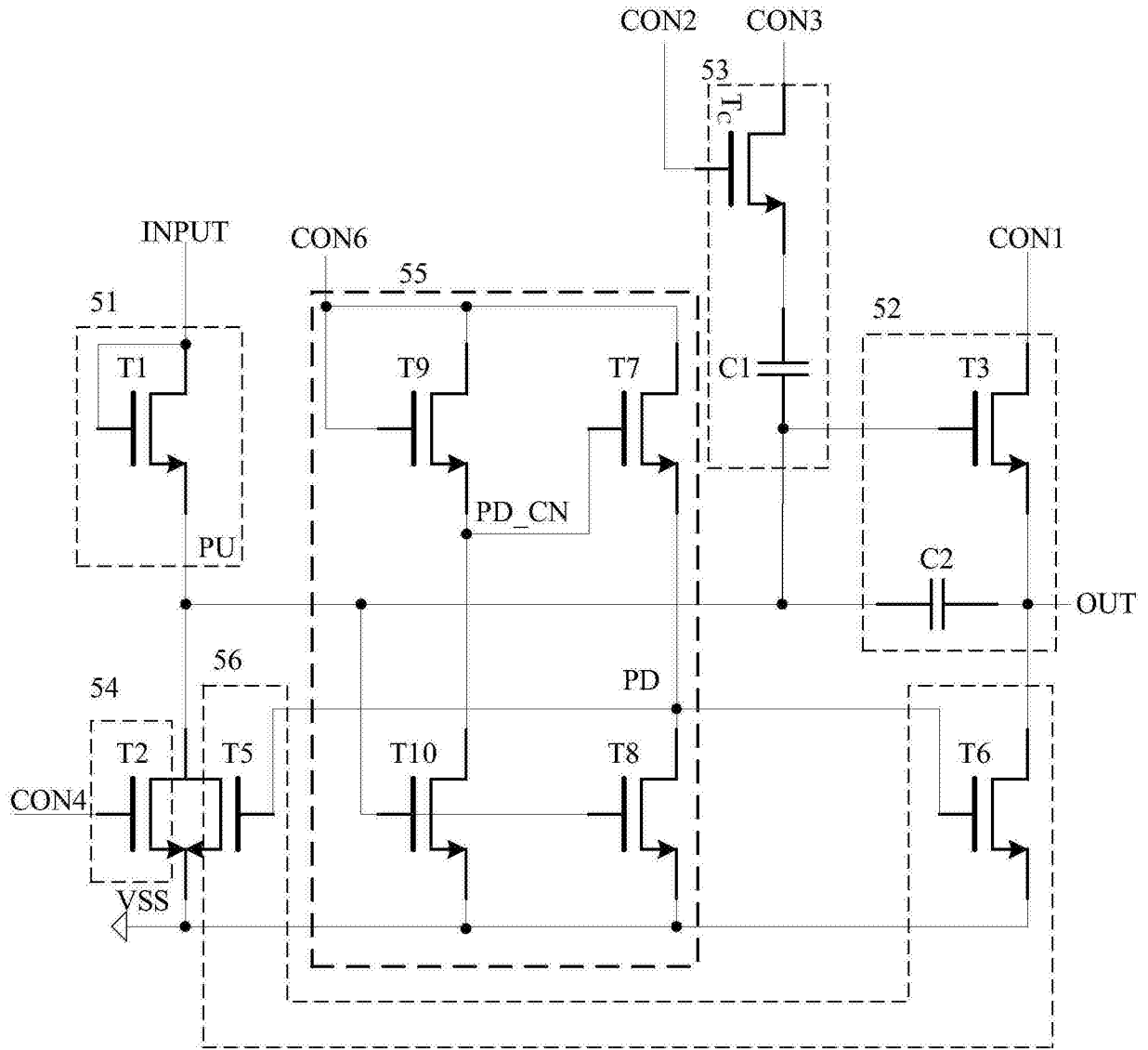


图13

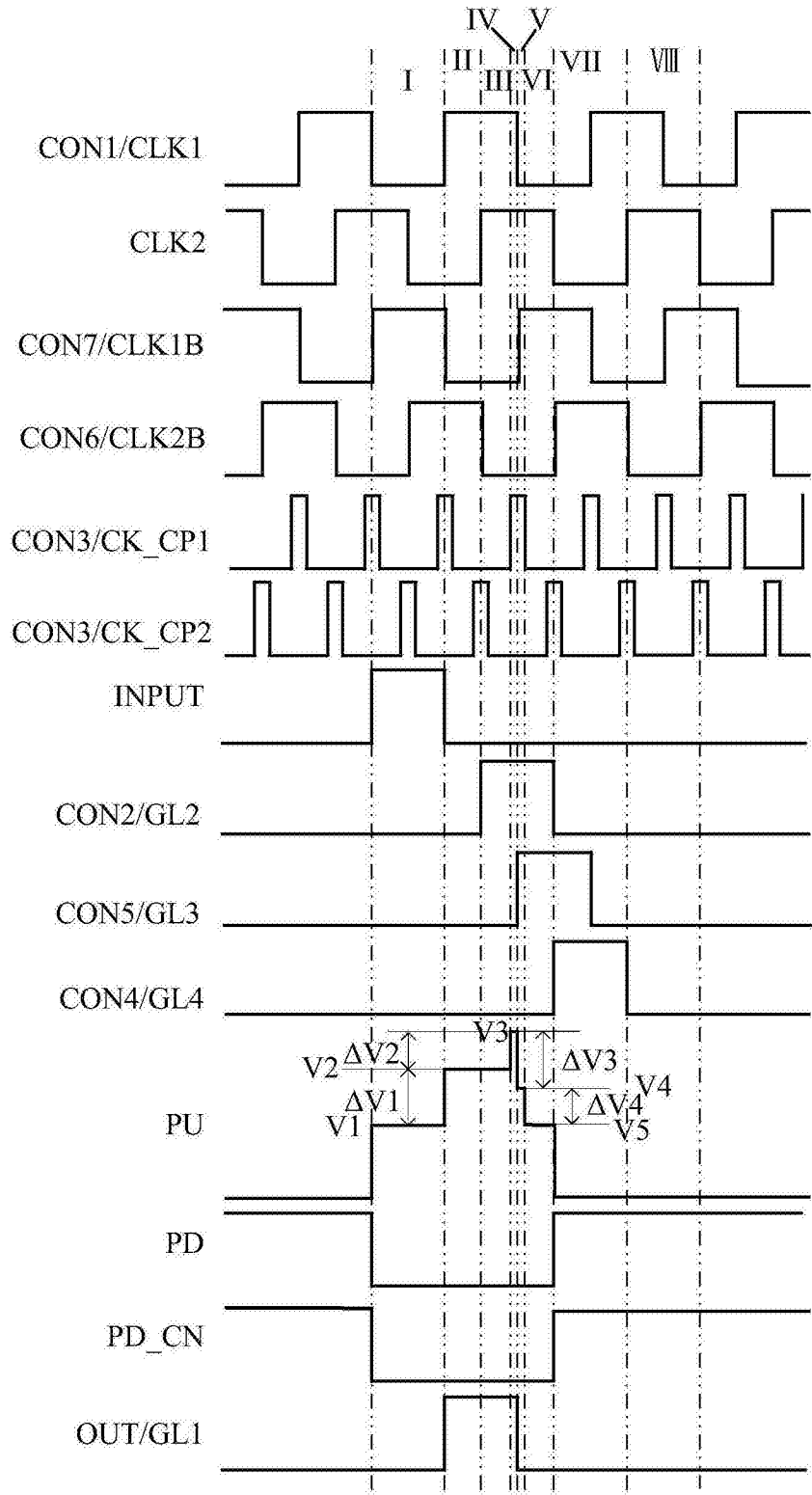


图14

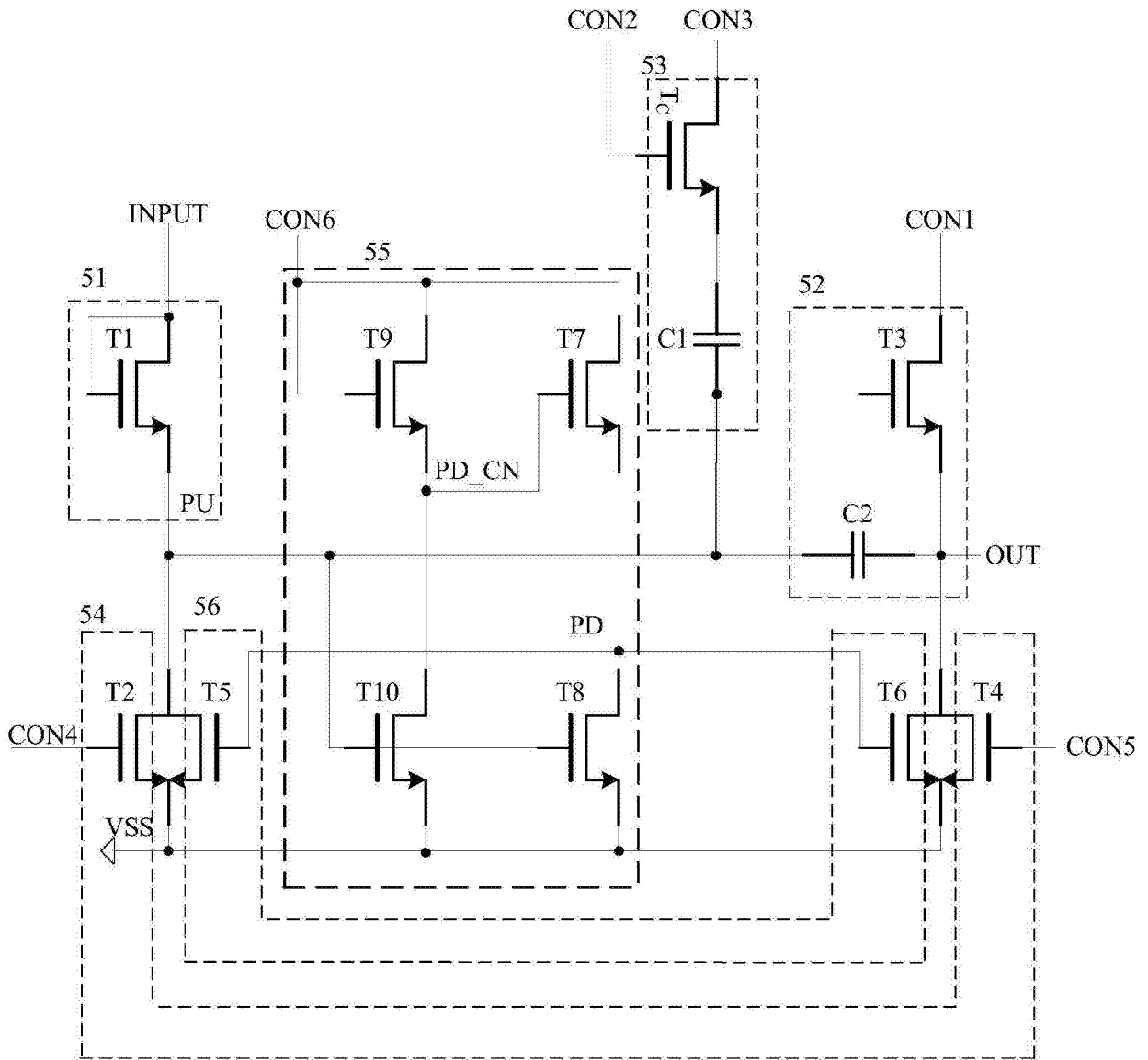


图15

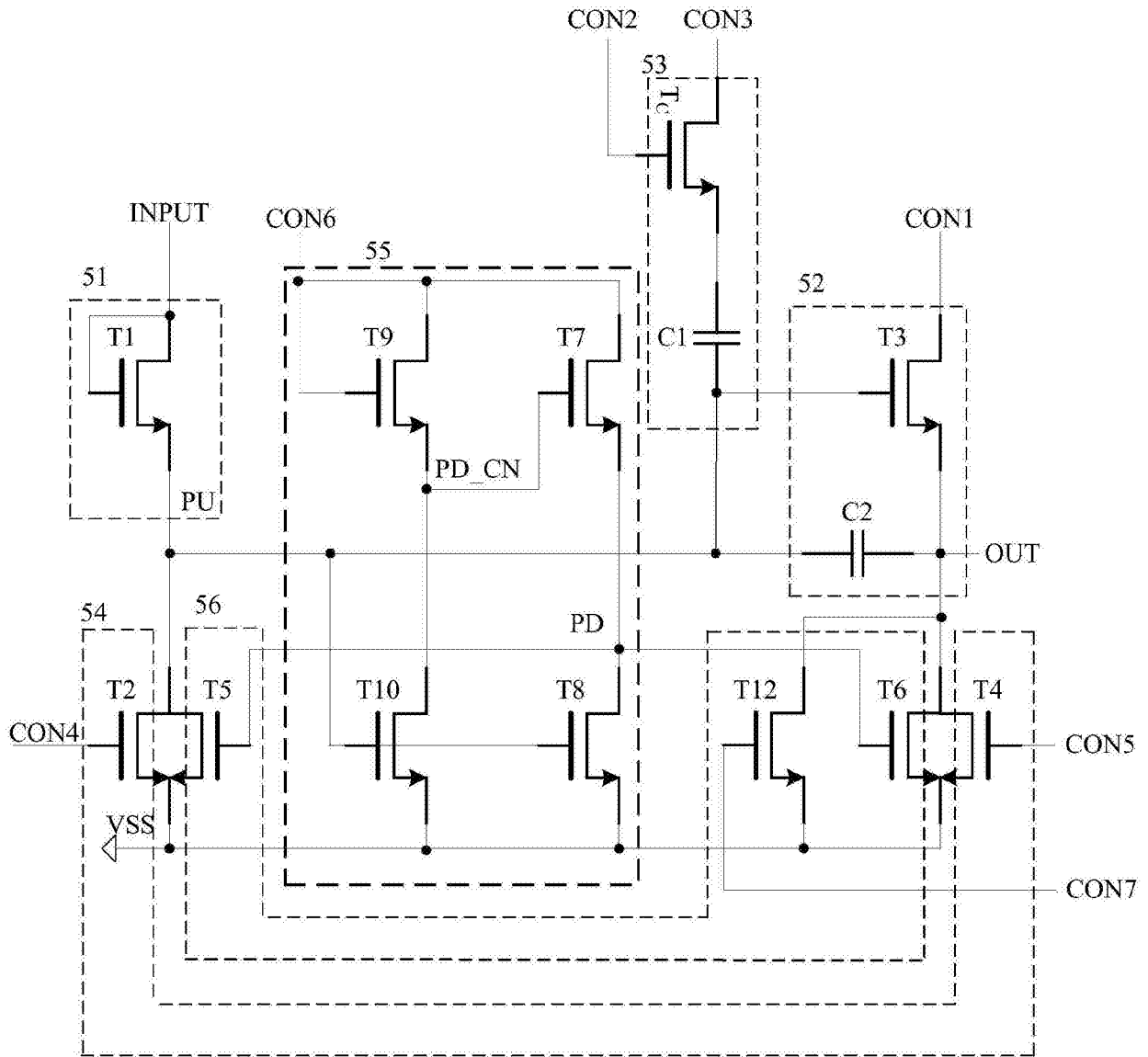


图16

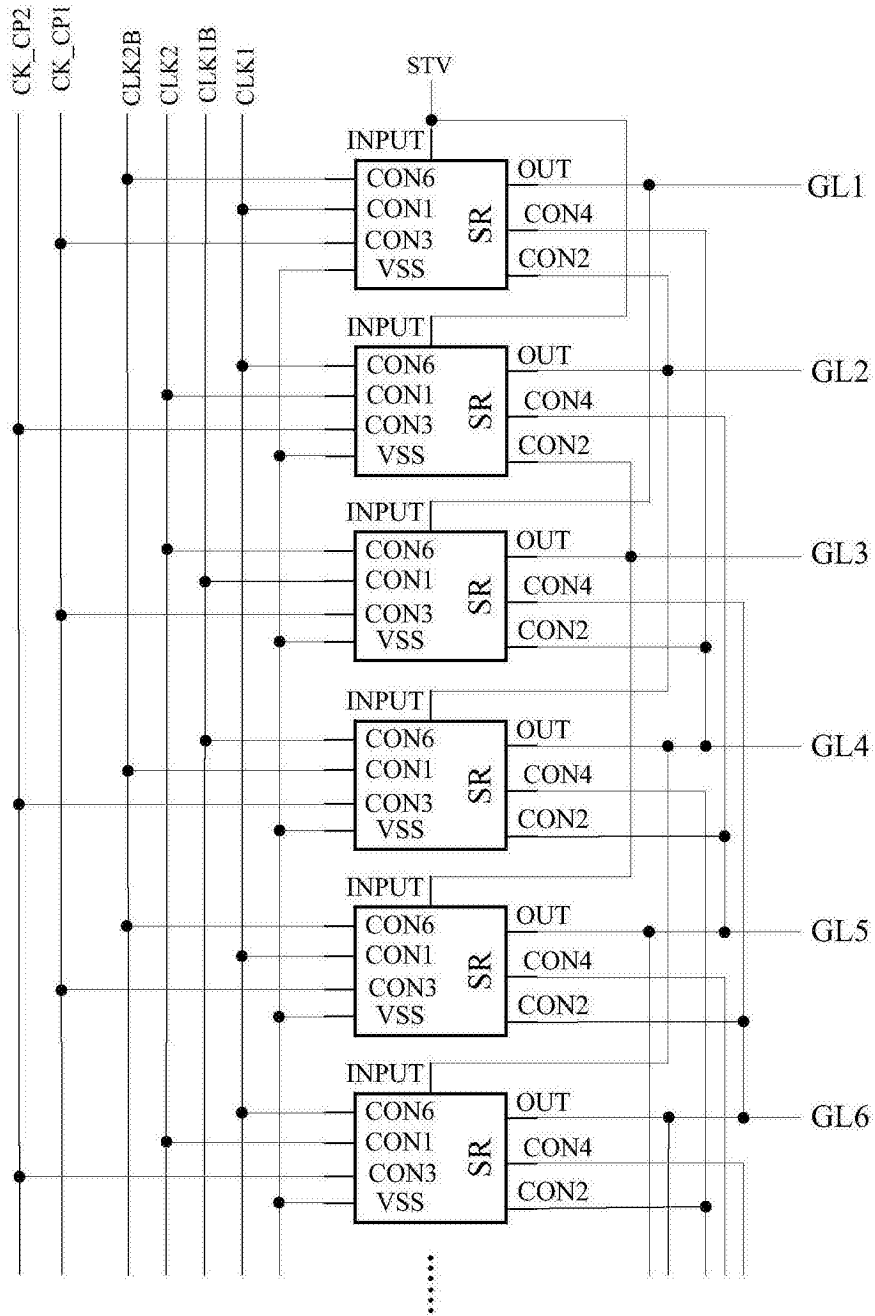


图17