

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6733534号  
(P6733534)

(45) 発行日 令和2年8月5日(2020.8.5)

(24) 登録日 令和2年7月13日(2020.7.13)

(51) Int. Cl. F I  
 HO 1 L 25/04 (2014.01) HO 1 L 25/04 Z  
 HO 1 L 25/18 (2006.01) HO 1 L 21/60 3 O 1 A  
 HO 1 L 21/60 (2006.01)

請求項の数 10 (全 17 頁)

(21) 出願番号	特願2016-244707 (P2016-244707)	(73) 特許権者	000002130 住友電気工業株式会社
(22) 出願日	平成28年12月16日(2016.12.16)		大阪府大阪市中央区北浜四丁目5番33号
(65) 公開番号	特開2018-98465 (P2018-98465A)	(74) 代理人	100087480 弁理士 片山 修平
(43) 公開日	平成30年6月21日(2018.6.21)	(72) 発明者	古谷 章 神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社 横浜製作所内
審査請求日	令和1年6月21日(2019.6.21)	(72) 発明者	児山 浩一 神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社 横浜製作所内
		(72) 発明者	平野 充遥 神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社 横浜製作所内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

上面から下面にかけて貫通する貫通孔が設けられたプリント基板と、  
前記プリント基板の上に搭載され、前記プリント基板と電気的に接続された第1半導体素子と、

前記プリント基板の前記上面に搭載され、前記第1半導体素子と電気的に接続されたインターポーザと、

前記インターポーザに隣接し、前記貫通孔と重なる位置に設けられた第2半導体素子と

、  
前記インターポーザの上面にあって前記第2半導体素子側に設けられた第1パッドと前記第2半導体素子の上面にあって前記インターポーザ側に設けられた第2パッドとを接続するボンディングワイヤと、を具備し、

前記インターポーザの端面は、前記プリント基板の前記貫通孔の壁面よりも前記第2半導体素子に突出し、かつ前記第2半導体素子の端面と対向する半導体装置。

【請求項2】

前記プリント基板は樹脂により形成され、

前記インターポーザはセラミックにより形成されている請求項1に記載の半導体装置。

【請求項3】

前記ボンディングワイヤに流れる電気信号は、前記第1半導体素子と前記プリント基板との間で流れる電気信号よりも高速である請求項1または2に記載の半導体装置。

10

20

## 【請求項 4】

前記第 1 半導体素子は、前記プリント基板から入力される電気信号の高速化、および前記インターポーザから入力される電気信号の低速化の少なくとも一方を行う請求項 1 から 3 のいずれか一項に記載の半導体装置。

## 【請求項 5】

前記インターポーザの前記第 1 パッドの上面と前記第 2 半導体素子の前記第 2 パッドの上面とは同じ高さに位置する請求項 1 から 4 のいずれか一項に記載の半導体装置。

## 【請求項 6】

前記インターポーザおよび前記第 1 半導体素子は前記プリント基板の前記上面に表面実装されている請求項 1 から 5 のいずれか一項に記載の半導体装置。

10

## 【請求項 7】

前記インターポーザは前記プリント基板の前記上面に表面実装され、  
前記第 1 半導体素子は前記インターポーザの上面に表面実装されている請求項 1 から 5 のいずれか一項に記載の半導体装置。

## 【請求項 8】

前記貫通孔の内側に設けられた金属のベース部材を備え、  
前記第 2 半導体素子は前記ベース部材の上面に設けられている請求項 1 から 7 のいずれか一項に記載の半導体装置。

## 【請求項 9】

前記第 2 半導体素子の前記上面または側面から延伸する光ファイバを備え、  
前記第 2 半導体素子は前記インターポーザから入力される電気信号を光信号に変換し前記光ファイバに出力すること、および前記光ファイバから入力される光信号を電気信号に変換することの少なくとも一方を行う請求項 1 から 8 のいずれか一項に記載の半導体装置。

20

## 【請求項 10】

上面から下面にかけて貫通する貫通孔を有するプリント基板を準備する工程と、  
インターポーザの上面に前記インターポーザと電気的に接続される第 1 半導体素子を搭載する工程と、  
前記プリント基板の上面に前記プリント基板と電気的に接続される前記インターポーザを搭載する工程と、  
前記インターポーザと隣接し、かつ前記貫通孔と重なる位置に第 2 半導体素子を設ける工程と、  
前記インターポーザの前記上面にあり前記第 2 半導体素子側に設けられた第 1 パッドと、前記第 2 半導体素子の上面にあり前記インターポーザ側に設けられた第 2 パッドとを、ボンディングワイヤにより電気的に接続する工程と、を有し、  
前記インターポーザの端面は、前記プリント基板の前記貫通孔の壁面よりも前記第 2 半導体素子に突出し、かつ前記第 2 半導体素子の端面と対向する半導体装置の製造方法。

30

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は半導体装置およびその製造方法に関するものである。

40

## 【背景技術】

## 【0002】

電子部品をプリント基板に搭載する技術が知られている（例えば特許文献 1 参照）。

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献 1】特開 2008 - 91522 号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

50

## 【0004】

半導体チップなどの電子部品をプリント基板に搭載し、ボンディングワイヤにより電気的な接続を行う。ボンディングワイヤが長くなると、ボンディングワイヤのインダクタンスの影響により電気信号が劣化する恐れがある。特にボンディングワイヤに流れる電気信号が高速の場合、大きく劣化する恐れがある。

## 【0005】

そこで、ボンディングワイヤを短くすることが可能な半導体装置およびその製造方法を提供することを目的とする。

## 【課題を解決するための手段】

## 【0006】

本発明に係る半導体装置は、上面から下面にかけて貫通する貫通孔が設けられたプリント基板と、前記プリント基板の上に搭載され、前記プリント基板と電氣的に接続された第1半導体素子と、前記プリント基板の前記上面に搭載され、前記第1半導体素子と電氣的に接続されたインターポーザと、前記インターポーザに隣接し、前記貫通孔と重なる位置に設けられた第2半導体素子と、前記インターポーザの上面にあって前記第2半導体素子側に設けられた第1パッドと前記第2半導体素子の上面にあって前記インターポーザ側に設けられた第2パッドとを接続するボンディングワイヤと、を具備し、前記インターポーザの端面は、前記プリント基板の前記貫通孔の壁面よりも前記第2半導体素子に突出し、かつ前記第2半導体素子の端面と対向するものである。

## 【発明の効果】

## 【0007】

上記発明によれば、ボンディングワイヤを短くすることが可能である。

## 【図面の簡単な説明】

## 【0008】

【図1】図1(a)は第1実施形態に係る半導体装置を例示する断面図である。図1(b)は半導体装置を例示する平面図である。

【図2】図2はパッドの拡大図である。

【図3】図3(a)は半導体装置の製造方法を例示する断面図である。図3(b)は半導体装置の製造方法を例示する平面図である。

【図4】図4(a)は半導体装置の製造方法を例示する断面図である。図4(b)は半導体装置の製造方法を例示する平面図である。

【図5】図5(a)は半導体装置の製造方法を例示する断面図である。図5(b)は半導体装置の製造方法を例示する平面図である。

【図6】図6(a)は半導体装置の製造方法を例示する断面図である。図6(b)は半導体装置の製造方法を例示する平面図である。

【図7】図7(a)は半導体装置の製造方法を例示する断面図である。図7(b)は半導体装置の製造方法を例示する平面図である。

【図8】図8(a)は比較例1に係る半導体装置を例示する断面図である。図8(b)は半導体装置を例示する平面図である。

【図9】図9(a)は第1実施形態の変形例に係る半導体装置を例示する断面図である。図9(b)は半導体装置を例示する平面図である。

【図10】図10(a)は第2実施形態に係る半導体装置を例示する断面図である。図10(b)は半導体装置を例示する平面図である。

【図11】図11(a)および図11(b)はホルダの拡大図である。図11(c)はホルダの側面図である。

【図12】図12(a)は比較例2に係る半導体装置を例示する断面図である。図12(b)は半導体装置を例示する平面図である。

【図13】図13(a)は比較例3に係る半導体装置を例示する断面図である。図13(b)は半導体装置を例示する平面図である。

【図14】図14(a)は第2実施形態の変形例に係る半導体装置を例示する断面図であ

10

20

30

40

50

る。図14(b)は半導体装置を例示する平面図である。

【発明を実施するための形態】

【0009】

[本願発明の実施形態の説明]

最初に本願発明の実施形態の内容を列記して説明する。

【0010】

本願発明の一形態は、(1)上面から下面にかけて貫通する貫通孔が設けられたプリント基板と、前記プリント基板の上に搭載され、前記プリント基板と電氣的に接続された第1半導体素子と、前記プリント基板の前記上面に搭載され、前記第1半導体素子と電氣的に接続されたインターポーザと、前記インターポーザに隣接し、前記貫通孔と重なる位置に設けられた第2半導体素子と、前記インターポーザの上面にあって前記第2半導体素子側に設けられた第1パッドと前記第2半導体素子の上面にあって前記インターポーザ側に設けられた第2パッドとを接続するボンディングワイヤと、を具備し、前記インターポーザの端面は、前記プリント基板の前記貫通孔の壁面よりも前記第2半導体素子に突出し、かつ前記第2半導体素子の端面と対向する半導体装置である。この構成によれば、インターポーザと第2半導体素子との距離が小さくなり、ボンディングワイヤが短くなる。このためボンディングワイヤのインダクタンスが小さくなり、電気信号の波形の劣化が抑制される。

10

(2)前記プリント基板は樹脂により形成され、前記インターポーザはセラミックにより形成されてもよい。この構成によれば、インターポーザの加工の精度が高くなり、インターポーザと第2半導体素子との距離が小さくなる。したがって、ボンディングワイヤが短くなり、電気信号の波形の劣化が抑制される。

20

(3)前記ボンディングワイヤに流れる電気信号は、前記第1半導体素子と前記プリント基板との間で流れる電気信号よりも高速でもよい。この構成によれば、ボンディングワイヤのインダクタンスが低いため、電気信号の波形の劣化が抑制される。

(4)前記第1半導体素子は、前記プリント基板から入力される電気信号の高速化、および前記インターポーザから入力される電気信号の低速化の少なくとも一を行ってもよい。この構成によれば、ボンディングワイヤのインダクタンスが低いため、電気信号の波形の劣化が抑制される。

(5)前記インターポーザの前記第1パッドの上面と前記第2半導体素子の前記第2パッドの上面とは同じ高さに位置してもよい。この構成によれば、ボンディングワイヤがさらに短くなり、インダクタンスが低くなる。このため電気信号の波形の劣化が効果的に抑制される。

30

(6)前記インターポーザおよび前記第1半導体素子は前記プリント基板の前記上面に表面実装されてもよい。これによりプリント基板、第1半導体素子およびインターポーザが電氣的に接続される。

(7)前記インターポーザは前記プリント基板の前記上面に表面実装され、前記第1半導体素子は前記インターポーザの上面に表面実装されてもよい。これによりプリント基板、第1半導体素子およびインターポーザが電氣的に接続される。

(8)前記貫通孔の内側に設けられた金属のベース部材を備え、前記第2半導体素子は前記ベース部材の上面に設けられてもよい。ベース部材の厚さにより第2半導体素子の上面の高さを調節することができる。また第2半導体素子から熱を効果的に放出することができる。

40

(9)前記第2半導体素子の前記上面または側面から延伸する光ファイバを備え、前記第2半導体素子は前記インターポーザから入力される電気信号を光信号に変換し前記光ファイバに出力すること、および前記光ファイバから入力される光信号を電気信号に変換することの少なくとも一方を行ってもよい。この構成によれば、プリント基板と光ファイバとの接触を抑制することができる。光ファイバとの接触の恐れが小さいため、貫通孔の壁面を第2半導体素子に近づけることができる。貫通孔を小さくすることができるため、プリント基板の小型化が可能である。

50

(10) 上面から下面にかけて貫通する貫通孔を有するプリント基板を準備する工程と、インターポーザの上面に前記インターポーザと電氣的に接続される第1半導体素子を搭載する工程と、前記プリント基板の上面に前記プリント基板と電氣的に接続される前記インターポーザを搭載する工程と、前記インターポーザと隣接し、かつ前記貫通孔と重なる位置に第2半導体素子を設ける工程と、前記インターポーザの前記上面にあり前記第2半導体素子側に設けられた第1パッドと、前記第2半導体素子の上面にあり前記インターポーザ側に設けられた第2パッドとを、ボンディングワイヤにより電氣的に接続する工程と、を有し、前記インターポーザの端面は、前記プリント基板の前記貫通孔の壁面よりも前記第2半導体素子に突出し、かつ前記第2半導体素子の端面と対向する半導体装置の製造方法である。

10

#### 【0011】

[本願発明の実施形態の詳細]

本発明の実施形態に係る半導体装置およびその製造方法の具体例を、以下に図面を参照しつつ説明する。なお、本発明はこれらの例示に限定されるものではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

#### 【0012】

(第1実施形態)

図1(a)は第1実施形態に係る半導体装置100を例示する断面図である。図1(b)は半導体装置100を例示する平面図である。X方向はインターポーザ12および半導体チップ16が並ぶ方向である。Y方向は半導体部品22および24が並ぶ方向である。Z方向はXおよびY方向に直交する方向である。

20

#### 【0013】

図1(a)および図1(b)に示すように、半導体装置100は、プリント基板10、インターポーザ12、半導体部品14、122および24、半導体チップ16および18、金属板20、およびベース部材21を備える。インターポーザ12、半導体部品22および24はプリント基板10の上面に表面実装されている。半導体部品14はインターポーザ12の上面に表面実装されている。プリント基板10には上面から下面にかけて貫通する貫通孔10aが設けられている。プリント基板10の下面には貫通孔10aをふさぐように金属板20が設けられている。金属板20の上面であって貫通孔10aの上面にベース部材21が設けられている。ベース部材21の上面にベアの半導体チップ16が搭載され、半導体チップ16の上面にベアの半導体チップ18がフリップチップ実装により搭載されている。半導体チップ16と半導体チップ18とは両方で半導体素子15を構成する。

30

#### 【0014】

プリント基板10は例えば複数のガラスエポキシ樹脂層(絶縁層)をプリプレグで貼り合わせた積層基板である。複数の絶縁層の間に導体層が配置され、導体層同士は絶縁層を貫通するビア配線により電氣的に接続されている。プリント基板10の厚さは例えば2mmである。上面に複数のパッド10b~10eおよび配線パターン10fが設けられている。プリント基板10の上面はXY平面に広がり、貫通孔10aはZ方向(図1(a)の上下方向)にプリント基板10を貫通する。

40

#### 【0015】

インターポーザ12は例えばアルミナ( $Al_2O_3$ )などのセラミックで形成された積層基板であり、厚さは例えば1mmである。複数のセラミック層の間に導電層が配置され、導電層同士はビア配線により接続されている。インターポーザ12は、下面に設けられた半田ボール11によりプリント基板10のパッド10bと電氣的に接続されている。インターポーザ12の端面(+X側の側面)は貫通孔10aの壁面よりも半導体チップ16側に突出し、半導体チップ16の端面(-X側の側面)と対向する。上面に複数のパッド12aおよび12c、ならびに複数の配線パターン12bが設けられている。パッド12c(第1パッド)は上面のうち半導体チップ16側に位置する。配線パターン12bはパ

50

ッド12aとパッド12cとを電氣的に接続する。

【0016】

半導体部品14(第1半導体素子)において、例えばSERDES-IC(SERializer/DESerializer-IC)などの集積回路(IC: Integrated Circuit)がボールグリッドアレイ(BGA)を備えるパッケージに収納されている。半導体部品14は半田ボール13を用いて、インターポーザ12のパッド12aに電氣的に接続されている。

【0017】

電気信号は、外部の電子機器などからプリント基板10のパッド10eに入力され、さらにインターポーザ12を介して半導体部品14に入力される。半導体部品14は電気信号を高速化し、インターポーザ12の配線パターン12bに出力する。また半導体部品14は、インターポーザ12の配線パターン12bから入力される電気信号を低速化して、インターポーザ12のパッド12a、半田ボール11を介してプリント基板10のパッド10bに出力する。例えば半導体部品14は、プリント基板10から入力される2つの25Gbaudの電気信号を1つの50Gbaudの電気信号に変換し、インターポーザ12の配線パターン12bに出力する。また半導体部品14はインターポーザ12の配線パターン12bから入力される50Gbaudの電気信号を2つの25Gbaudの電気信号に分配し、プリント基板10のパッド10bに出力する。光通信においては50Gbaud以上の高速の電気信号が利用されることがある。なお、半導体部品14は、例えば10本の10Gbaudの電気信号と4本の25Gbaudの電気信号との変換を行ってもよい。10Gbaudは1秒間に10Gの信号フレームを有する信号であり、NRZ形式なら10Gbps、PAM4(4値パルス振幅変調)形式なら20Gbpsの信号速度に相当する。

【0018】

半導体素子15は例えばSi Photonics(フォトニクス)-IC(光集積回路)などであり、半導体チップ16および18を含む。半導体素子15は貫通孔10aと、貫通方向(Z方向)において重なる。半導体素子15はインターポーザ12から入力される電気信号を変調された光信号に変換し光ファイバ17に出力する。また半導体素子15は、光ファイバ17から入力される変調された光信号を電気信号に変換してインターポーザ12に出力する。

【0019】

半導体チップ16(第2半導体素子)は、例えばSOI(Silicon on Insulator)基板、その上に設けられた複数のマッハツェンダ変調器、およびゲルマニウム(Ge)フォトディテクタを含む光IC(PLIC: Photo IC)である。半導体チップ16は、光信号の入力および出力を行う。半導体チップ16は例えば銀(Ag)ペーストなどによりベース部材21の上面に搭載されている。半導体チップ16の上面は、インターポーザ12の上面と同じ高さに位置する。半導体チップ16の上面に複数のパッド16aおよび16bが設けられている。複数のパッド16a(第2パッド)は、上面のインターポーザ12側に位置し、ボンディングワイヤ30によりインターポーザ12のパッド12cと電氣的に接続されている。パッド16bは、ボンディングワイヤ31によりプリント基板10のパッド10dと電氣的に接続されている。

【0020】

半導体チップ18は半導体チップ16の上面にフリップチップ実装されており、半導体チップ16と電氣的に接続されている。半導体チップ18は例えばマッハツェンダ変調器用のドライバおよびトランスインピーダンスアンプ(TIA)を含む電子集積回路(EIC: Electronic IC)である。

【0021】

パッドおよび配線パターンのそれぞれは例えばアルミニウム(Al)などの金属により形成されている。ボンディングワイヤは例えば金(Au)またはAlなどの金属により形成されている。

【0022】

10

20

30

40

50

金属板 20 およびベース部材 21 は例えば銅 (Cu) などの金属により形成されている。金属板 20、ベース部材 21 および半導体チップ 16 の接合には例えば Ag ペーストなど導電性の高い接着剤を用いる。半導体素子 15 で発生する熱はベース部材 21 および金属板 20 を通じて放出される。

【0023】

光ファイバ 17 はホルダ 19 に挿入され、ホルダ 19 により支持されている。光ファイバ 17 は半導体チップ 16 の上面に接続され、上方向および水平方向 (Z および X 方向) に延伸する。光ファイバ 17 は半導体チップ 16 と光結合している。半導体チップ 16 から出力される光信号は光ファイバ 17 を通じて外部の機器に出力される。また光ファイバ 17 を通じて半導体チップ 16 に光信号が入力される。光ファイバ 17 は、半導体チップ 16 の光入力もしくは光出力のチャネル数に対応して設けられ、一本の場合、および複数

10

【0024】

プリント基板 10 の上面に搭載された半導体部品 22 および 24 は例えば電源レギュレータ用の IC、または回路を制御する CPU などがパッケージに納められた部品である。プリント基板には、抵抗、コンデンサなどのチップ部品が搭載されてもよい。

【0025】

図 2 はパッド 12c および 16a の拡大図である。図 2 に示すように、パッド 12c および 16a の形状は例えば矩形である。パッド 12c の X 方向の辺の長さ L1 およびパッド 16a の辺の長さ L2 はそれぞれ 75 μm である。パッド 12c のエッジからインターポーザ 12 の端面までの距離 D1 は例えば 50 ± 50 μm である。距離 D1 はインターポーザ 12 の加工精度に応じて定まる。インターポーザ 12 を例えばダイシング加工で形成することにより加工の精度が向上し、距離 D1 の公差は ± 50 μm 程度となる。インターポーザ 12 の端面と半導体チップ 16 の端面との距離 D2 は例えば 0 ~ 20 μm である。ただし温度が大きく変化するような環境で半導体装置 100 が使用される場合には、距離 D2 として 0 μm よりも大きい値を選び、例えば 10 μm 以上 20 μm 以下などとするのがよい。高温環境下ではインターポーザ 12 および半導体チップ 16 が熱膨張し、距離 D2 が 0 μm、すなわち両者の端面が接触していると膨張により両者が力を及ぼし合いクラックが生じて破損する恐れがある。このような破損を避けるため D2 を例えば 10 μm 以上 20 μm 以下などとする。パッド 16a のエッジから半導体チップ 16 の端面までの距離 D3 は例えば 100 ± 50 μm である。

20

30

【0026】

ボンディングワイヤ 30 の一端はパッド 16a の中央付近に接続され、他端はパッド 12c の中央付近に接続される。ボンディングワイヤ 30 の最大長は次のように算出される。

パッド 12c の中央からインターポーザ 12 の端面までの距離 (L1 / 2 + D1) + D1 の公差の絶対値 (50 μm) + 距離 D2 + 半導体チップ 16 の端面からパッド 16a の中央までの距離 (D3 + L2 / 2) + D3 の公差の絶対値 (50 μm)

ボンディングワイヤ 30 の長さは最長で例えば 345 μm であり、500 μm 以下である。

40

【0027】

(半導体装置の製造方法)

図 3 (a)、図 4 (a)、図 5 (a)、図 6 (a) および図 7 (a) は半導体装置 100 の製造方法を例示する断面図である。図 3 (b)、図 4 (b)、図 5 (b)、図 6 (b) および図 7 (b) は半導体装置 100 の製造方法を例示する平面図である。

【0028】

図 3 (a) および図 3 (b) に示すように、インターポーザ 12 の上面に半導体部品 14 を、半田ボール 13 等を用いて表面実装する。図 4 (a) および図 4 (b) に示すように、プリント基板 10 にはパンチ加工による貫通孔 10a が形成されている。プリント基板 10 下面であって貫通方向に貫通孔 10a と重なる位置に、エポキシ接着剤などで金属

50

板 20 が固定されている。さらに、インターポーザ 12、半導体部品 22 および 24 をプリント基板 10 の上面に半田ボール 23 等を用いて表面実装する。

【0029】

図 5 (a) および図 5 (b) に示すように、金属板 20 の上面にベース部材 21 を接合し、ベース部材 21 の上面に半導体チップ 16 を接合する。半導体チップ 16 の上面には半導体チップ 18 がフリップチップ実装されている。半導体チップ 16 の上面への半導体チップ 18 のフリップチップ実装は、たとえば銅ピラー等 (図示せず) のチップ間接続構造を介して行われる。半導体チップ 18 の実装は、半導体チップ 16 のベース部材 21 への搭載前がよい。

【0030】

図 6 (a) および図 6 (b) に示すように、ワイヤボンディングを行う。ボンディングワイヤ 30 はパッド 12c とパッド 16a とを電氣的に接続する。ボンディングワイヤ 31 はパッド 16b とパッド 10d とを電氣的に接続する。このワイヤボンディングには例えばウェッジボンダを用いる。図 7 (a) および図 7 (b) に示すように、半導体チップ 16 に光ファイバ 17 を接続する。以上の工程により半導体装置 100 が形成される。

【0031】

(比較例 1)

次に比較例 1 について説明する。図 8 (a) は比較例 1 に係る半導体装置 100R を例示する断面図である。図 8 (b) は半導体装置 100R を例示する平面図である。第 1 実施形態と同じ構成については説明を省略する。

【0032】

図 8 (a) および図 8 (b) に示すように、半導体装置 100R はインターポーザ 12 を含まない。半導体部品 14 はプリント基板 10 の上面に表面実装されている。第 1 実施形態に比べてベース部材 21 は薄く、半導体チップ 16 およびベース部材 21 は貫通孔 10a の内側に位置する。半導体チップ 16 の上面はプリント基板 10 の上面と同じ高さに位置し、半導体チップ 16 の端面は貫通孔 10a の壁面と対向する。半導体チップ 16 の上面のパッド 16a と、プリント基板 10 上面のパッド 10g とが、ボンディングワイヤ 30 により接続されている。半導体部品 14 と半導体チップ 16 との間において、配線パターン 10h、パッド 10g および 16a、ボンディングワイヤ 30 を介して電気信号が入力および出力される。

【0033】

プリント基板 10 を例えばパンチ加工することで貫通孔 10a が形成される。パンチ加工では切断される材料の逃げも考慮するため、加工の精度はダイシング加工より低くなる。パッド 10g のエッジから貫通孔 10a の壁面までの距離は例えば  $200 \pm 200 \mu\text{m}$  程度であり、公差が距離 D2 の公差より大きい。熱膨張による半導体チップ 16 のクラックなどを抑制するため、プリント基板 10 と半導体チップ 16 とは接触させず、例えば  $20 \mu\text{m}$  程度の距離をあける。このとき、パッド 10g のエッジから貫通孔 10a の壁面までの距離の公差  $\pm 200 \mu\text{m}$  を考慮すると、パッド 10g からパッド 16a までの最大距離は第 1 実施形態と比較して長くなる。この結果、ボンディングワイヤ 30 が長くなる場合があり、例えば最大長は  $645 \mu\text{m}$  程度になる。ボンディングワイヤ 30 が長くなるとインダクタンスが増加し、電気信号の波形が劣化する。ボンディングワイヤ 30 は例えば 25 ~ 50 Gbaud など高速の電気信号を伝達する。このため増加したインダクタンスにより電気信号の波形が大きく劣化する。

【0034】

第 1 実施形態によれば、インターポーザ 12 のパッド 12c のエッジからインターポーザ 12 の端面までの距離 D1 は  $50 \pm 50 \mu\text{m}$  である。インターポーザ 12 と半導体チップ 16 が隣接しており、インターポーザ 12 の端面は貫通孔 10a の壁面よりも半導体チップ 16 側に突出し、かつ半導体チップ 16 の端面と対向する。このためインターポーザ 12 と半導体チップ 16 との間の距離 D2 は比較例 1 に比べて小さくなり、ボンディングワイヤ 30 が短くなる。

10

20

30

40

50

## 【 0 0 3 5 】

プリント基板 1 0 は樹脂により形成され、インターポーザ 1 2 はセラミックにより形成されている。このため、インターポーザ 1 2 の外形の加工の精度は、プリント基板 1 0 に貫通孔 1 0 a を形成する際の加工の精度より高い。例えば、インターポーザ 1 2 の端面とパッド 1 2 c との距離 D 1 の公差は  $\pm 50 \mu\text{m}$  である。加工精度の高いインターポーザ 1 2 と半導体チップ 1 6 とが隣接するため、距離 D 2 を小さくすることができる。このためインターポーザ 1 2 のパッド 1 2 c と半導体チップ 1 6 の上面のパッド 1 6 a との距離も小さくなり、ボンディングワイヤ 3 0 が短くなり、電気信号の波形の劣化が抑制される。

## 【 0 0 3 6 】

また、複数のガラスエポキシ樹脂層（絶縁層）をプリプレグで貼り合わせた厚い積層基板をダイシング加工すると、ガラス繊維がダレおよびバリになってしまう。ダレおよびバリを抑制し、インターポーザ 1 2 の端面の表面粗さを小さくするためにも、インターポーザ 1 2 はセラミックで構成されたものとし、ダイシング加工することで形成することが好ましい。

## 【 0 0 3 7 】

電気信号が高速になると、基板材料の誘電損失に起因する高周波帯域の信号の損失が大きくなる。基板の誘電損失に起因する高周波帯域の信号の損失を抑制するためにも、高速の電気信号が伝搬するインターポーザ 1 2 を低誘電損失材料であるセラミックで形成することが好ましい。また、セラミックなどの低誘電損失の材料は高価であるため、プリント基板 1 0 全体をセラミックで形成すると大幅にコストが増加する。そこでプリント基板 1 0 は例えばガラスエポキシ樹脂など低コストの材料で形成し、最も周波数の高い電気信号が伝搬されるインターポーザ 1 2 をセラミックなど高コストの材料で形成する。プリント基板 1 0 よりサイズの小さいインターポーザ 1 2 をセラミックとすることで、コストおよび高周波帯域の信号の損失の抑制が可能である。

## 【 0 0 3 8 】

インターポーザ 1 2 はセラミック以外に、例えばガラスエポキシ樹脂で形成されたビルドアップ構造の薄い積層基板とすることもできる。プリント基板 1 0 およびインターポーザ 1 2 がガラスエポキシ樹脂の積層基板である場合、インターポーザ 1 2 では薄い層をビルドアップ層を積層し、プリント基板 1 0 では複数のガラスエポキシ樹脂層（絶縁層）をプリプレグで貼り合わせてより厚い積層構造とする。薄い層を用いることで、インターポーザ 1 2 の加工の精度が高くなり、図 2 に示した距離 D 1 の公差を小さくすることができる。ただし、前述のように加工の精度向上および基板材料の誘電損失に起因する高周波帯域の信号の損失の低減のため、インターポーザ 1 2 にはセラミックを用いることが好ましい。

## 【 0 0 3 9 】

インターポーザ 1 2 はダイシング加工で形成される。ダイシング加工では材料を削り取っていくため、材料の逃げを考慮しなくてよい。このため加工の精度が高く、距離 D 2 の公差を小さくし、ボンディングワイヤ 3 0 を短くすることができる。インターポーザ 1 2 の形成にはダイシング加工以外の方法を用いてもよく、精度を高めるためにはダイシング加工が特に好ましい。また、プリント基板 1 0 の貫通孔 1 0 a はパンチ加工以外に例えばルータ加工など、他の穴あけ加工で形成してもよい。

## 【 0 0 4 0 】

ボンディングワイヤ 3 0 に流れる電気信号は、半導体部品 1 4 とプリント基板 1 0 との間で流れる電気信号よりも高速である。高速とは例えば変調レートが高いことである。高速の電気信号は、低速の電気信号に比べて、ボンディングワイヤ 3 0 のインダクタンスの影響を受けやすい。第 1 実施形態によれば、ボンディングワイヤ 3 0 が短くなるため、ボンディングワイヤ 3 0 のインダクタンスによる電気信号の劣化を抑制することができる。

## 【 0 0 4 1 】

半導体部品 1 4 はプリント基板 1 0 から入力される電気信号を高速の電気信号に変換す

10

20

30

40

50

る。またインターポーザ12から入力される電気信号を低速の電気信号に変換する。半導体部品14はこうした電気信号の高速化および低速化の少なくとも一方を行えばよい。ボンディングワイヤ30には高速の電気信号が流れる。第1実施形態によれば、ボンディングワイヤ30が短くなるため、ボンディングワイヤ30のインダクタンスによる電気信号の波形劣化を抑制することができる。

【0042】

ボンディングワイヤ30を流れる電気信号の変調レートは例えば25 G b a u d以上、50 G b a u d以上、64 G b a u d以上などである。変調レートに応じて、電気信号の劣化を抑制できるようにボンディングワイヤ30の長さを定めればよい。変調レートが50 G b a u dの場合、ボンディングワイヤ30の長さは500 μ m以下であることが好ましい。変調レートが25 G b a u dの場合、ボンディングワイヤ30の長さは1000 μ m以下であることが好ましい。ボンディングワイヤ30の長さは例えば400 μ m以下、300 μ m以下としてもよい。

10

【0043】

インターポーザ12の上面と半導体チップ16の上面とは同じ高さに位置する。これによりパッド12cとパッド16aとは同程度の高さに位置するため、高速の電気信号を通じるボンディングワイヤ30を、パッド12cとパッド16aに高低差がある場合よりも短くすることができる。

【0044】

半導体部品14はインターポーザ12上に表面実装され、インターポーザ12はプリント基板10の上面に表面実装されている。これによりプリント基板10、半導体部品14およびインターポーザ12が電氣的に接続される。

20

【0045】

金属のベース部材21は貫通孔10aの内側に設けられ、半導体チップ16はベース部材21の上面に設けられている。ベース部材21の厚さにより半導体チップ16の上面の高さを調節することができる。例えば、半導体チップ16の上面がインターポーザ12の上面と同じ位置になるように、ベース部材21の高さを定める。また、ベース部材21は例えばCuなどの金属で形成されているため、高い熱伝導率を有する。したがって半導体素子15の熱を効果的に放出することができる。

【0046】

半導体素子15は電気信号を光信号に変換して光ファイバ17に出力すること、および光ファイバ17から入力される光信号を電気信号に変換することの少なくとも一方を行う。半導体素子15を構成する半導体チップ16の上面に光ファイバ17が接続されている。光ファイバ17は半導体チップ16の上面から上方向および横方向に延伸する。このため、光ファイバ17を貫通孔10aの内側から外側に引き出さなくてよく、プリント基板10と光ファイバ17との接触を抑制することができる。光ファイバ17との接触の恐れが小さいため、貫通孔10aの壁面を半導体チップ16に近づけることができる。すなわち、貫通孔10aを小さくすることができ、プリント基板10の小型化が可能である。

30

【0047】

図3に示したインターポーザ12と半導体チップ16との距離D2は例えば0~20 μ mとすることができる。つまり、インターポーザ12の端面と半導体チップ16の端面とは接触してもよいし、離間してもよい。ただし使用環境温度によっては、熱膨張によりインターポーザ12と半導体チップ16とが互いに横方向の応力を作用し合い、応力によりクラックなどが生じる恐れがある。かかる場合、応力の発生を抑制するために、インターポーザ12の端面と半導体チップ16の端面とを離間させ、D2は例えば10 μ m以上、20 μ m以下などとする。

40

【0048】

(変形例)

図9(a)は第1実施形態の変形例に係る半導体装置110を例示する断面図である。図9(b)は半導体装置110を例示する平面図である。第1実施形態と同じ構成につい

50

ては説明を省略する。

【0049】

図9(a)および図9(b)に示すように、インターポーザ12および半導体部品14がプリント基板10の上面に表面実装されている。これによりプリント基板10、半導体部品14およびインターポーザ12が電氣的に接続される。他の構成は第1実施形態と同じである。変形例によれば、ボンディングワイヤ30が短くなるため、ボンディングワイヤ30のインダクタンスによる電気信号の劣化を抑制することができる。

【0050】

(第2実施形態)

図10(a)は第2実施形態に係る半導体装置200を例示する断面図である。図10(b)は半導体装置200を例示する平面図である。第1実施形態と同じ構成については説明を省略する。

10

【0051】

図10(a)および図10(b)に示すように、ホルダ25は半導体チップ16の上面および側面にかけて接続されており、光ファイバ17はホルダ25を用いて半導体チップ16に接続されている。

【0052】

図11(a)および図11(b)はホルダ25の拡大図であり、図11(c)はホルダ25の側面図である。図11(a)および図11(b)に示すホルダ25の面25aはXY平面に広がり、半導体チップ16の上面の上に配置される。面25cは斜め加工面であり、ホルダ25は面25cにおいて、光ファイバ17は面17dにおいて、光ファイバ17の延伸方向に対し斜めに切断加工されている。ホルダ25の斜め加工面25cの上に載せられた反射板25eは、面25cに対向する面25fにおいて光ファイバ17中から出射する光を反射し、または反射する光を光ファイバ17中に入射する。面25fにはたとえば誘電体多層膜や金属膜など光の反射に適した膜が形成されている。面25fと面17dおよび25cとのあいだは、光ファイバの光学屈折率と略同じ屈折率を有する樹脂により接着されている。半導体チップ16と光ファイバ17との光結合は面25fにおける光反射を介して行われる。

20

【0053】

光ファイバ17はコア部分17aとクラッド部分17bを有する。ホルダ25中的一部分において、光ファイバのクラッド部分17bの一部は削られていて平面17cを構成する。平面17cはホルダ25の面25aと同一の面上に存在する。面25fにて反射される光は、平面17cを介して光ファイバ17から半導体チップ16に入射し、または半導体チップ16から出射される光は平面17cを介して光ファイバ17中に入射される。光ファイバのコア部分17aと平面17cの距離は、たとえば10 $\mu$ mないし20 $\mu$ mに設定されている。面25dはYZ平面に広がる面である。面25dは面25aおよび平面17cで終端する。面25dの高さは例えば0.5~1mmである。光ファイバ17は面25bからホルダ25に挿入され、図11(c)に示すようにホルダ25中を横方向に延伸する。すなわち、光ファイバ17は半導体チップ16から横方向に延伸する。光ファイバ17の他端は例えば光コネクタCOMが接続されて終端されている。他の構成は第1実施形態と同じである。次に比較例2および3について説明する。

30

40

【0054】

(比較例2)

図12(a)は比較例2に係る半導体装置200Rを例示する断面図である。図12(b)は半導体装置200Rを例示する平面図である。第1実施形態および第2実施形態と同じ構成については説明を省略する。

【0055】

図12(a)に示すように、インターポーザ12は設けられていない。半導体部品14はプリント基板10の上面に表面実装されている。第2実施形態に比べてベース部材21は薄く、半導体チップ16およびベース部材21は貫通孔10aの内側に位置する。半導

50

体チップ16の上面はプリント基板10の上面と同じ高さに位置し、半導体チップ16の端面は貫通孔10aの壁面と対向する。半導体チップ16の上面のパッド16aと、プリント基板10上面のパッド10gとが、ボンディングワイヤ30により接続されている。

【0056】

半導体チップ16は貫通孔10aの内部に位置し、ホルダ25の一部はプリント基板10の上面より下に位置する。このため、光ファイバ17は貫通孔10aの内側から外側に引き出される。光ファイバ17とプリント基板10との接触を抑制するため、貫通孔10aを大きくし、+X側の壁面を半導体チップ16から遠くする。この結果、プリント基板10が大型化する。

【0057】

(比較例3)

図13(a)は比較例3に係る半導体装置300Rを例示する断面図である。図13(b)は半導体装置300Rを例示する平面図である。比較例2と同じ構成については説明を省略する。

【0058】

比較例3におけるベース部材21は、比較例2に比べて厚い。このため半導体チップ16の上面はプリント基板10の上面より上に位置する。これにより光ファイバ17とプリント基板10との接触が抑制されるため、貫通孔10aを小さくすることができる。しかしボンディングワイヤ30は、高い位置にあるパッド16aと低い位置にあるパッド10gとを接続するため、長くなる。ボンディングワイヤ30が長くなるとインダクタンスが増加し、電気信号の波形などが劣化する。特に、ボンディングワイヤ30は例えば25～50Gbaudなど高速の電気信号を伝達する。このためワイヤ長により電気信号が大きく劣化する。

【0059】

これに対し第2実施形態によれば、ボンディングワイヤ30が短くなり、ボンディングワイヤ30のインダクタンスによる電気信号の波形劣化を抑制することができる。特に半導体チップ16の上面がインターポーザ12の上面と同じ高さに位置することで、ボンディングワイヤ30がより短くなる。半導体チップ16の上面はプリント基板10の上面より上に位置し、かつ光ファイバ17は横方向に延伸する。このため、プリント基板10と光ファイバ17との接触を効果的に抑制することができる。光ファイバ17との接触の恐れが小さいため、貫通孔10aの壁面を半導体チップ16に近づけることができる。すなわち、貫通孔10aを小さくすることができ、プリント基板10の小型化が可能である。

【0060】

(変形例)

図14(a)は第2実施形態の変形例に係る半導体装置210を例示する断面図である。図14(b)は半導体装置210を例示する平面図である。第2実施形態と同じ構成については説明を省略する。図14(a)および図14(b)に示すように、半導体部品14をプリント基板10の上面に表面実装し、インターポーザ12をプリント基板10の上面に表面実装する。他の構成は第2実施形態と同じである。変形例によれば、第2実施形態と同様にボンディングワイヤ30を短くすることができる。

【符号の説明】

【0061】

10	プリント基板
10a	貫通孔
10b、10d、10e、10g、12c、16a、16b	パッド
10f、10h、12b	配線パターン
11、13、23	半田ボール
12	インターポーザ
14、22、24	半導体部品
15	半導体素子

10

20

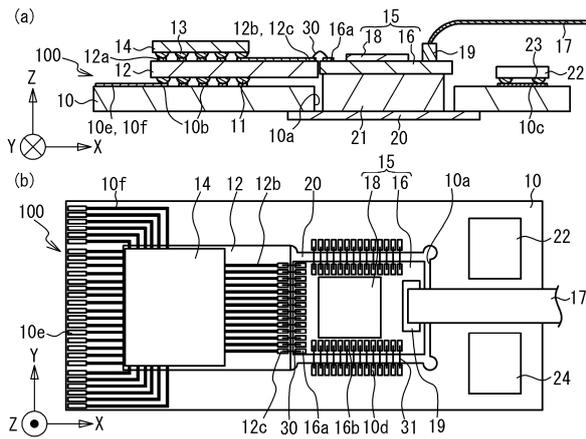
30

40

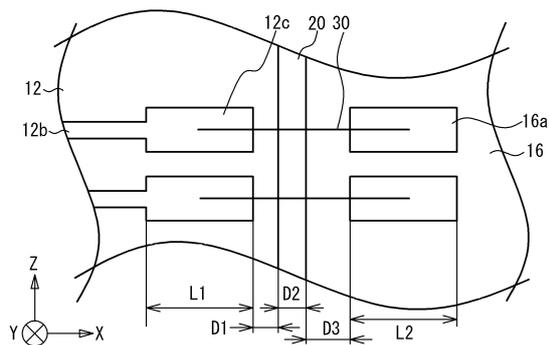
50

- 16、18 半導体チップ
- 19、25 ホルダ
- 17 光ファイバ
- 20 金属板
- 21 ベース部材
- 25 a、25 b、25 c 面
- 30、31 ボンディングワイヤ
- 100、110、200、210 半導体装置

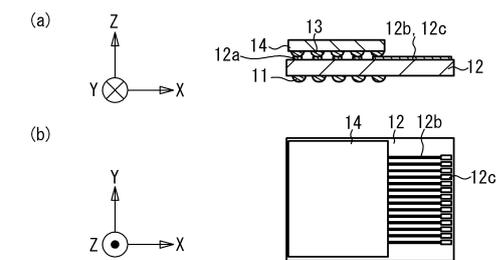
【図1】



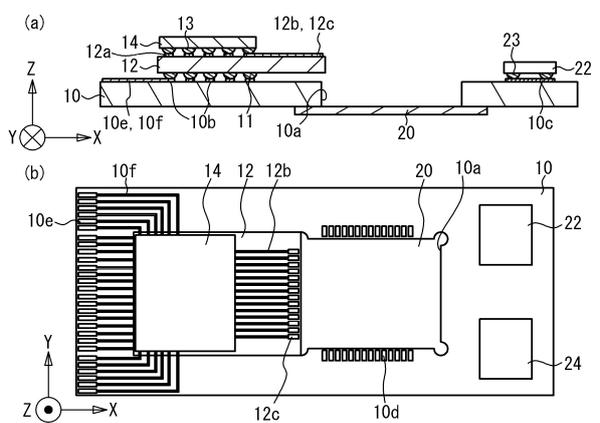
【図2】



【図3】

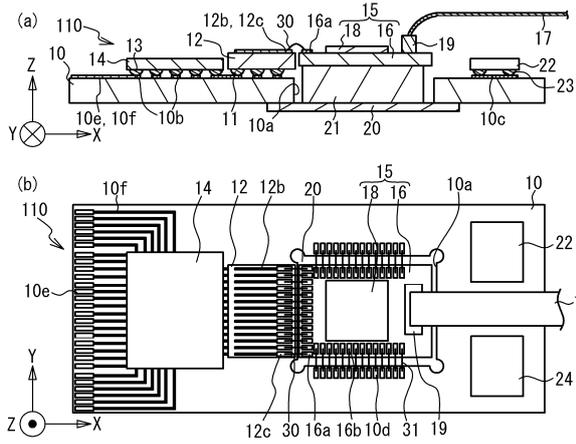


【図4】

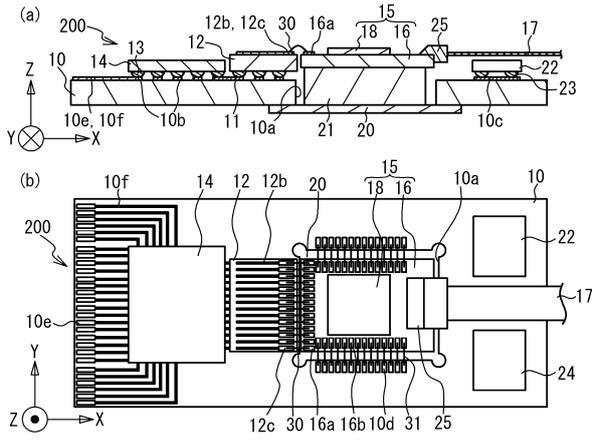




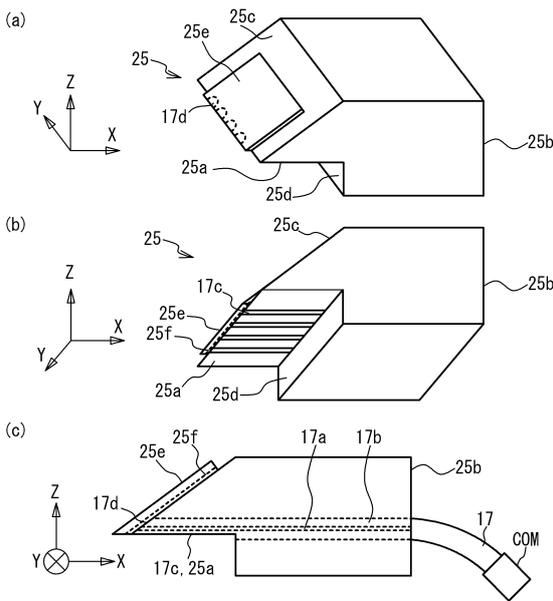
【図 9】



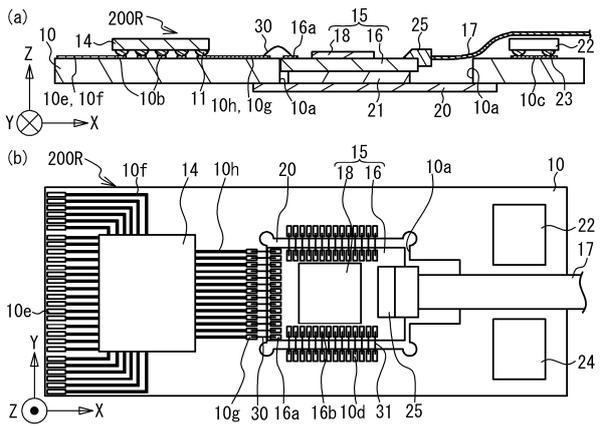
【図 10】



【図 11】



【図 12】





---

フロントページの続き

審査官 豊島 洋介

- (56)参考文献 特開2002-223023(JP,A)  
特開2005-050974(JP,A)  
特開2011-112898(JP,A)  
特開2006-004971(JP,A)  
特開2005-252251(JP,A)  
特開2008-091522(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L21/447-21/449  
21/60-21/607  
23/12-23/15  
23/29  
23/34-23/36  
23/373-23/427  
23/44  
23/467-23/473  
25/00-25/07  
25/10-25/11  
25/16-25/18  
33/00  
33/48-33/64  
H01S5/00-5/50