



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I426446 B

(45)公告日：中華民國 103 (2014) 年 02 月 11 日

(21)申請案號：098146592

(22)申請日：中華民國 98 (2009) 年 12 月 31 日

(51)Int. Cl. : G06F9/30 (2006.01)

(71)申請人：聯陽半導體股份有限公司 (中華民國) ITE TECH. INC. (TW)

新竹縣寶山鄉新竹科學工業園區創新一路 13 號

(72)發明人：林慈安 LIN, TZU AN (TW)

(74)代理人：戴俊彥；吳豐任

(56)參考文獻：

TW 511043

TW 521246

TW M265770

TW M355396

TW M368163

TW 200822131A

US 2003/0057886A1

審查人員：何昀修

申請專利範圍項數：33 項 圖式數：10 共 0 頁

(54)名稱

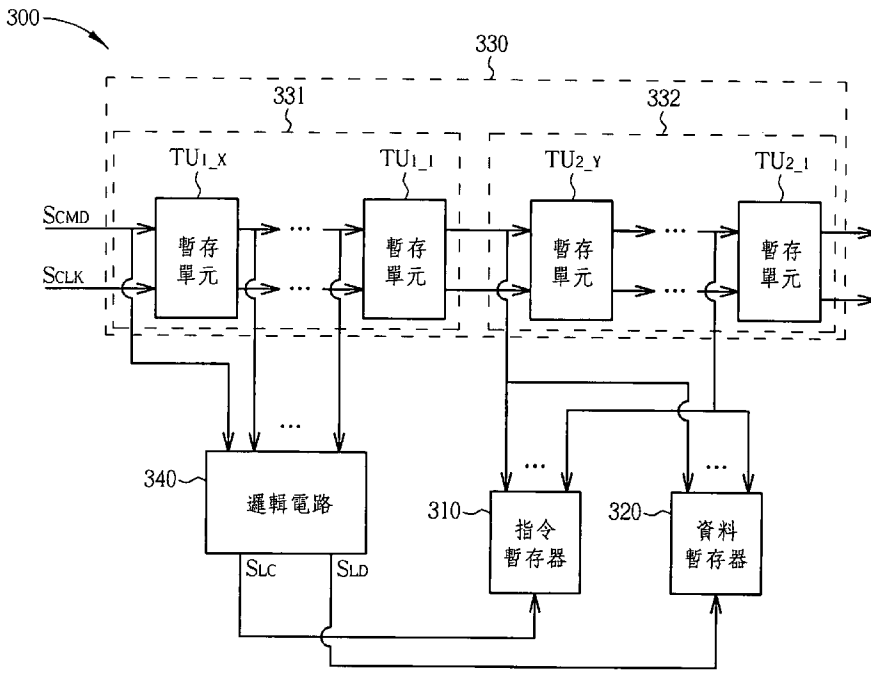
資料處理模組、堆疊式資料傳輸系統、發光模組、顯示系統及資料處理方法

DATA PROCESSING MODULE, CASCADING DATA-TRANSMITTING SYSTEM, LIGHT-EMITTING MODULE, DISPLAY SYSTEM AND DATA-PROCESSING METHOD

(57)摘要

一種資料處理模組可處理一對應的主控裝置透過一指令串列訊號或是一時脈訊號所傳送之一預設指令。當該預設指令表示指令閃鎖時，該資料處理模組控制一指令暫存器儲存一先進先出暫存電路中所暫存之指令串列訊號之一區段所傳送之資料以閃鎖指令。當該預設指令表示資料閃鎖時，該資料處理模組控制一資料暫存器儲存該先進先出暫存電路中所暫存之指令串列訊號之該區段所傳送之資料以閃鎖資料。如此一來，該資料處理模組不需額外的腳位來接收該主控裝置所傳送的閃鎖訊號，即可控制指令暫存器閃鎖指令或控制資料暫存器閃鎖資料，因此可減少成本。

A data processing module can handle a predetermined command transmitted by a corresponding host through a command serial signal or a clock signal. When the predetermined command represents "command-latching", the data processing module controls a command register to store the data transmitted by a section of the command serial signal temporarily stored in a FIFO circuit for latching command. When the predetermined command represents "data-latching", the data processing module controls a command register to store the data transmitted by the section of the command serial signal temporarily stored in the FIFO circuit for latching data. In this way, the data processing module can control the command register to latch command or the data register to latch data without a redundant pin for receiving a latch signal transmitted by the host, reducing the cost.



第3圖

- 300 . . . 資料處理模
組
- 310 . . . 指令暫存器
- 320 . . . 資料暫存器
- 330 . . . 先進先出暫
存電路
- 331、332 . . . 暫存
電路
- 340 . . . 邏輯電路
- SCLK . . . 時脈訊號
- SCMD . . . 指令串
列訊號
- SLC . . . 指令閃鎖
訊號
- SLD . . . 資料閃鎖
訊號
- TU_{1_1} ~ TU_{1_X}、
TU_{2_1} ~ TU_{2_Y} . . .
暫存單元

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98146592

※ 申請日：98.12.31

※IPC 分類：G06F 7/30 (2006.01)

一、發明名稱：(中文/英文)

資料處理模組、堆疊式資料傳輸系統、發光模組、顯示系統及資料處理方法/ Data processing module, cascading data-transmitting system, light-emitting module, display system and data-processing method

二、中文發明摘要：

一種資料處理模組可處理一對應的主控裝置透過一指令串列訊號或是一時脈訊號所傳送之一預設指令。當該預設指令表示指令閘鎖時，該資料處理模組控制一指令暫存器儲存一先進先出暫存電路中所暫存之指令串列訊號之一區段所傳送之資料以閘鎖指令。當該預設指令表示資料閘鎖時，該資料處理模組控制一資料暫存器儲存該先進先出暫存電路中所暫存之指令串列訊號之該區段所傳送之資料以閘鎖資料。如此一來，該資料處理模組不需額外的腳位來接收該主控裝置所傳送的閘鎖訊號，即可控制指令暫存器閘鎖指令或控制資料暫存器閘鎖資料，因此可減少成本。

三、英文發明摘要：

A data processing module can handle a predetermined command transmitted by a corresponding host through a command serial signal or

a clock signal. When the predetermined command represents “command-latching”, the data processing module controls a command register to store the data transmitted by a section of the command serial signal temporarily stored in a FIFO circuit for latching command. When the predetermined command represents “data-latching”, the data processing module controls a command register to store the data transmitted by the section of the command serial signal temporarily stored in the FIFO circuit for latching data. In this way, the data processing module can control the command register to latch command or the data register to latch data without a redundant pin for receiving a latch signal transmitted by the host, reducing the cost.

四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

300	資料處理模組
310	指令暫存器
320	資料暫存器
330	先進先出暫存電路
331、332	暫存電路
340	邏輯電路
S _{CLK}	時脈訊號
S _{CMD}	指令串列訊號
S _{LC}	指令閃鎖訊號
S _{LD}	資料閃鎖訊號
TU _{1_1} ~TU _{1_X} 、 TU _{2_1} ~TU _{2_Y}	暫存單元

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種資料處理模組，更明確地說，係有關於一種可用來串聯連接以形成一堆疊式資料傳輸系統之資料處理模組。

【先前技術】

請參考第 1 圖。第 1 圖係為說明先前技術之堆疊式資料傳輸系統 100 之示意圖。堆疊式資料傳輸系統 100 包含一主控裝置 110，以及資料處理模組 $DPM_1 \sim DPM_N$ 。主控裝置 110 用來產生時脈訊號 S_{CLK} 、指令串列訊號 S_{CMD} 、指令閃鎖訊號 S_{LC} ，以及資料閃鎖訊號 S_{LD} 。資料處理模組 $DPM_1 \sim DPM_N$ 用來處理指令串列訊號 S_{CMD} 所傳送之資料。資料處理模組 $DPM_1 \sim DPM_N$ 係為互相串聯連接。每個資料處理模組分別包含一先進先出(First In First Out, FIFO)暫存電路、一指令暫存器，以及一資料暫存器。

請參考第 2 圖，以資料處理模組 DPM_1 為例，資料處理模組 DPM_1 包含一先進先出(First In First Out, FIFO)暫存電路 $FIFO_1$ 、一指令暫存器 CR_1 ，以及一資料暫存器 DR_1 。先進先出暫存電路 $FIFO_1$ 用來根據時脈訊號 S_{CLK} 以傳送與暫存指令串列訊號 S_{CMD} 。先進先出暫存電路 $FIFO_1$ 包含 K 個暫存單元 $TU_1 \sim TU_K$ 。暫存單元 $TU_1 \sim TU_K$ 互

相串聯連接。每個暫存單元用來暫存指令串列訊號 S_{CMD} 所傳送之資料之其中一位元。當一暫存單元接收到時脈訊號 S_{CLK} 時，該暫存單元將原本暫存之資料以及時脈訊號 S_{CLK} 傳送至後級的暫存單元，並同時接收與儲存由前級所傳送的資料。舉例而言，暫存單元 TU_A 之前級的暫存單元為 $TU_{(A+1)}$ ，暫存單元 TU_A 之後級的暫存單元為 $TU_{(A-1)}$ 。設於初始時，暫存單元 $TU_{(A+1)}$ 所暫存之指令串列訊號 S_{CMD} 所傳送之資料係表示邏輯「0」、暫存單元 TU_A 所儲存之指令串列訊號 S_{CMD} 所傳送之資料係表示邏輯「1」、暫存單元 $TU_{(A-1)}$ 所儲存之指令串列訊號 S_{CMD} 所傳送之資料係表示邏輯「0」。當暫存單元 $TU_{(A+1)}$ 、 TU_A 、 $TU_{(A-1)}$ 接收到時脈訊號 S_{CLK} 時，暫存單元 TU_A 將原本暫存之資料(表示邏輯「1」)輸出至後級的暫存單元 $TU_{(A-1)}$ ，並同時接收與儲存由前級所傳送的資料 $TU_{(A+1)}$ (表示邏輯「0」)，因此此時暫存單元 TU_A 所暫存之資料會表示邏輯「0」，且暫存單元 $TU_{(A-1)}$ 所暫存之資料會表示邏輯「1」。指令暫存器 CR_1 用來根據主控裝置 110 所傳送之指令閃鎖訊號 S_{LC} 以閃鎖指令，更明確地說，當指令暫存器 CR_1 接收到主控裝置 110 所傳送之指令閃鎖訊號 S_{LC} 時，指令暫存器 CR_1 儲存在先進先出暫存電路 $FIFO_1$ 中所暫存之指令串列訊號 S_{CMD} 所傳送之資料(意即指令暫存器 CR_1 儲存在暫存單元 $TU_1 \sim TU_K$ 中所暫存之資料)。資料暫存器 DR_1 用來根據主控裝置 110 所傳送之資料閃鎖訊號 S_{LD} 以閃鎖資料，更明確地說，當資料暫存器 DR_1 接收到主控裝置 110 所傳送之資料閃鎖訊號 S_{LD} 時，資料暫存器 DR_1 儲存在先進先出暫存電路 $FIFO_1$ 中所暫存之指令串列訊號 S_{CMD} 所傳送之資料(意即資料暫存器 DR_1 儲存在暫存單元 $TU_1 \sim TU_K$

中所暫存之資料)。

然而，一般而言，資料處理模組係以一晶片實施，因此由前述說明可知資料處理模組皆需要具有額外的腳位(作為閃鎖端)來接收主控裝置所傳送的閃鎖訊號(指令閃鎖訊號與資料閃鎖訊號)，以控制指令暫存器閃鎖指令或控制資料暫存器閃鎖資料，如此造成資料處理模組之成本上升。且通常在堆疊式資料傳輸系統中之資料處理模組之數量相當多，因此資料處理模組需要額外的腳位會造成堆疊式資料傳輸系統的成本明顯地增加，帶給使用者很大的不便。

【發明內容】

本發明提供一種資料處理模組，用來處理一指令串列訊號。該資料處理模組可用來串聯連接以形成一堆疊式資料傳輸系統。該資料處理模組包含一指令暫存器、一資料暫存器、一先進先出暫存電路，以及一邏輯電路。該先進先出暫存電路，用來根據一時脈訊號，以傳送與暫存該指令串列訊號。該邏輯電路，用來根據該先進先出暫存電路所儲存之該指令串列訊號之一第一區段之相鄰的一第一、一第二，以及一第三位元以判斷該先進先出暫存電路所儲存之該指令串列訊號之該第一區段是否為一預設指令。當該第一、該第二與該第三位元符合一資料型態時，該邏輯電路判斷該第一區段為該預設指令，且該邏輯電路根據該預設指令，以控制該指令暫存器或該資料暫存器儲存該指令串列訊號之一第二區段所傳送之資料。

本發明另提供一種資料處理模組，用來處理一指令串列訊號。該資料處理模組可用來串聯連接以形成一堆疊式資料傳輸系統。該資料處理模組包含一指令暫存器、一資料暫存器、一先進先出暫存電路，以及一頻率判斷電路。該先進先出暫存電路用來根據一時脈訊號以傳送與暫存該指令串列訊號。該頻率判斷電路用來偵測該時脈訊號之頻率，以控制該指令暫存器或該資料暫存器儲存該指令串列訊號所傳送之資料。

本發明另提供一種資料處理模組，用來處理一指令串列訊號。該資料處理模組可用來串聯連接以形成一堆疊式資料傳輸系統。該資料處理模組包含一指令暫存器、一資料暫存器、一先進先出暫存電路、一頻率偵測電路，以及一預設指令處理電路。該先進先出暫存電路，用來根據一時脈訊號以傳送與暫存該指令串列訊號。該頻率偵測電路，用來偵測該時脈訊號之頻率，以產生一預定頻率訊號。當該頻率偵測電路判斷該時脈訊號之頻率等於一預定頻率時，該頻率偵測電路產生該預定頻率訊號。該預設指令處理電路，用來根據該預定頻率訊號，以判斷該指令串列訊號之一第一區段係為一預設指令，並根據該預設指令以控制該指令暫存器或該資料暫存器儲存該指令串列訊號之一第二區段所傳送之資料。

本發明另提供一種適用於一資料處理模組之資料處理方法。該資料處理模組包含一指令暫存器、一資料暫存器，以及一先進先出

暫存電路。該先進先出暫存電路用來根據一時脈訊號以傳送與暫存一指令串列訊號。該先進先出暫存電路包含一第一暫存電路以及一第二暫存電路。該第一暫存電路用來暫存該指令串列訊號之一第一區段。該第二暫存電路用來暫存該指令串列訊號之一第二區段。該第一暫存電路所儲存之該指令串列訊號之該第一區段包含相鄰之一第一、一第二，以及一第三位元。該資料處理方法包含當該第一、該第二與該第三位元符合一資料型態時，判斷該第一區段為該預設指令、當該預設指令表示指令門鎖時，控制該指令暫存器儲存該第二暫存電路所儲存之該指令串列訊號之該第二區段所傳送之資料，以及當該預設指令表示資料門鎖時，控制該資料暫存器儲存該第二暫存電路所儲存之該指令串列訊號之該第二區段所傳送之資料。

本發明另提供一種適用於一資料處理模組之資料處理方法。該資料處理模組包含一指令暫存器、一資料暫存器，以及一先進先出暫存電路。該先進先出暫存電路用來根據一時脈訊號以傳送與暫存一指令串列訊號。該先進先出暫存電路包含一第一暫存電路以及一第二暫存電路。該第一暫存電路用來暫存該指令串列訊號之一第一區段。該第二暫存電路用來暫存該指令串列訊號之一第二區段。該資料處理方法包含當判斷該時脈訊號之頻率等於一第一預定頻率時，控制該指令暫存器儲存該第二暫存電路所儲存之該指令串列訊號之該第二區段所傳送之資料，以及當判斷該時脈訊號之頻率等於一第二預定頻率時，控制該資料暫存器儲存該第二暫存電路所儲存之該指令串列訊號之該第二區段所傳送之資料。

本發明另提供一種適用於一資料處理模組之資料處理方法。該資料處理模組包含一指令暫存器、一資料暫存器，以及一先進先出暫存電路。該先進先出暫存電路用來根據一時脈訊號以傳送與暫存一指令串列訊號。該先進先出暫存電路包含一第一暫存電路以及一第二暫存電路。該第一暫存電路用來暫存該指令串列訊號之一第一區段。該第二暫存電路用來暫存該指令串列訊號之一第二區段。該資料處理方法包含當判斷該時脈訊號之頻率等於一預定頻率時判斷該第一暫存電路所儲存之該指令串列訊號之該第一區段係為一預設指令、當該預設指令表示指令閃鎖時，控制該指令暫存器儲存該第二暫存電路所儲存之該指令串列訊號之該第二區段所傳送之資料，以及當該預設指令表示資料閃鎖時，控制該資料暫存器儲存該第二暫存電路所儲存之該指令串列訊號之該第二區段所傳送之資料。

【實施方式】

有鑑於此，本發明提供一種資料處理模組，可處理一對應的主控裝置透過一指令串列訊號或是一時脈訊號所傳送之一預設指令。本發明之資料處理模組，根據該預設指令，可控制指令暫存器儲存先進先出暫存電路中所暫存之指令串列訊號所傳送之資料以閃鎖指令，或是控制資料暫存器儲存先進先出暫存電路中所暫存之指令串列訊號所傳送之資料以閃鎖資料。如此一來，本發明之資料處理模組不需額外的腳位(作為閃鎖端)來接收主控裝置所傳送的閃鎖訊

號，即可控制指令暫存器門鎖指令或控制資料暫存器門鎖資料。因此可減少成本。

請參考第 3 圖。第 3 圖係為說明根據本發明之第一實施例之資料處理模組 300 之示意圖。資料處理模組 300 包含一指令暫存器 310、一資料暫存器 320、一先進先出暫存電路 330，以及一邏輯電路 340。指令暫存器 310 用來門鎖指令。資料暫存器 320 用來門鎖資料。先進先出暫存電路 330 用來根據時脈訊號 S_{CLK} 以傳送與暫存指令串列訊號 S_{CMD} 。先進先出暫存電路 330 包含暫存電路 331 以及 332。暫存電路 331 包含暫存單元 $TU_{1_1} \sim TU_{1_X}$ ，暫存電路 331 用來暫存指令串列訊號 S_{CMD} 之一第一區段 SEC_1 ，第一區段 SEC_1 包含 X 位元之資料。暫存電路 332 包含暫存單元 $TU_{2_1} \sim TU_{2_Y}$ ，暫存電路 332 用來暫存指令串列訊號 S_{CMD} 之一第二區段 SEC_2 ，第二區段 SEC_2 包含 Y 位元之資料。邏輯電路 340 用來根據暫存電路 331 所儲存之指令串列訊號 S_{CMD} 之第一區段 SEC_1 之相鄰的三個位元(如 $TU_{1_1} \sim TU_{1_3}$ 分別所暫存之三位元 $BIT_1 \sim BIT_3$)，以判斷暫存電路 331 所儲存之指令串列訊號 S_{CMD} 之第一區段 SEC_1 是否為一預設指令 CMD_{PRE} ，並根據預設指令 CMD_{PRE} 以產生指令門鎖訊號 S_{LC} 或資料門鎖訊號 S_{LD} 以控制指令暫存器 310 門鎖指令或控制資料暫存器 320 門鎖資料。以下將作更進一步地說明。

指令串列訊號 S_{CMD} 所傳送之內容之型態可分為預設指令 CMD_{PRE} 以及資料 DA 。當對應於資料處理模組 300 之主控裝置欲透

過指令串列訊號 S_{CMD} 傳送預設指令 CMD_{PRE} 時，暫存電路 331 之暫存單元 $\text{TU}_{1_1} \sim \text{TU}_{1_3}$ 所暫存之三位元 $\text{BIT}_1 \sim \text{BIT}_3$ 符合一預定的資料型態 TYPE 。更明確地說，當暫存單元 TU_{1_1} 所暫存之位元 BIT_1 與暫存單元 TU_{1_3} 所暫存之位元 BIT_3 之邏輯相同且相異於暫存單元 TU_{1_2} 所暫存之位元 BIT_2 時，即表示暫存電路 331 之暫存單元 $\text{TU}_{1_1} \sim \text{TU}_{1_3}$ 所暫存之三位元 $\text{BIT}_1 \sim \text{BIT}_3$ 符合預定的資料型態 TYPE 。舉例而言，暫存單元 TU_{1_1} 所暫存之位元 BIT_1 與暫存單元 TU_{1_3} 所暫存之位元 BIT_3 皆表示邏輯「1」，而暫存單元 TU_{1_2} 所暫存之位元 BIT_2 表示邏輯「0」；或是，暫存單元 TU_{1_1} 所暫存之位元 BIT_1 與暫存單元 TU_{1_3} 所暫存之位元 BIT_3 皆表示邏輯「0」，而暫存單元 TU_{1_2} 所暫存之位元 BIT_2 表示邏輯「1」。換句話說，當暫存單元 $\text{TU}_{1_1} \sim \text{TU}_{1_3}$ 所暫存之三位元 $\text{BIT}_1 \sim \text{BIT}_3$ 表示 [010] 或是 [101] 時，邏輯電路 340 可判斷暫存電路 331 所暫存之第一區段 SEC_1 係為預設指令 CMD_{PRE} 。此時，邏輯電路 340 可根據預設指令 CMD_{PRE} 以產生指令閃鎖訊號 S_{LC} 或資料閃鎖訊號 S_{LD} 。在本實施例中，當主控裝置透過指令串列訊號 S_{CMD} 傳送資料 DA 時，資料 DA 中之每一位元皆會被輸出兩次。也就是說，若資料 DA 中之一位元表示邏輯「0」，則指令串列訊號 S_{CMD} 傳送 [00] 以傳送該位元；若資料 DA 中之一位元表示邏輯「1」，則指令串列訊號 S_{CMD} 傳送 [11] 以傳送該位元。舉例而言，主控裝置實際上所欲傳送之資料 DA 為 [01101110]，此時，主控裝置所產生之指令串列訊號 S_{CMD} 之內容為 [0011110011111100]。由此可知，當主控裝置透過指令串列訊號 S_{CMD} 傳送資料 DA 時，指令串列訊號 S_{CMD} 之內容不會存在 [101] 或 [010]

之樣式(pattern)。因此，邏輯電路 340 可藉由偵測[101]或[010]之樣式以判斷暫存電路 331 之暫存單元 $TU_{1_1} \sim TU_{1_3}$ 所暫存之三位元 $BIT_1 \sim BIT_3$ 是否符合預定的資料型態 TYPE，而進一步地判斷暫存電路 331 所暫存之指令串列訊號 S_{CMD} 之第一區段 SEC_1 之內容是否為預設指令 CMD_{PRE} 。

更進一步地說，邏輯電路 340 可先偵測暫存電路 331 之暫存單元 TU_{1_1} 與 TU_{1_2} 所暫存之位元 BIT_1 與 BIT_2 。當位元 BIT_1 與 BIT_2 所表示之邏輯相異時，也就是說，位元 BIT_1 與 BIT_2 表示[01]或[10]時，邏輯電路 340 即進入一觸發狀態。當邏輯電路 340 處於觸發狀態時，邏輯電路 340 根據位元 BIT_3 所表示之邏輯以判斷暫存電路 331 所儲存之指令串列訊號 S_{CMD} 之第一區段 SEC_1 是否為預設指令 CMD_{PRE} 。當位元 BIT_3 所表示之邏輯與位元 BIT_2 相異時，邏輯電路 340 即判斷暫存電路 331 所儲存之指令串列訊號 S_{CMD} 之第一區段 SEC_1 係為預設指令 CMD_{PRE} 。當預設指令 CMD_{PRE} 表示「指令閃鎖」時，邏輯電路 340 產生指令閃鎖訊號 S_{LC} 以控制指令暫存器 310 儲存在暫存電路 332 所暫存之指令串列訊號 S_{CMD} 之第二區段 SEC_2 所傳送之資料 DA 以閃鎖指令。舉例而言，當第二區段 SEC_2 之內容為 [0011110011111100] 時，表示此時主控裝置實際上所傳送之資料 DA 係為 [01101110]。為了得到主控裝置實際上所傳送之資料 DA，此時指令暫存器 310 可只讀取暫存單元 TU_{2_1} 、 TU_{2_3} 、 $TU_{2_5} \dots$ 之奇數暫存單元或暫存單元 TU_{2_2} 、 TU_{2_4} 、 $TU_{2_6} \dots$ 之偶數暫存單元所儲存之內容，如此指令暫存器 310 即可得到內容為 [01101110] 之資料 DA。

也就是說，指令暫存器 310 可得到主控裝置實際上所傳送之資料 DA。當預設指令 CMD_{PRE} 表示「資料閃鎖」時，邏輯電路 340 產生資料閃鎖訊號 S_{LD} 以控制資料暫存器 320 儲存在暫存電路 332 所暫存之指令串列訊號 S_{CMD} 之第二區段 SEC_2 所傳送之資料 DA 以閃鎖資料。舉例而言，第二區段 SEC_2 之內容為 [0011110011111100]，為了得到指令串列訊號 S_{CMD} 實際上所傳送之資料 DA，此時資料暫存器 320 可只讀取奇數暫存單元(暫存單元 TU_{2_1} 、 TU_{2_3} 、 TU_{2_5} ...等)或偶數暫存單元(暫存單元 TU_{2_2} 、 TU_{2_4} 、 TU_{2_6} ...等)所儲存之內容，如此資料暫存器 320 即可得到內容為 [01101110] 之資料 DA。也就是說，指令暫存器 310 可得到主控裝置實際上所傳送之資料 DA。

以下提供預設指令 CMD_{PRE} 之實施例，以作更進一步地說明。

設預設指令 CMD_{PRE} 包含三個位元。此時暫存電路 331 包含三個暫存單元 TU_{1_1} ~ TU_{1_3} 。當預設指令 CMD_{PRE} 之內容為 [101] 時，預設指令 CMD_{PRE} 表示「指令閃鎖」；當預設指令 CMD_{PRE} 之內容為 [010] 時，預設指令 CMD_{PRE} 表示「資料閃鎖」。因此，當預設指令 CMD_{PRE} 已經傳送至暫存電路 331 時，邏輯電路 340 偵測暫存單元 TU_{1_1} ~ TU_{1_3} 所儲存之位元 BIT_1 ~ BIT_3 是否符合前述之資料型態 TYPE，即可判斷暫存電路 331 所儲存之內容係為預設指令 CMD_{PRE} 。邏輯電路 340 可更進一步地根據暫存單元 TU_{1_1} ~ TU_{1_3} 所儲存之 BIT_1 ~ BIT_3 (意即預設指令 CMD_{PRE} 之內容) 而判斷預設指令 CMD_{PRE} 表示「指令閃鎖」或「資料閃鎖」，並據以控制指令暫存器

或資料暫存器儲存在暫存電路 332 所暫存之指令串列訊號 S_{CMD} 之第二區段 SEC_2 所傳送之資料 DA。此外，上述之預設指令 CMD_{PRE} 之設計可避免造成邏輯電路 340 之誤判。舉例而言，假設設計當預設指令 CMD_{PRE} 之內容為 [110] 時，預設指令 CMD_{PRE} 表示「指令閃鎖」，而當預設指令 CMD_{PRE} 之內容為 [011] 時表示「資料閃鎖」。如此，會造成邏輯電路 340 無法區別主控裝置所傳送的是預設指令 CMD_{PRE} 或是資料 DA。舉例而言，當主控裝置欲傳送之資料 DA 之內容為 [1100] 時，邏輯電路 340 會根據資料 DA 之前三位元等於 [110]，而判斷主控裝置傳送表示「指令閃鎖」之預設指令 CMD_{PRE} ；當主控裝置欲傳送之資料 DA 之內容為 [0011] 時，邏輯電路 340 會根據資料 DA 之後三位元等於 [011]，而判斷主控裝置傳送表示「資料閃鎖」之預設指令 CMD_{PRE} 。因此，設計預設指令 CMD_{PRE} 之內容時需避免造成邏輯電路 340 之誤判。

設預設指令 CMD_{PRE} 包含六個位元。此時暫存電路 331 包含六個暫存單元 $TU_{1_1} \sim TU_{1_6}$ 。當預設指令 CMD_{PRE} 之內容為 [101010] 時，預設指令 CMD_{PRE} 表示「指令閃鎖」；當預設指令 CMD_{PRE} 之內容為 [101110] 時，預設指令 CMD_{PRE} 表示「資料閃鎖」。或是，當預設指令 CMD_{PRE} 之內容為 [101110] 時，預設指令 CMD_{PRE} 表示「指令閃鎖」；當預設指令 CMD_{PRE} 之內容為 [101010] 時，預設指令 CMD_{PRE} 表示「資料閃鎖」。當預設指令 CMD_{PRE} 已經傳送至暫存電路 331 時，邏輯電路 340 偵測暫存單元 $TU_{1_1} \sim TU_{1_3}$ 所儲存之位元 $BIT_1 \sim BIT_3$ 是否符合前述之資料型態 TYPE，即可判斷暫存電路 331 所儲存之

內容係為預設指令 CMD_{PRE} 。邏輯電路 340 更進一步地根據暫存單元 $TU_{1_1} \sim TU_{1_6}$ 所儲存之 $BIT_1 \sim BIT_6$ (意即預設指令 CMD_{PRE} 之內容) 而判斷預設指令 CMD_{PRE} 表示「指令閃鎖」或「資料閃鎖」，並據以控制指令暫存器或資料暫存器儲存在暫存電路 332 所暫存之指令串列訊號 S_{CMD} 之第二區段 SEC_2 所傳送之資料 DA 。此外，上述之預設指令 CMD_{PRE} 之設計也可避免造成邏輯電路 340 之誤判。

因此，根據上述說明可知，資料處理模組 300 可直接根據指令串列訊號 S_{CMD} 所傳送之預設指令 CMD_{PRE} 以進行閃鎖指令或閃鎖資料，而不需額外的腳位(作為閃鎖端)來接收主控裝置所傳送的閃鎖訊號，因此可減少成本。

請參考第 4 圖。第 4 圖係為說明根據本發明之第二實施例之資料處理模組 400 之示意圖。資料處理模組 400 包含一指令暫存器 410、一資料暫存器 420、一先進先出暫存電路 430，以及一頻率判斷電路 440。相較於先進先出暫存電路 330，資料處理模組 400 之先進先出暫存電路 430 僅需包含暫存電路 432。指令暫存器 410、資料暫存器 420 及暫存電路 432 之結構及工作原理分別與指令暫存器 310、資料暫存器 320 及暫存電路 332 類似，故不再贅述。在本實施例中，對應於資料處理模組 400 之主控裝置透過改變時脈訊號 S_{CLK} 之頻率，以傳送給資料處理模組 400 預設指令 CMD_{PRE} 。更明確地說，當主控裝置傳送預設指令 CMD_{PRE} 時，主控裝置所產生之時脈訊號 S_{CLK} 之頻率等於預定頻率 $FREQ_1$ 或預定頻率 $FREQ_2$ ；當主控

裝置傳送資料 DA 時，主控裝置所產生之時脈訊號 S_{CLK} 之頻率等於預定頻率 $FREQ_3$ 。頻率判斷電路 440 可偵測時脈訊號 S_{CLK} 之頻率以產生指令閃鎖訊號 S_{LC} 或資料閃鎖訊號 S_{LC} 。舉例而言，當頻率判斷電路 440 判斷時脈訊號 S_{CLK} 之頻率等於預定頻率 $FREQ_1$ 時，頻率判斷電路 440 判斷指令串列訊號 S_{CMD} 傳送預設指令 CMD_{PRE} ，且此時預設指令 CMD_{PRE} 表示「指令閃鎖」。因此，頻率判斷電路 440 產生指令閃鎖訊號 S_{LC} ，以控制指令暫存器 410 儲存暫存電路 432 所儲存之指令串列訊號 S_{CMD} 之第二區段 SEC_2 所傳送之資料 DA 以閃鎖指令。當頻率判斷電路 440 判斷時脈訊號 S_{CLK} 之頻率等於預定頻率 $FREQ_2$ 時，頻率判斷電路 440 判斷指令串列訊號 S_{CMD} 傳送預設指令 CMD_{PRE} ，且此時預設指令 CMD_{PRE} 表示「資料閃鎖」。因此，頻率判斷電路 440 產生指令資料訊號 S_{LD} ，以控制指令暫存器 410 儲存暫存電路 432 所儲存之指令串列訊號 S_{CMD} 之第二區段 SEC_2 所傳送之資料 DA 以閃鎖資料。由於主控裝置不透過指令串列訊號 S_{CMD} (之第一區段 SEC_1) 傳送預設指令 CMD_{PRE} ，而是透過改變時脈訊號 S_{CLK} 之頻率，以傳送給資料處理模組 400 預設指令 CMD_{PRE} ，因此主控裝置所傳送之指令串列訊號 S_{CMD} 之第一區段 SEC_1 內沒有資料。如此，在資料處理模組 400 中之先進先出暫存電路 430 僅需要暫存電路 432，以儲存指令串列訊號 S_{CMD} (之第二區段 SEC_2)。

此外，值得注意的是，相較於資料處理模組 300，在資料處理模組 400 中，當主控裝置欲傳送資料 DA 時，不需將資料 DA 之每一位元重覆輸出。舉例而言，若主控裝置透過指令串列訊號 S_{CMD} 所傳

送之資料 DA 為[01101110]，則暫存電路 432 所儲存之指令串列訊號 S_{CMD} 之第二區段 SEC_2 之內容也為[01101110]。換句話說，暫存電路 432 之暫存單元之數目只需要等於資料 DA 之位元數目，而不需要為資料 DA 之位元數目之兩倍。

請參考第 5 圖。第 5 圖係為說明根據本發明之第三實施例之資料處理模組 500 之示意圖。資料處理模組 500 包含一指令暫存器 510、一資料暫存器 520、一先進先出暫存電路 530、一頻率偵測電路 540，以及一預設指令處理電路 550。先進先出暫存電路 530 包含暫存電路 531 與 532。指令暫存器 510、資料暫存器 520、先進先出暫存電路 530 及暫存電路 531 與 532 之結構及工作原理分別與指令暫存器 310、資料暫存器 320、先進先出暫存電路 330 及暫存電路 331 與 332 類似，故不再贅述。在本實施例中，當主控裝置透過指令串列訊號 S_{CMD} 傳送預設指令 CMD_{PRE} 時，時脈訊號 S_{CLK} 之頻率等於預定頻率 $FREQ_4$ ；當主控裝置透過指令串列訊號 S_{CMD} 傳送資料 DA 時，時脈訊號 S_{CLK} 之頻率等於預定頻率 $FREQ_5$ 。因此，當頻率偵測電路 540 偵測時脈訊號 S_{CLK} 之頻率等於預定頻率 $FREQ_4$ 時，頻率偵測電路 540 即產生預定頻率訊號 S_{PFQ} 。如此，當預設指令處理電路 550 接收到頻率偵測電路 540 所產生之預定頻率訊號 S_{PFQ} 時，預設指令處理電路 550 即可判斷此時在暫存電路 531 中所儲存之指令串列訊號 S_{CMD} 之第一區段 SEC_1 係為預設指令 CMD_{PRE} 。如此，預設指令處理電路 550 即可進一步地根據該第一區段 SEC_1 之內容以判斷此時之預設指令 CMD_{PRE} 表示「指令閃鎖」或是「資料

閉鎖」。舉例而言，當第一區段 SEC_1 之內容為[1111]時，預設指令 CMD_{PRE} 表示「指令閉鎖」；當第一區段 SEC_1 之內容為[0000]時，預設指令 CMD_{PRE} 表示「資料閉鎖」。當預設指令 CMD_{PRE} 表示「指令閉鎖」時，預設指令處理電路 550 產生指令閉鎖訊號 S_{LC} ，以控制指令暫存器 510 儲存暫存電路 532 所儲存之指令串列訊號 S_{CMD} 之第二區段 SEC_2 所傳送之資料 DA 以閉鎖指令。當預設指令 CMD_{PRE} 表示「資料閉鎖」時，預設指令處理電路 550 產生資料閉鎖訊號 S_{LD} ，以控制資料暫存器 520 儲存暫存電路 532 所儲存之指令串列訊號 S_{CMD} 之第二區段 SEC_2 所傳送之資料 DA 以閉鎖資料。此外，相較於資料處理模組 300，在資料處理模組 500 中，當指令串列訊號 S_{CMD} 欲傳送資料 DA 時，不需將資料 DA 之每一位元重覆輸出。因此，在資料處理模組 500 中，暫存電路 532 之暫存單元之數目只需要等於資料 DA 之位元數目，而不需要為資料 DA 之位元數目之兩倍。

請參考第 6 圖。第 6 圖係為說明本發明之堆疊式資料傳輸系統 600 之示意圖。堆疊式資料傳輸系統 600 包含一主控裝置 610，以及資料處理模組 $DPM_1 \sim DPM_N$ 。主控裝置 610 用來產生時脈訊號 S_{CLK} 與指令串列訊號 S_{CMD} 。資料處理模組 $DPM_1 \sim DPM_N$ 之結構及工作原理與前述說明之資料處理模組 300、400 或 500 類似，故不再贅述。資料處理模組 $DPM_1 \sim DPM_N$ 之先進先出暫存電路係為互相串聯連接。相較於先前技術之堆疊式資料傳輸系統，由於在堆疊式資料傳輸系統 600 中之每個資料處理模組 $DPM_1 \sim DPM_N$ 皆不需額外的腳位（作為閉鎖端）來接收主控裝置所傳送的閉鎖訊號，即可控制指令暫

存器門鎖指令或控制資料暫存器門鎖資料，因此堆疊式資料傳輸系統 600 可具有較低的成本。

此外，根據本發明之資料處理模組之基本精神，本發明提供一種發光模組，可應用於大型的顯示系統，以下將作更進一步地說明。

請參考第 7 圖。第 7 圖係為根據本發明之第一實施例之發光模組 700 之示意圖。發光模組 700 包含一資料處理模組 300、一發光電路 750 以及一驅動電路 760。驅動電路 760 根據指令暫存器 310 所儲存之指令與資料暫存器 320 所儲存之資料，以產生發光控制訊號 S_{LT} (未圖示)。發光電路 750 根據發光控制訊號 S_{LT} 以發光。發光電路 750 可以發光二極體 (Light Emitting Diode, LED) 實施。舉例而言，發光電路 750 包含複數個紅光發光二極體 LED_R 、複數個藍光發光二極體 LED_B 以及複數個綠光發光二極體 LED_G 。如此，驅動電路 760 根據指令暫存器 310 與資料暫存器 320 所儲存之資料，可控制發光電路 750 發出不同顏色與不同強度的光。

請參考第 8 圖。第 8 圖係為說明根據本發明之第二實施例之發光模組 800 之示意圖。發光模組 800 包含一資料處理模組 400、一發光電路 850 以及一驅動電路 860。驅動電路 860 及發光電路 850 之結構及工作原理分別與驅動電路 760 及發光電路 750 類似，故不再贅述。同理，驅動電路 860 根據指令暫存器 410 與資料暫存器 420 所儲存之資料，可控制發光電路 850 發出不同顏色與不同強度的光。

請參考第 9 圖。第 9 圖係為說明根據本發明之第三實施例之發光模組 900 之示意圖。發光模組 900 包含一資料處理模組 500、一發光電路 960 以及一驅動電路 970。驅動電路 970 及發光電路 960 之結構及工作原理分別與驅動電路 760 及發光電路 750 類似，故不再贅述。同理，驅動電路 970 根據指令暫存器 510 與資料暫存器 520 所儲存之資料，可控制發光電路 960 發出不同顏色與不同強度的光。

請參考第 10 圖。第 10 圖係為說明本發明之顯示系統 1000 之示意圖。顯示系統 1000 包含一主控裝置 1010，以及發光模組 $LM_1 \sim LM_N$ 。主控裝置 1010 用來產生時脈訊號 S_{CLK} 與指令串列訊號 S_{CMD} 。發光模組 $LM_1 \sim LM_N$ 之結構及工作原理與前述說明之發光模組 700、800 或 900 類似，故不再贅述。發光模組 $LM_1 \sim LM_N$ 之先進先出暫存電路係為互相串聯連接。在顯示系統 1000 中，主控裝置 1010 可藉由時脈訊號 S_{CLK} 或指令串列訊號 S_{CMD} 以控制每個發光模組 $LM_1 \sim LM_N$ 之發光電路所發出之光之顏色與強度。此外，由於在顯示系統 1000 中之每個發光模組 $LM_1 \sim LM_N$ 皆不需額外的腳位作為閃鎖端，因此顯示系統 1000 可具有較低的成本。

綜上所述，本發明提供一種資料處理模組，可處理一對應的主控裝置透過一指令串列訊號或是一時脈訊號所傳送之一預設指令。本發明之資料處理模組根據該預設指令可控制指令暫存器儲存先進先出暫存電路中所暫存之指令串列訊號所傳送之資料以閃鎖指令，

或是控制資料暫存器儲存先進先出暫存電路中所暫存之指令串列訊號所傳送之資料以門鎖資料。如此一來，本發明之資料處理模組不需額外的腳位作為門鎖端，因此可減少成本。利用本發明之資料處理模組，本發明另提供一堆疊式資料傳輸系統，由於在本發明之堆疊式資料傳輸系統中之每個資料處理模組皆不需額外的腳位作為門鎖端，因此本發明之堆疊式資料傳輸系統可具有較低的成本。此外，根據本發明之資料處理模組之基本精神，本發明提供可應用於大型的顯示系統之發光模組，以減少顯示系統的成本，帶給使用者更大的方便。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

- 第 1 圖係為說明先前技術之堆疊式資料傳輸系統之示意圖。
- 第 2 圖係為說明先前技術之資料處理模組之示意圖。
- 第 3 圖係為說明根據本發明之第一實施例之資料處理模組之示意圖。
- 第 4 圖係為說明根據本發明之第二實施例之資料處理模組之示意圖。
- 第 5 圖係為說明根據本發明之第三實施例之資料處理模組之示意圖。

第 6 圖係為說明本發明之堆疊式資料傳輸系統之示意圖。

第 7 圖係為說明根據本發明之第一實施例之發光模組之示意圖。

第 8 圖係為說明根據本發明之第二實施例之發光模組之示意圖。

第 9 圖係為說明根據本發明之第三實施例之發光模組之示意圖。

第 10 圖係為說明本發明之顯示系統之示意圖。

【主要元件符號說明】

100、600	堆疊式資料傳輸系統
300、400、500、 DPM ₁ ~DPM _N	資料處理模組
110、610、1010	主控裝置
310、410、510、 CR ₁ ~CR _N	指令暫存器
320、420、520、 DR ₁ ~DR _N	資料暫存器
330、430、530、 FIFO ₁ ~FIFO _N	先進先出暫存電路
331、332、432、531、 532	暫存電路
340	邏輯電路
440	頻率判斷電路

540	頻率偵測電路
550	預設指令處理電路
700、800、900、 LM ₁ ~LM _N	發光模組
750、850、960	發光電路
760、860、970	驅動電路
1000	顯示系統
LED _R 、LED _G 、LED _B	發光二極體
S _{CLK}	時脈訊號
S _{CMD}	指令串列訊號
S _{LC}	指令閃鎖訊號
S _{LD}	資料閃鎖訊號
S _{PFQ}	預定頻率訊號
TU _{1_1} ~TU _{1_X} 、 TU _{2_1} ~TU _{2_Y} 、 TU ₁ ~TU _K	暫存單元

七、申請專利範圍：

1. 一種資料處理模組，用來處理一指令串列訊號，可用來串聯連接以形成一堆疊式資料傳輸系統，該資料處理模組包含：
 - 一指令暫存器；
 - 一資料暫存器；
 - 一先進先出暫存電路，用來根據一時脈訊號，以傳送與暫存該指令串列訊號，該先進先出暫存電路包含：
 - 一第一暫存電路，用來暫存該指令串列訊號之該第一區段；
 - 以及
 - 一第二暫存電路，用來暫存該指令串列訊號之該第二區段；
 - 以及
 - 一邏輯電路，用來根據該先進先出暫存電路所儲存之該指令串列訊號之一第一區段之相鄰的一第一、一第二，以及一第三位元以判斷該先進先出暫存電路所儲存之該指令串列訊號之該第一區段是否為一預設指令；
- 其中當該第一、該第二與該第三位元符合一資料型態時，該邏輯電路判斷該第一區段為該預設指令，且該邏輯電路根據該預設指令，以控制該指令暫存器或該資料暫存器儲存該指令串列訊號之一第二區段所傳送之資料；
- 其中當該第一位元與該第三位元之邏輯相同且相異於該第二位元時，該第一、該第二與該第三位元符合該資料型態；
- 其中當該第一位元與該第三位元皆表示一第一預設邏輯，且該

第二位元表示一第二預設邏輯時，該預設指令表示指令門鎖，且該邏輯電路控制該指令暫存器儲存該第二暫存電路所儲存之該指令串列訊號之該第二區段所傳送之資料。

2. 如請求項 1 所述之資料處理模組，其中當該第一位元、該第三位皆表示該第二預設邏輯且該第二位元為該第一預設邏輯時，該預設指令表示資料門鎖，且該邏輯電路控制該資料暫存器儲存該第二暫存電路所儲存之該指令串列訊號之該第二區段所傳送之資料。
3. 一種資料處理模組，用來處理一指令串列訊號，可用來串聯連接以形成一堆疊式資料傳輸系統，該資料處理模組包含：
 - 一指令暫存器；
 - 一資料暫存器；
 - 一先進先出暫存電路，用來根據一時脈訊號，以傳送與暫存該指令串列訊號，該先進先出暫存電路包含：
 - 一第一暫存電路，用來暫存該指令串列訊號之該第一區段；
 - 以及
 - 一第二暫存電路，用來暫存該指令串列訊號之該第二區段；
 - 以及
 - 一邏輯電路，用來根據該先進先出暫存電路所儲存之該指令串列訊號之一第一區段之相鄰的一第一、一第二，以及一第三位元以判斷該先進先出暫存電路所儲存之該指令串列訊號

之該第一區段是否為一預設指令；

其中當該第一、該第二與該第三位元符合一資料型態時，該邏輯電路判斷該第一區段為該預設指令，且該邏輯電路根據該預設指令，以控制該指令暫存器或該資料暫存器儲存該指令串列訊號之一第二區段所傳送之資料；

其中當該第一位元與該第三位元之邏輯相同且相異於該第二位元時，該第一、該第二與該第三位元符合該資料型態；

其中該第三位元相鄰於一第四位元，該第四位元相鄰一第五位元，該第五位元相鄰一第六位元；當該第一位元、該第三位元與該第五位元皆表示一第一預設邏輯且該第二位元、該第四位元與該第六位元皆表示一第二預設邏輯時，該預設指令表示指令閃鎖，且該邏輯電路控制該指令暫存器儲存該第二暫存電路所儲存之該指令串列訊號之該第二區段所傳送之資料。

4. 如請求項3所述之資料處理模組，其中當該第一位元、該第三位元、該第四位元與該第五位元皆表示該第一預設邏輯且該第二位元與該第六位元皆表示該第一預設邏輯時，該預設指令表示資料閃鎖，且該邏輯電路控制該資料暫存器儲存該第二暫存電路所儲存之該指令串列訊號之該第二區段所傳送之資料。
5. 一種資料處理模組，用來處理一指令串列訊號，可用來串聯連接以形成一堆疊式資料傳輸系統，該資料處理模組包含：

- 一指令暫存器；
 - 一資料暫存器；
 - 一先進先出暫存電路，用來根據一時脈訊號，以傳送與暫存該指令串列訊號，該先進先出暫存電路包含：
 - 一第一暫存電路，用來暫存該指令串列訊號之該第一區段；
 - 以及
 - 一第二暫存電路，用來暫存該指令串列訊號之該第二區段；
 - 以及
 - 一邏輯電路，用來根據該先進先出暫存電路所儲存之該指令串列訊號之一第一區段之相鄰的一第一、一第二，以及一第三位元以判斷該先進先出暫存電路所儲存之該指令串列訊號之該第一區段是否為一預設指令；
- 其中當該第一、該第二與該第三位元符合一資料型態時，該邏輯電路判斷該第一區段為該預設指令，且該邏輯電路根據該預設指令，以控制該指令暫存器或該資料暫存器儲存該指令串列訊號之一第二區段所傳送之資料；
- 其中當該第一位元與該第三位元之邏輯相同且相異於該第二位元時，該第一、該第二與該第三位元符合該資料型態；
- 其中該第三位元相鄰於一第四位元，該第四位元相鄰一第五位元，該第五位元相鄰一第六位元；當該第一位元、該第三位元與該第五位元皆表示一第一預設邏輯且該第二位元、該第四位元與該第六位元皆表示一第二預設邏輯時，該預設指令表示資料閃鎖，且該邏輯電路控制該資料暫存器儲

存該第二暫存電路所儲存之該指令串列訊號之該第二區段所傳送之資料。

6. 如請求項 5 所述之資料處理模組，其中當該第一位元、該第三位元、該第四位元與該第五位元皆表示該第一預設邏輯且該第二位元與該第六位元皆表示該第一預設邏輯時，該預設指令表示指令門鎖，且該邏輯電路控制該指令暫存器儲存該第二暫存電路所儲存之該指令串列訊號之該第二區段所傳送之資料。
7. 一種堆疊式資料傳輸系統，包含：
 - 一主控裝置，用來產生一時脈訊號與一指令串列訊號；以及
 - 複數個如請求項 1、3 或 5 所述之資料處理模組，用來接收該時脈訊號，以處理該指令串列訊號；其中該複數個資料處理模組之先進先出暫存電路互相串聯連接。
8. 一種發光模組，包含：
 - 如請求項 1、3 或 5 所述之資料處理模組，用來處理一指令串列訊號；
 - 一發光電路，用來根據一發光控制訊號以發光；以及
 - 一驅動電路，用來根據如請求項 1 所述之資料處理模組之該指令暫存器所儲存之指令與該資料暫存器所儲存之資料，以產生該發光控制訊號。

9. 如請求項 8 所述之發光模組，其中該發光電路係為發光二極體。
10. 一種顯示系統，包含：
一主控裝置，用來產生一時脈訊號與一指令串列訊號；以及
複數個如請求項 8 所述之發光模組，用來接收該時脈訊號，以
處理該指令串列訊號，並據以發光；
其中該複數個如請求項 8 所述之發光模組之先進先出暫存電路
互相串聯連接。
11. 一種資料處理模組，用來處理一指令串列訊號，可用來串聯連
接以形成一堆疊式資料傳輸系統，該資料處理模組包含：
一指令暫存器；
一資料暫存器；
一先進先出暫存電路，用來根據一時脈訊號以傳送與暫存該指
令串列訊號；以及
一頻率判斷電路，用來偵測該時脈訊號之頻率，以控制該指令
暫存器或該資料暫存器儲存該指令串列訊號所傳送之資料。
12. 如請求項 11 所述之資料處理模組，其中該先進先出暫存電路包
含：
一第一暫存電路，用來暫存該指令串列訊號。

13. 如請求項 12 所述之資料處理模組，其中當該頻率判斷電路判斷該時脈訊號之頻率等於一第一預定頻率時，該頻率判斷電路控制該指令暫存器儲存該第一暫存電路所儲存之該指令串列訊號所傳送之資料。
14. 如請求項 13 所述之資料處理模組，其中當該頻率判斷電路判斷該時脈訊號之頻率等於一第二預定頻率時，該頻率判斷電路控制該資料暫存器儲存該第一暫存電路所儲存之該指令串列訊號所傳送之資料。
15. 一種堆疊式資料傳輸系統，包含：
 - 一主控裝置，用來產生一時脈訊號與一指令串列訊號；以及
 - 複數個如請求項 11 所述之資料處理模組，用來接收該時脈訊號，以處理該指令串列訊號；
 - 其中該複數個如請求項 11 所述之資料處理模組之先進先出暫存電路互相串聯連接。
16. 一種發光模組，包含：
 - 如請求項 11 所述之資料處理模組，用來處理一指令串列訊號；
 - 一發光電路，用來根據一發光控制訊號以發光；以及
 - 一驅動電路，用來根據如請求項 11 所述之資料處理模組之該指令暫存器所儲存之指令與該資料暫存器所儲存之資料，以產生該發光控制訊號。

17. 如請求項 16 所述之發光模組，其中該發光電路係為發光二極體。
18. 一種顯示系統，包含：
一主控裝置，用來產生一時脈訊號與一指令串列訊號；以及
複數個如請求項 16 所述之發光模組，用來接收該時脈訊號，以
處理該指令串列訊號，並據以發光；
其中該複數個如請求項 16 所述之發光模組之先進先出暫存電路
互相串聯連接。
19. 一種資料處理模組，用來處理一指令串列訊號，可用來串聯連
接以形成一堆疊式資料傳輸系統，該資料處理模組包含：
一指令暫存器；
一資料暫存器；
一先進先出暫存電路，用來根據一時脈訊號以傳送與暫存該指
令串列訊號；
一頻率偵測電路，用來偵測該時脈訊號之頻率，以產生一預定
頻率訊號；
其中當該頻率偵測電路判斷該時脈訊號之頻率等於一預定
頻率時，該頻率偵測電路產生該預定頻率訊號；以及
一預設指令處理電路，用來根據該預定頻率訊號，以判斷該指
令串列訊號之一第一區段係為一預設指令，並根據該預設指
令以控制該指令暫存器或該資料暫存器儲存該指令串列訊

號之一第二區段所傳送之資料。

20. 如請求項 19 所述之資料處理模組，其中該先進先出暫存電路包含：
- 一第一暫存電路，用來暫存該指令串列訊號之該第一區段；以及
 - 一第二暫存電路，用來暫存該指令串列訊號之該第二區段。
21. 如請求項 20 所述之資料處理模組，其中當該預設指令表示指令門鎖時，該預設指令處理電路控制該指令暫存器儲存該第二暫存電路所儲存之該指令串列訊號之該第二區段所傳送之資料。
22. 如請求項 21 所述之資料處理模組，其中當該預設指令表示資料門鎖時，該預設指令處理電路控制該資料暫存器儲存該第二暫存電路所儲存之該指令串列訊號之該第二區段所傳送之資料。
23. 一種堆疊式資料傳輸系統，包含：
- 一主控裝置，用來產生一時脈訊號與一指令串列訊號；以及
 - 複數個如請求項 19 所述之資料處理模組，用來接收該時脈訊號，以處理該指令串列訊號；
- 其中該複數個如請求項 19 所述之資料處理模組之先進先出暫存電路互相串聯連接。

24. 一種發光模組，包含：
如請求項 19 所述之資料處理模組，用來處理一指令串列訊號；
一發光電路，用來根據一發光控制訊號以發光；以及
一驅動電路，用來根據如請求項 19 所述之資料處理模組之該指令暫存器所儲存之指令與該資料暫存器所儲存之資料，以產生該發光控制訊號。
25. 如請求項 24 所述之發光模組，其中該發光電路係為發光二極體。
26. 一種顯示系統，包含：
一主控裝置，用來產生一時脈訊號與一指令串列訊號；以及
複數個如請求項 24 所述之發光模組，用來接收該時脈訊號，以處理該指令串列訊號，並據以發光；
其中該複數個如請求項 24 所述之發光模組之先進先出暫存電路互相串聯連接。
27. 一種適用於一資料處理模組之資料處理方法，該資料處理模組包含一指令暫存器、一資料暫存器，以及一先進先出暫存電路，該先進先出暫存電路用來根據一時脈訊號以傳送與暫存一指令串列訊號，該先進先出暫存電路包含一第一暫存電路以及一第二暫存電路，該第一暫存電路用來暫存該指令串列訊號之一第一區段，該第二暫存電路用來暫存該指令串列訊號之一第二區段，該第一暫存電路所儲存之該指令串列訊號之該第一區段包

含相鄰的一第一、一第二，以及一第三位元，該資料處理方法包含：

當該第一、該第二與該第三位元符合一資料型態時，判斷該第一區段為該預設指令；

當該預設指令表示指令閃鎖時，控制該指令暫存器儲存該第二暫存電路所儲存之該指令串列訊號之該第二區段所傳送之資料；以及

當該預設指令表示資料閃鎖時，控制該資料暫存器儲存該第二暫存電路所儲存之該指令串列訊號之該第二區段所傳送之資料。

28. 如請求項 27 所述之資料處理方法，其中當該第一位元與第三位元之邏輯相同且相異於該第二位元時，該第一、該第二與該第三位元符合該資料型態。
29. 如請求項 27 所述之資料處理方法，其中當該第一位元、該第三位元，以及與該第三位元相鄰之一第四位元皆表示一第一預設邏輯且該第二位元表示一第二預設邏輯時，該預設指令表示指令閃鎖；當該第一位元、該第三位元，以及該第四位元皆表示該第二預設邏輯且該第二位元為該第一預設邏輯時，該預設指令表示資料閃鎖。
30. 如請求項 27 所述之資料處理方法，其中當該第一位元、該第三

位元、與該第三位元相鄰之一第四位元，以及與該第四位元相鄰之一第五位元皆表示一第一預設邏輯且該第二位元表示一第二預設邏輯時，該預設指令表示指令門鎖；當該第一位元、該第三位元皆表示該第一預設邏輯且該第二位元、該第四位元以及該第五位元表示該第二預設邏輯時，該預設指令表示資料門鎖。

31. 如請求項 27 所述之資料處理方法，其中當該第一位元、該第三位元、與該第三位元相鄰之一第四位元，以及與該第四位元相鄰之一第五位元皆表示一第一預設邏輯且該第二位元表示一第二預設邏輯時，該預設指令表示資料門鎖；當該第一位元、該第三位元皆表示該第一預設邏輯且該第二位元、該第四位元以及該第五位元表示該第二預設邏輯時，該預設指令表示指令門鎖。

32. 一種適用於一資料處理模組之資料處理方法，該資料處理模組包含一指令暫存器、一資料暫存器，以及一先進先出暫存電路，該先進先出暫存電路用來根據一時脈訊號以傳送與暫存一指令串列訊號，該先進先出暫存電路包含一第一暫存電路以及一第二暫存電路，該第一暫存電路用來暫存該指令串列訊號之一第一區段，該第二暫存電路用來暫存該指令串列訊號之一第二區段，該資料處理方法包含：

當判斷該時脈訊號之頻率等於一第一預定頻率時，控制該指令

暫存器儲存該第二暫存電路所儲存之該指令串列訊號之該第二區段所傳送之資料；以及

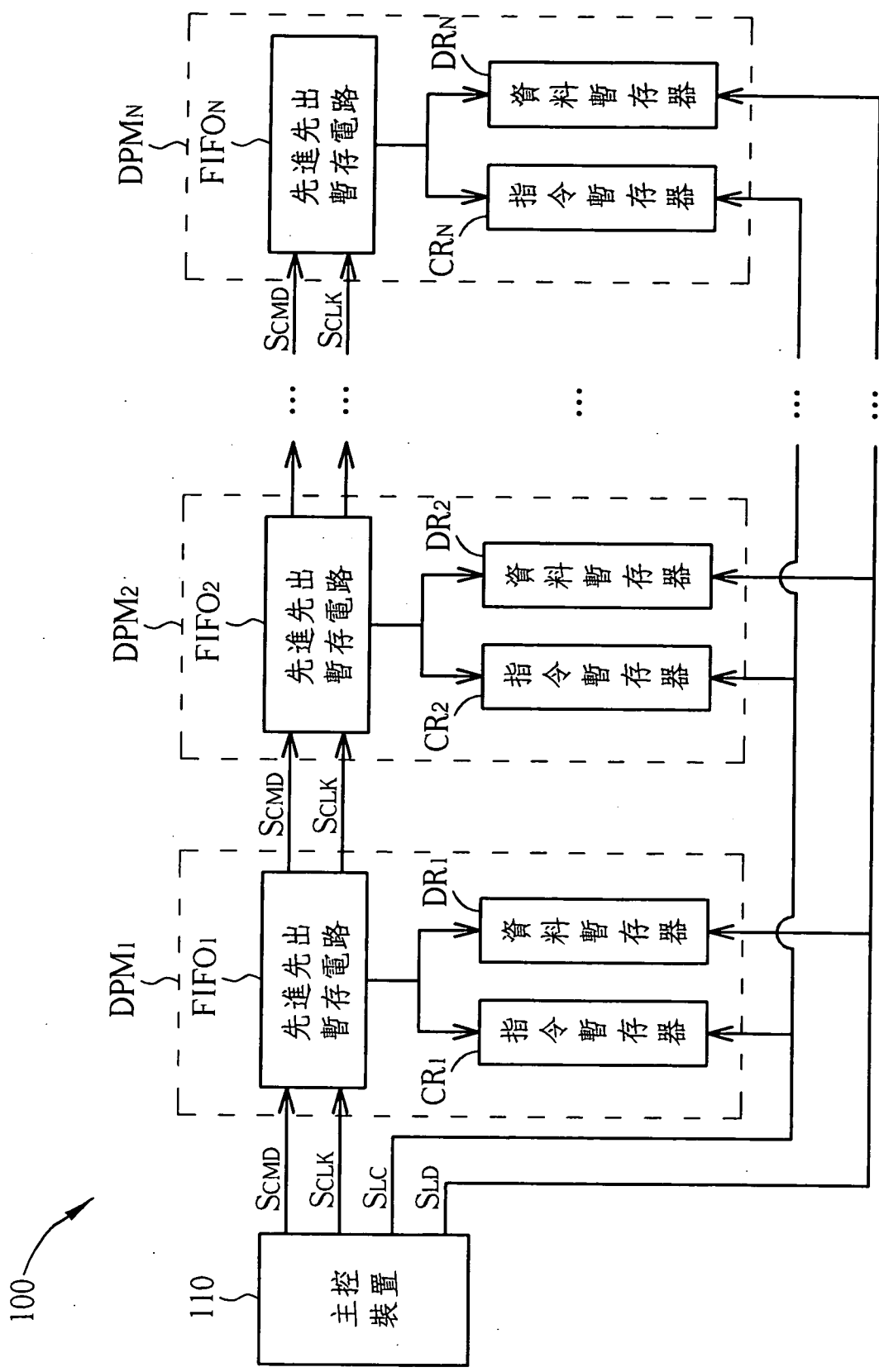
當判斷該時脈訊號之頻率等於一第二預定頻率時，控制該資料暫存器儲存該第二暫存電路所儲存之該指令串列訊號之該第二區段所傳送之資料。

33. 一種適用於一資料處理模組之資料處理方法，該資料處理模組包含一指令暫存器、一資料暫存器，以及一先進先出暫存電路，該先進先出暫存電路用來根據一時脈訊號以傳送與暫存一指令串列訊號，該先進先出暫存電路包含一第一暫存電路以及一第二暫存電路，該第一暫存電路用來暫存該指令串列訊號之一第一區段，該第二暫存電路用來暫存該指令串列訊號之一第二區段，該資料處理方法包含：

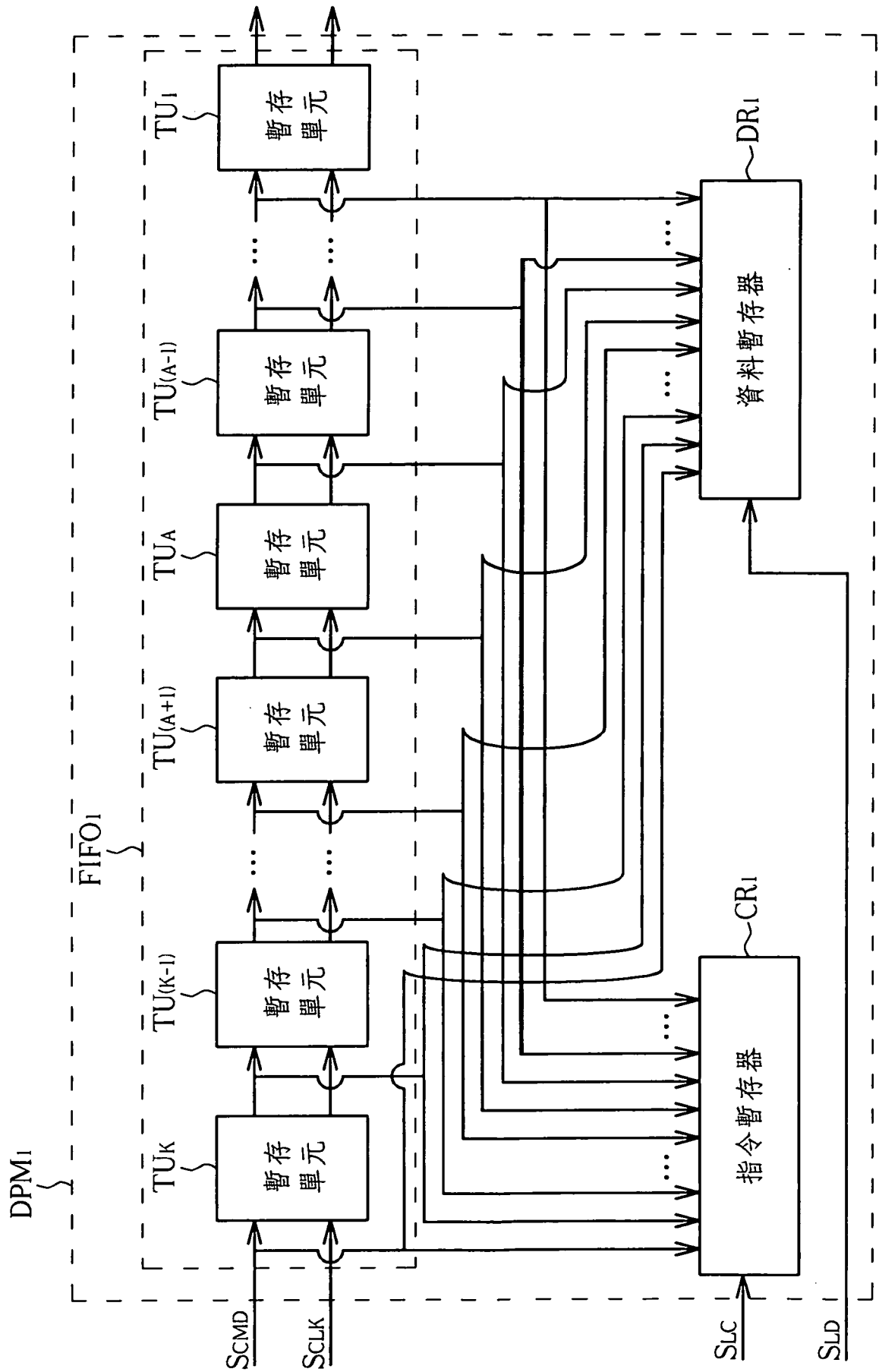
當判斷該時脈訊號之頻率等於一預定頻率時判斷該第一暫存電路所儲存之該指令串列訊號之該第一區段係為一預設指令；當該預設指令表示指令閃鎖時，控制該指令暫存器儲存該第二暫存電路所儲存之該指令串列訊號之該第二區段所傳送之資料；以及

當該預設指令表示資料閃鎖時，控制該資料暫存器儲存該第二暫存電路所儲存之該指令串列訊號之該第二區段所傳送之資料。

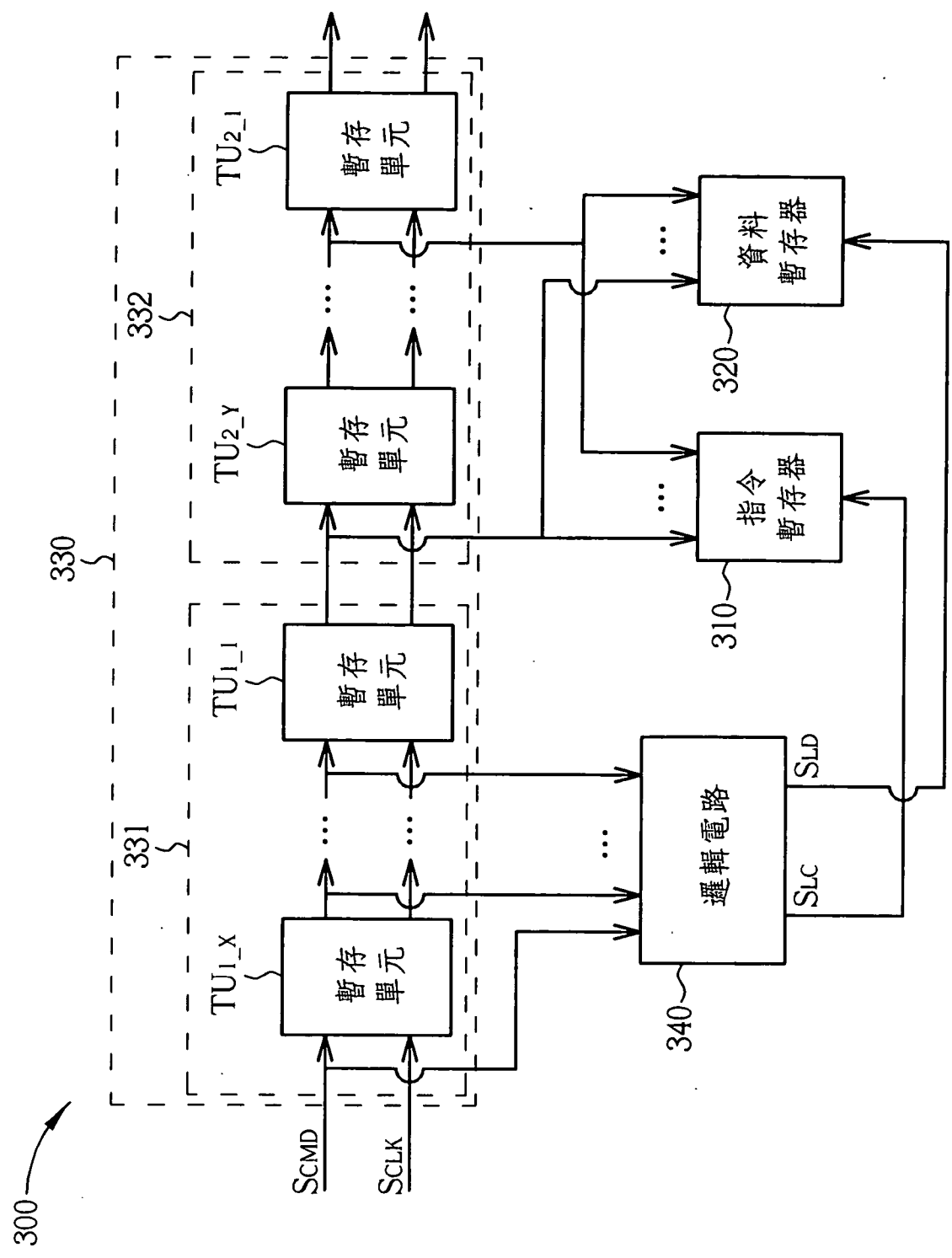
八、圖式：



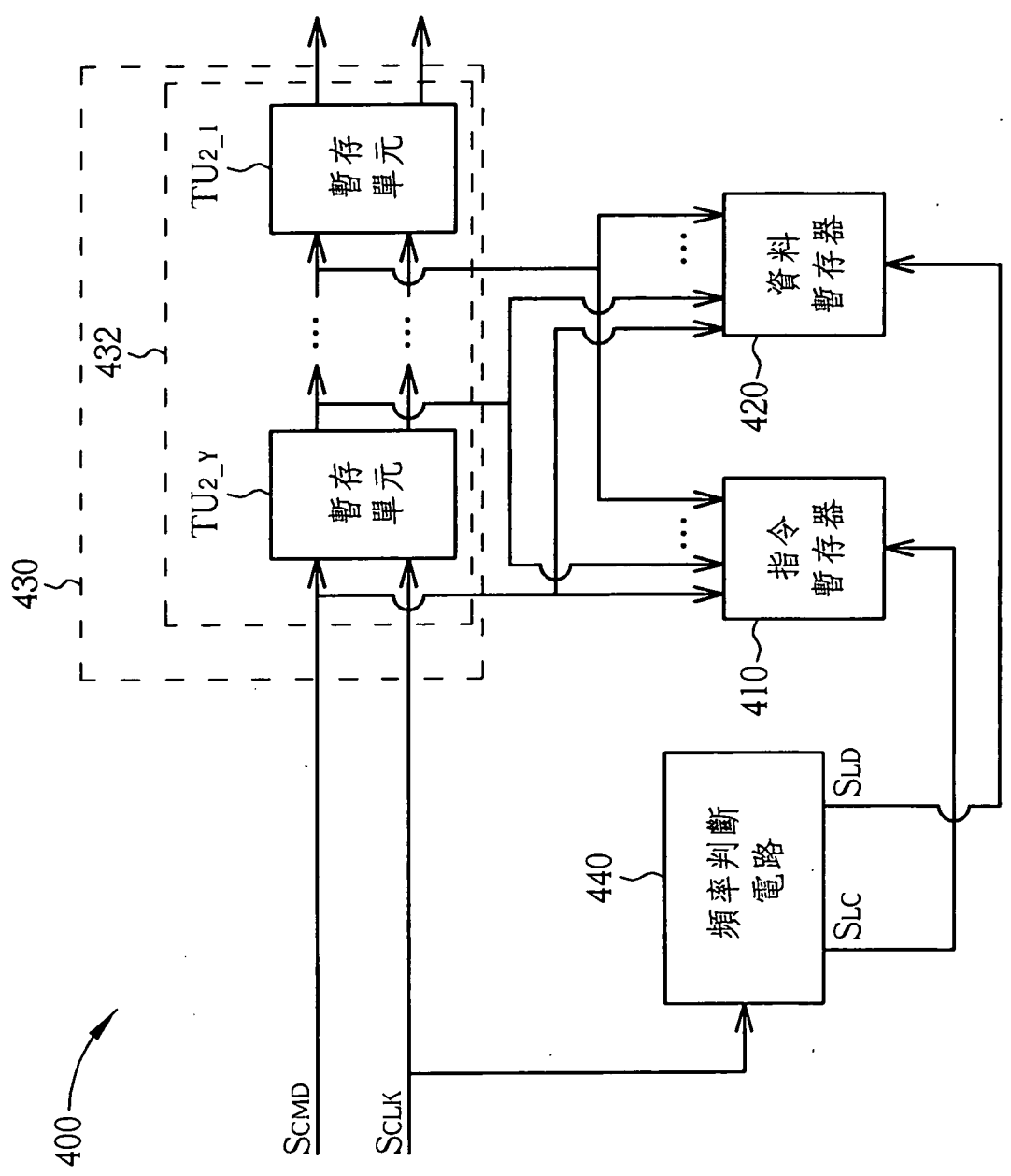
第1圖



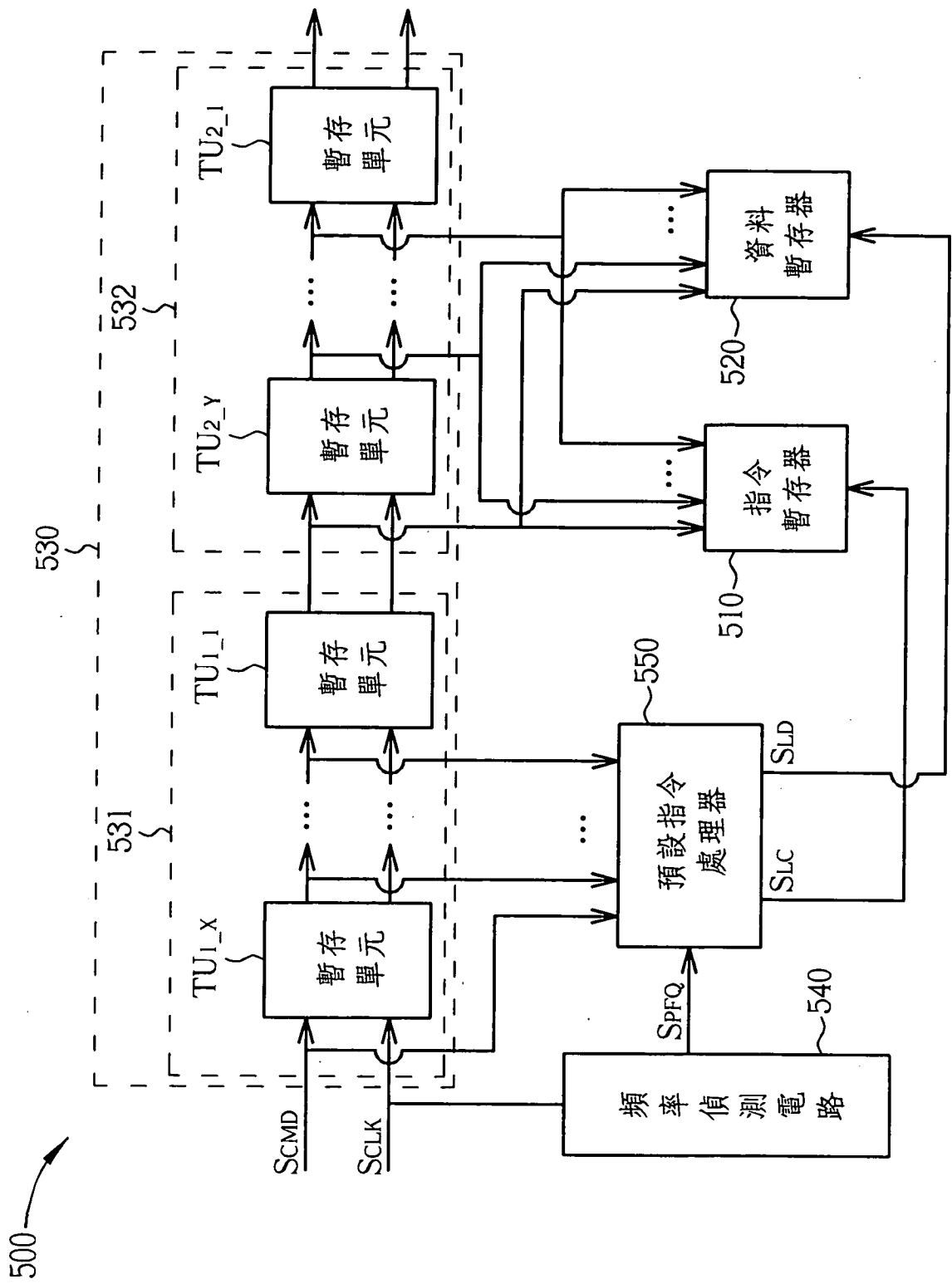
第2圖



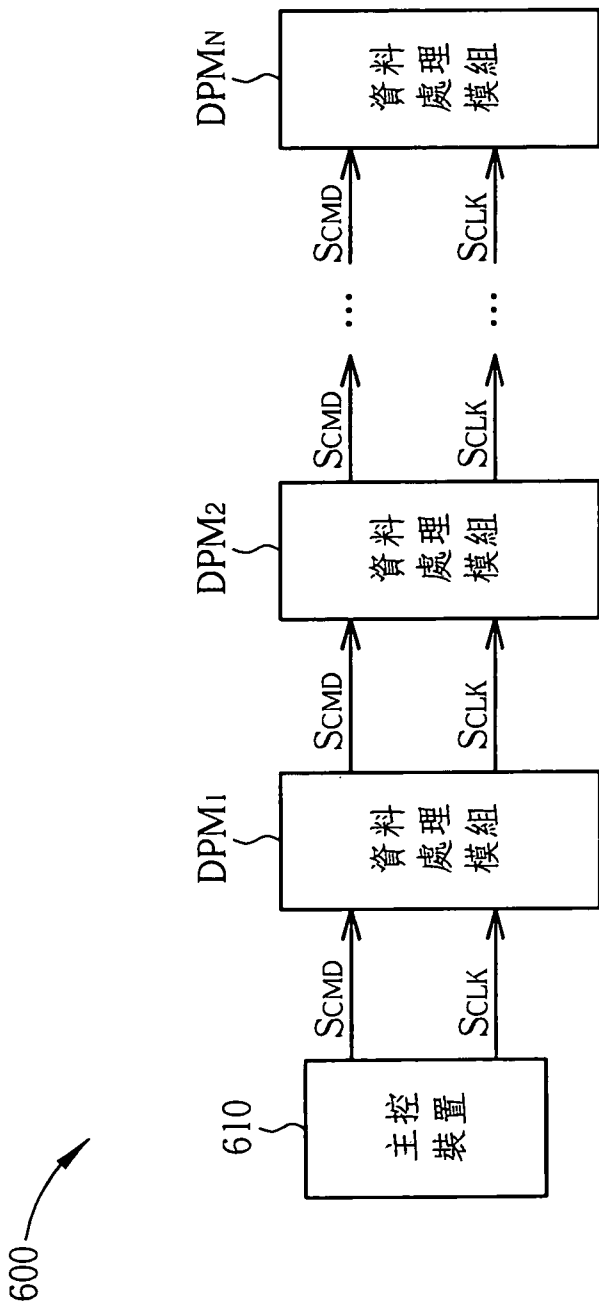
第3圖



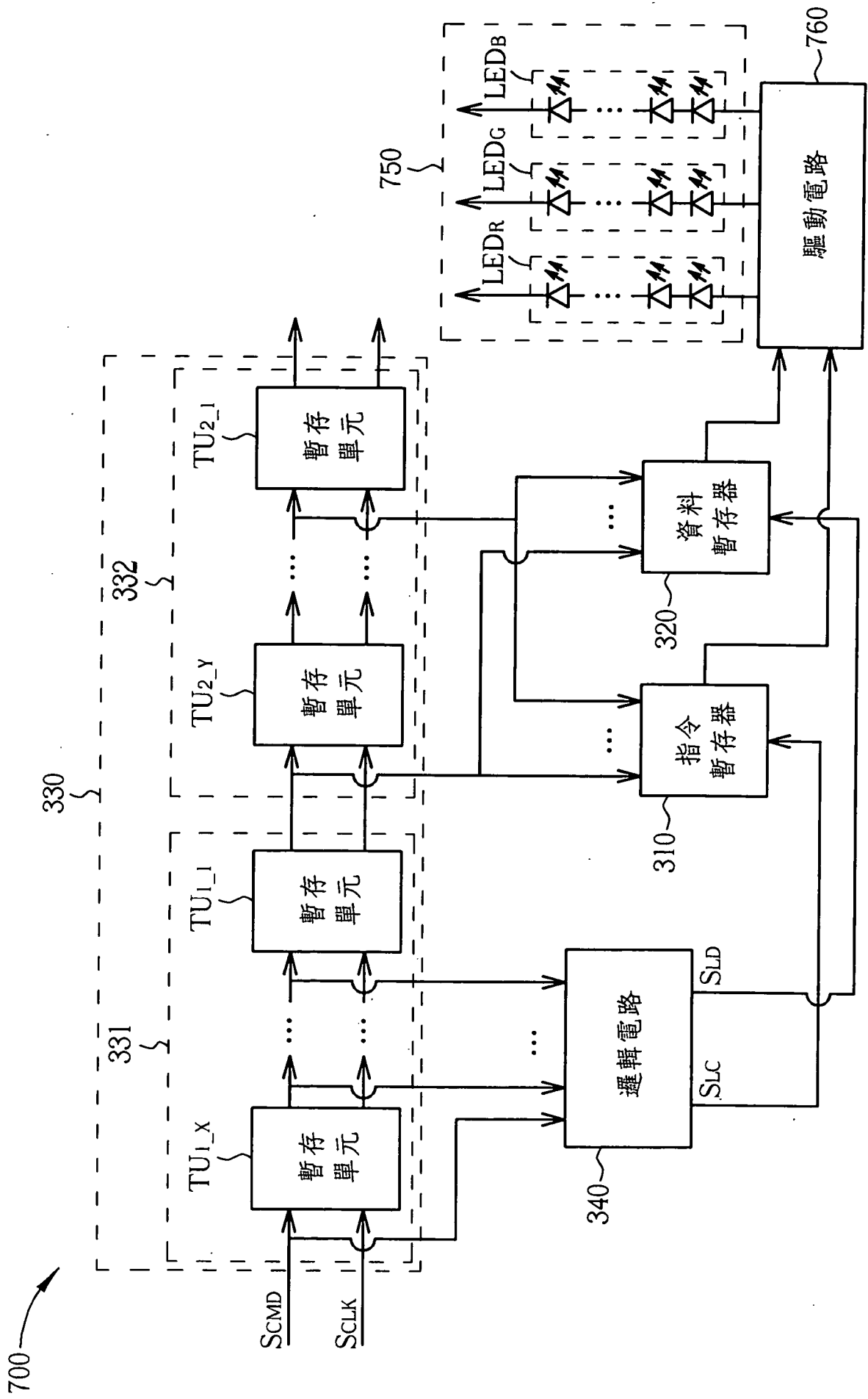
第4圖



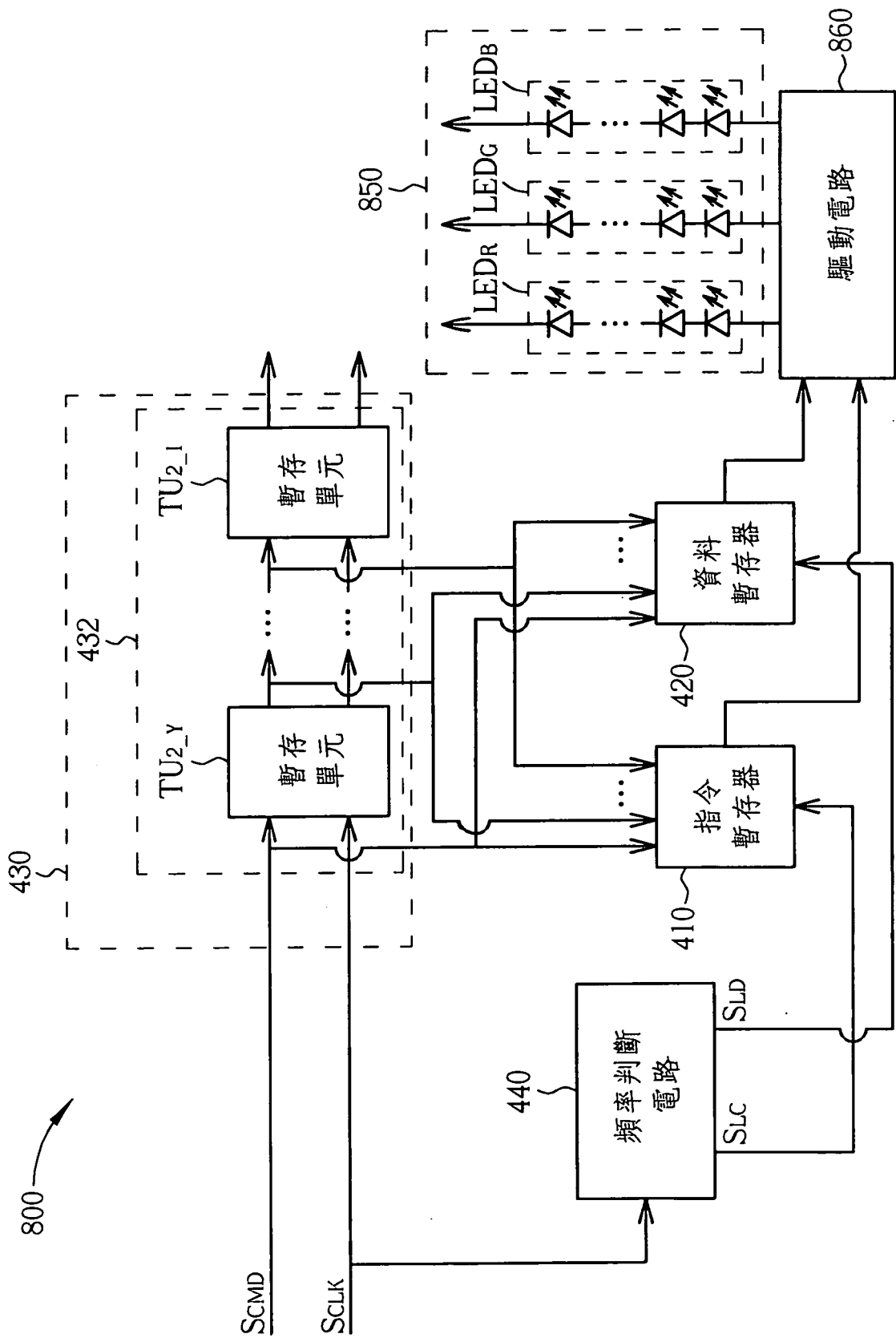
第5圖



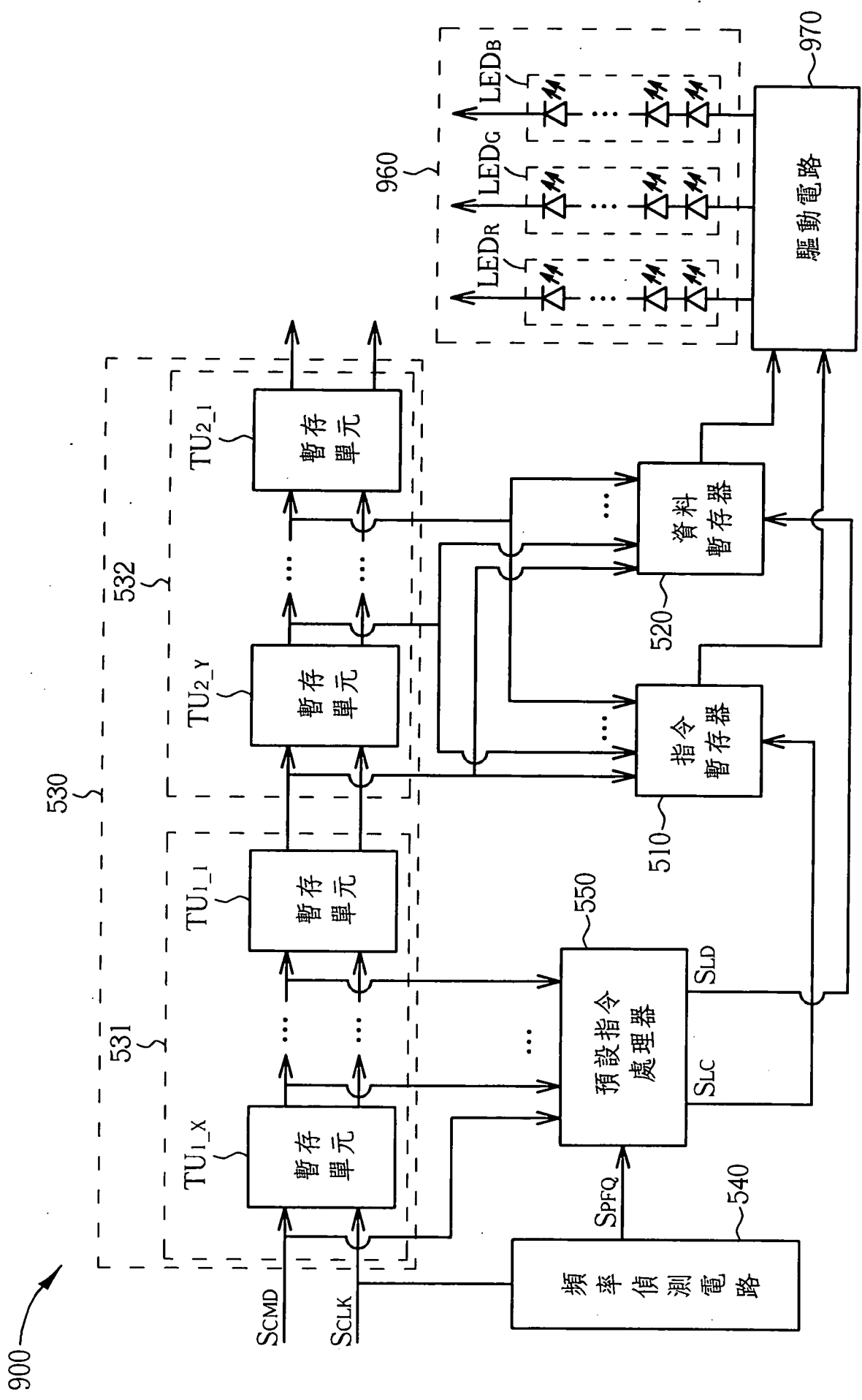
第6圖



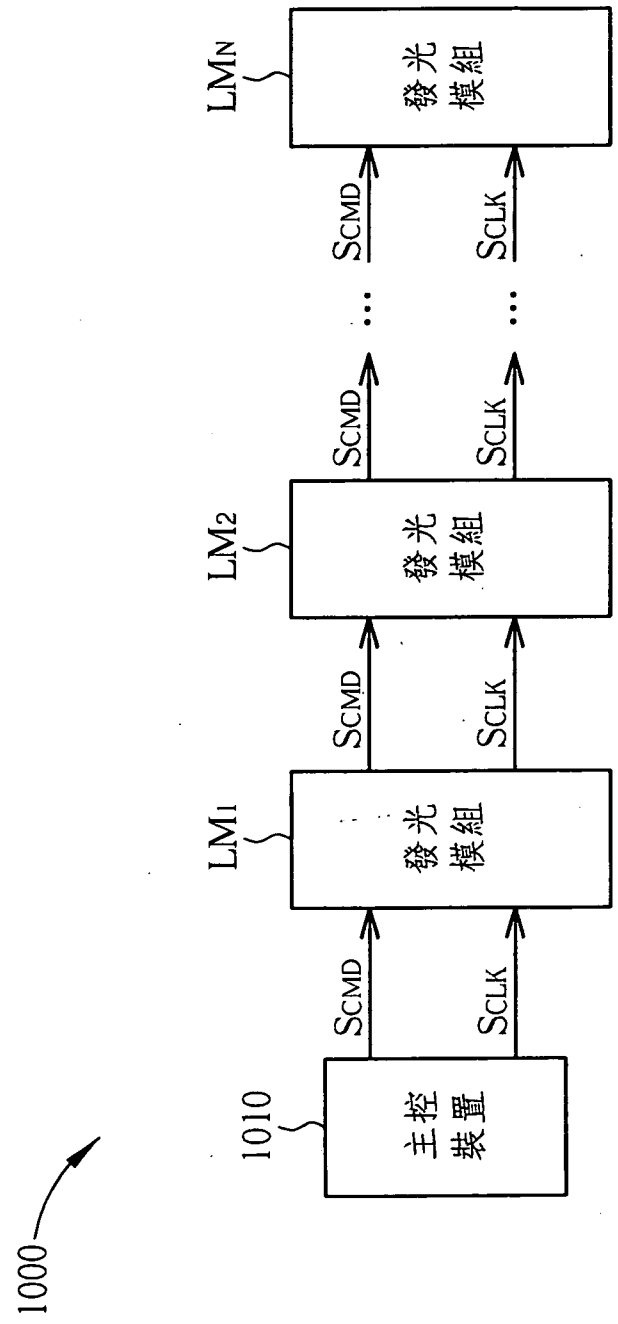
第7圖



第8圖



第9圖



第10圖