

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4756302号
(P4756302)

(45) 発行日 平成23年8月24日(2011.8.24)

(24) 登録日 平成23年6月10日(2011.6.10)

(51) Int. Cl.	F I	
GO 1 R 19/00 (2006.01)	GO 1 R 19/00	U
B 6 O L 11/18 (2006.01)	GO 1 R 19/00	B
GO 1 R 31/36 (2006.01)	B 6 O L 11/18	G
HO 1 M 10/48 (2006.01)	GO 1 R 31/36	A
HO 2 J 7/00 (2006.01)	HO 1 M 10/48	P
請求項の数 4 (全 9 頁) 最終頁に続く		

(21) 出願番号 特願2001-289148 (P2001-289148)
 (22) 出願日 平成13年9月21日(2001.9.21)
 (65) 公開番号 特開2003-14792 (P2003-14792A)
 (43) 公開日 平成15年1月15日(2003.1.15)
 審査請求日 平成19年10月9日(2007.10.9)
 (31) 優先権主張番号 特願2001-131940 (P2001-131940)
 (32) 優先日 平成13年4月27日(2001.4.27)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 (74) 代理人 100081776
 弁理士 大川 宏
 (72) 発明者 藤田 浩
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 (72) 発明者 小林 徹也
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 審査官 武田 知晋

最終頁に続く

(54) 【発明の名称】 フライングキャパシタ式組電池電圧検出装置

(57) 【特許請求の範囲】

【請求項1】

3以上のフライングキャパシタと、

互いに直列接続された多数の電池モジュールからなる組電池の各電極端子を所定の前記フライングキャパシタの両端に順次接続して前記各電池モジュールの電圧を前記各フライングキャパシタに順次印加するマルチプレクサと、

一对の入力端子間の電位差を検出する差動電圧検出回路と、

前記各フライングキャパシタの蓄電電圧を前記差動電圧検出回路の前記一对の入力端子間に順番に印加する出力側サンプリングスイッチと、

を備え、

前記3以上のフライングキャパシタのうち一つの前記フライングキャパシタが前記差動増幅回路に蓄電電圧を読み出す電圧読み出し期間に設定され且つ他の一つの前記フライングキャパシタが前記電池モジュールから電圧を読み込む電圧読み込み期間に設定されている所定期間の少なくとも一部において、残りの前記フライングキャパシタが電圧読み出しも電圧読み込みもしていないアイドル期間に設定されることを特徴とするフライングキャパシタ式組電池電圧検出装置。

【請求項2】

請求項1記載のフライングキャパシタ式組電池電圧検出装置において、

前記フライングキャパシタの数は3であり、前記電圧読み出し期間と前記電圧読み込み期間とアイドル期間との長さの比は、2:5:2であることを特徴とするフライングキャ

パシタ式組電池電圧検出装置。

【請求項 3】

請求項 1 または 2 記載のフライングキャパシタ式組電池電圧検出装置において、前記差動電圧検出回路の前記一対の入力端間を短絡するリセットスイッチを有することを特徴とするフライングキャパシタ式組電池電圧検出装置。

【請求項 4】

請求項 1 から 3 のいずれか 1 項記載のフライングキャパシタ式組電池電圧検出装置において、

前記各フライングキャパシタの前記電圧読み出し期間は、それぞれ等しく設定され、かつ、それぞれ等しい時間だけずれており、

前記各フライングキャパシタの前記電圧読み出し期間は、前記電圧読み込み期間の直後に設定され、かつ、次の前記フライングキャパシタの前記電圧読み出し期間の開始前に終了することを特徴とするフライングキャパシタ式組電池電圧検出装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フライングキャパシタ式組電池電圧検出装置に関し、特に車両用組電池に用いるフライングキャパシタ式組電池電圧検出装置に関する。

【0002】

【従来の技術】

たとえばハイブリッド自動車や電気自動車、燃料電池車などでは、二次電池や燃料電池からなる組電池は互いに直列接続した多数の電池モジュールにより構成され、電池モジュールは所定数の単電池を直列接続して構成されている。

【0003】

各電池モジュールの電位が高くかつそれぞれ異なるために、各電池モジュールの電圧計測は、各電池モジュールを出力側の差動電圧検出回路の基準電位から絶縁可能なフライングキャパシタ式組電池電圧検出装置が好適である。

【0004】

【発明が解決しようとする課題】

しかしながら、各電池モジュールごとに電圧検出回路を装備することは装置の大規模化を招くとともに、各差動電圧検出回路間のオフセット誤差や電圧増幅率誤差も補償する必要があるため、マルチプレクサを用いて各電池モジュール電圧を時間順次にサンプリングして共通のフライングキャパシタに読み込むことによりフライングキャパシタや差動電圧検出回路の必要個数を低減したマルチプレクサ付きフライングキャパシタ式組電池電圧検出装置が好適な回路構成となる。

【0005】

しかしながら、このマルチプレクサ付きフライングキャパシタ式組電池電圧検出装置によれば、全ての電池モジュール電圧を計測するのに必要な全計測時間は、各電池モジュールの電圧を差動電圧検出回路で検出する時間（モジュール電圧計測時間）の総和となる。このため、最初の電池モジュールの計測時点と、最後の電池モジュールの計測時点との間にかなるの時間が経過するため、この間に、充放電している組電池の状態が変化し、正確な組電池状態が計測できないという問題があった。

【0006】

この問題は、フライングキャパシタのモジュール電圧読み込み、読み出し過程が本質的にコンデンサのCR充放電過程であり、その検出精度を向上するには時間を掛ける必要があるという点により一層助長される。

【0007】

本発明は、上記問題点に鑑みなされたものであり、回路構成の複雑化を抑止しつつ、組電池電圧の計測時間の短縮を実現可能なフライングキャパシタ式組電池電圧検出装置を提供することを、その目的としている。

10

20

30

40

50

【 0 0 0 8 】

【課題を解決するための手段】

本発明のフライングキャパシタ式組電池電圧検出装置は、3以上のフライングキャパシタと、互いに直列接続された多数の電池モジュールからなる組電池の各電極端子を所定の前記フライングキャパシタの両端に順次接続して前記各電池モジュールの電圧を前記各フライングキャパシタに順次印加するマルチプレクサと、一対の入力端子間の電位差を検出する差動電圧検出回路と、前記各フライングキャパシタの蓄電電圧を前記差動電圧検出回路の前記一対の入力端子間に順番に印加する出力側サンプリングスイッチとを備え、前記3以上のフライングキャパシタのうち一つの前記フライングキャパシタが前記差動増幅回路に蓄電電圧を読み出す電圧読み出し期間に設定され且つ他の一つの前記フライングキャパシタが前記電池モジュールから電圧を読み込む電圧読み込み期間に設定されている所定期間の少なくとも一部において、残りの前記フライングキャパシタが電圧読み出しも電圧読み込みもしていないアイドル期間に設定されることを特徴としている。

10

【 0 0 0 9 】

本構成によれば、回路構成の複雑化を抑止しつつ、組電池電圧の計測時間の短縮を実現することができる。フライングキャパシタの3つについて以下に説明する。この場合、ある一つの電池モジュールから第一のフライングキャパシタにモジュール電圧を読み込む電圧読み込み期間は、第二のフライングキャパシタから差動電圧検出回路に蓄電電圧を読み出す電圧読み出し期間と少なくとも一部オーバーラップし、第三のフライングキャパシタから差動電圧検出回路に蓄電電圧を読み出す電圧読み出し期間と少なくとも一部オーバーラップしている。また、他の電池モジュールから第二のフライングキャパシタにモジュール電圧を読み込む電圧読み込み期間は、第一のフライングキャパシタから差動電圧検出回路に蓄電電圧を読み出す電圧読み出し期間と少なくとも一部オーバーラップし、第三のフライングキャパシタから差動電圧検出回路に蓄電電圧を読み出す電圧読み出し期間と少なくとも一部オーバーラップしている。

20

【 0 0 1 0 】

好適な態様において、フライングキャパシタの数は3であり、前記電圧読み出し期間と前記電圧読み込み期間とアイドル期間との長さの比は、2 : 5 : 2とすることができる。

【 0 0 1 3 】

好適な態様においてにおいて更に、前記差動電圧検出回路の前記一対の入力端間を短絡するリセットスイッチを有することを特徴としているので、フライングキャパシタの蓄電電圧を差動電圧検出回路に読み込んだ後、差動電圧検出回路の入力端寄生容量やフライングキャパシタの蓄電電荷の消去を高速化するので、電圧読み出し期間に含まれる上記蓄電電荷消去時間を短縮して、全体としての電圧読み出し期間を短縮することができる。

30

【 0 0 1 4 】

なお、本構成では、リセットスイッチは、出力側サンプリングスイッチをオフし、差動電圧検出回路が信号電圧を出力した後でオンされることができる他、差動電圧検出回路が信号電圧を出力した後で、出力側サンプリングスイッチをオンした状態でリセットスイッチをオンしてフライングキャパシタの蓄電電荷を消去することも可能である。

【 0 0 1 5 】

また、差動電圧検出回路の出力電圧はA / Dコンバータにより所定タイミングにてサンプリングされてA / D変換されることが好適であるが、このA / Dコンバータのサンプリングタイミングは出力側サンプリングスイッチのオン期間の後期に設定されてもよく、出力側サンプリングスイッチのオフ後に設定されてもよい。

40

【 0 0 1 8 】

好適な態様において更に、前記各フライングキャパシタの前記電圧読み込み期間は、それぞれ等しく設定され、かつ、それぞれ等しい時間だけずれており、前記各フライングキャパシタの前記電圧読み出し期間は、前記電圧読み込み期間の直後に設定され、かつ、次の前記フライングキャパシタの前記電圧読み出しの開始前に終了することを特徴としている。

50

【 0 0 1 9 】

本構成によれば、各フライングキャパシタに順次読み込まれた蓄電電圧を互いにオーバーラップすることなく、一つの差動増幅回路に順次読み込むことが可能となる。また、各サンプリングスイッチの駆動信号及び差動増幅回路の出力電圧をサンプリングするA/Dコンバータのサンプリングスイッチを単純化なクロックパルス信号で駆動することができ、回路構成及びその駆動を簡素化し、サンプリングレートの向上が容易となる。

【 0 0 2 0 】

【発明の実施の形態】

以下、本発明のフライングキャパシタ式組電池電圧検出装置の好適な態様を以下の実施例により詳細に説明する。ただし、本発明は下記の実施例の構成に限定されるものではなく、置換可能な公知回路を用いて構成できることは当然である。

【 0 0 2 1 】

【実施例 1】

本発明を適用する組電池の電圧検出装置の一実施例を図1に示す回路図を参照して説明する。

(回路構成)

組電池1は、2つの電池ブロックを構成している電池モジュールV1～V10を直列接続してなる。各電池モジュールV1～V10はそれぞれ等しい数の単電池を直列接続してなる。R1～R12は保護用の電流制限抵抗素子、2、3はマルチプレクサ、4、5はフライングキャパシタ、6～9は出力側サンプリングスイッチ、10はリセットスイッチ、11は差動電圧検出回路、12はA/Dコンバータである。

【 0 0 2 2 】

マルチプレクサ2は、互いに異なる電流制限抵抗素子R1～R6を通じて高電位側の電池ブロックを構成する電池モジュールV1～V5の各電極端子に個別に接続される合計6個のサンプリングスイッチ21～26を有している。更に詳しく説明すると、フライングキャパシタ4の一端は、サンプリングスイッチ21、23、25及び電流制限抵抗素子R1、R3、R5の各対を通じて電池モジュールV1、V3、V5の正極端子に接続され、フライングキャパシタ4の他端は、サンプリングスイッチ22、24、26及び電流制限抵抗素子R2、R4、R6の各対を通じて電池モジュールV1、V3、V5の負極端子に接続されている。

【 0 0 2 3 】

マルチプレクサ3は、互いに異なる電流制限抵抗素子R7～R12を通じて低電位側の電池ブロックを構成する電池モジュールV6～V10の各電極端子に個別に接続される合計6個のサンプリングスイッチ31～36を有している。更に詳しく説明すると、フライングキャパシタ5の一端は、サンプリングスイッチ31、33、35及び電流制限抵抗素子R7、R9、R11の各対を通じて電池モジュールV6、V8、V10の正極端子に接続され、フライングキャパシタ5の他端は、サンプリングスイッチ32、34、36及び電流制限抵抗素子R8、R10、R12の各対を通じて電池モジュールV6、V8、V10の負極端子に接続されている。

【 0 0 2 4 】

出力側サンプリングスイッチ6、7は、フライングキャパシタ4の両端を差動電圧検出回路11の一对の入力端に接続し、出力側サンプリングスイッチ8、9は、フライングキャパシタ5の両端を差動電圧検出回路11の上記一对の入力端に接続している。

【 0 0 2 5 】

リセットスイッチ10は、差動電圧検出回路11の一对の入力端を短絡可能に接続され、差動電圧検出回路11の出力電圧はA/Dコンバータ12に所定のタイミングで読み込まれてデジタル信号に変換される。

【 0 0 2 6 】

(動作説明)

次に、この回路による電池モジュールV1～V10の電圧検出動作を以下に説明する。ま

10

20

30

40

50

た、各サンプリングスイッチの動作タイミングを図 2 に示す。

【 0 0 2 7 】

最初の第一期間 T 1 において、サンプリングスイッチ 2 1、2 2、出力側サンプリングスイッチ 8、9 をオンするとともに、サンプリングスイッチ 3 5、3 6、出力側サンプリングスイッチ 6、7 をオフし、電池モジュール V 1 をフライングキャパシタ 4 に読み込むとともに、フライングキャパシタ 5 の蓄電電圧を差動電圧検出回路 1 1 に読み出す。この第一期間 T 1 の後半において、リセットスイッチ 1 0 をオンし、フライングキャパシタ 5 や寄生容量の蓄電電荷を消去する。A / D コンバータ 1 2 の信号電圧取り込みはこの第一期間 T 1 内の前半のなるべく後期、すなわち、リセットスイッチ 1 0 のオン直前に実施される。

10

【 0 0 2 8 】

次の第二期間 T 2 において、サンプリングスイッチ 3 1、3 2、出力側サンプリングスイッチ 6、7 をオンするとともに、サンプリングスイッチ 2 1、2 2、出力側サンプリングスイッチ 8、9 をオフし、電池モジュール V 6 をフライングキャパシタ 5 に読み込むとともに、フライングキャパシタ 4 の蓄電電圧を差動電圧検出回路 1 1 に読み出す。この第一期間 T 2 の後半において、リセットスイッチ 1 0 をオンし、フライングキャパシタ 4 や寄生容量の蓄電電荷を消去する。A / D コンバータ 1 2 の信号電圧取り込みはこの第二期間 T 2 内の前半のなるべく後期、すなわち、リセットスイッチ 1 0 のオン直前に実施される。

【 0 0 2 9 】

次の第三期間 T 3 において、サンプリングスイッチ 2 2、2 3、出力側サンプリングスイッチ 8、9 をオンするとともに、サンプリングスイッチ 3 1、3 2、出力側サンプリングスイッチ 6、7 をオフし、電池モジュール V 2 をフライングキャパシタ 4 に読み込むとともに、フライングキャパシタ 5 の蓄電電圧を差動電圧検出回路 1 1 に読み出す。この第三期間 T 3 の後半において、リセットスイッチ 1 0 をオンし、フライングキャパシタ 5 や寄生容量の蓄電電荷を消去する。A / D コンバータ 1 2 の信号電圧取り込みはこの第三期間 T 3 内の前半のなるべく後期、すなわち、リセットスイッチ 1 0 のオン直前に実施される。

20

【 0 0 3 0 】

次の第四期間 T 4 において、サンプリングスイッチ 3 2、3 3、出力側サンプリングスイッチ 6、7 をオンするとともに、サンプリングスイッチ 2 2、2 3、出力側サンプリングスイッチ 8、9 をオフし、電池モジュール V 7 をフライングキャパシタ 5 に読み込むとともに、フライングキャパシタ 4 の蓄電電圧を差動電圧検出回路 1 1 に読み出す。この第四期間 T 4 の後半において、リセットスイッチ 1 0 をオンし、フライングキャパシタ 4 や寄生容量の蓄電電荷を消去する。A / D コンバータ 1 2 の信号電圧取り込みはこの第四期間 T 4 内の前半のなるべく後期、すなわち、リセットスイッチ 1 0 のオン直前に実施される。

30

【 0 0 3 1 】

以下、同様に、各電池モジュールのモジュール電圧を A / D 変換する。

【 0 0 3 2 】

本実施例によれば、一对のフライングキャパシタの一方のフライングキャパシタのモジュール電圧読み込み期間と他方のフライングキャパシタの蓄電電圧読みだし期間とがほぼ完全にオーバーラップしているので、差動電圧検出回路を複数化することなく計測時間を短縮することができる。

40

【 0 0 3 3 】

更に、図 2 に示すように、マルチプレクサ 2、3 のサンプリングスイッチ駆動用のパルス電圧と、出力側サンプリングスイッチ 6 ~ 9 を駆動するパルス電圧を同時タイミングで電位遷移させているので、制御パルス発生回路を簡素化するとともに、A / D コンバータの電圧取り込み期間にこれらパルス電圧が変化してノイズとなることを防止することができる。

50

【 0 0 3 4 】

(変形態様)

上記実施例では、リセットスイッチ10を用いたが、放電抵抗により差動電圧検出回路11の一对の入力端間の電圧を消去してもよい。

【 0 0 3 5 】

(変形態様)

マルチプレクサの構成は、この実施例の回路に限定されるものではなく、組電池1の各電池モジュールのモジュール電圧を順番にフライングキャパシタ4、5に取り込めるものであれば、他の回路構成でもよいことはもちろんである。

【 0 0 3 6 】

【実施例2】

本発明を適用する組電池の電圧検出装置の一実施例を図3に示す回路図、及びその動作タイミングを示す図4のタイミングチャートを参照して説明する。

【 0 0 3 7 】

この実施例は、図1において更に、電池モジュールV1～V5により構成される高電位側の電池ブロックX、及び、電池モジュールV6～V10により構成される低電位側の電池ブロックYの他に、上記2つの電池ブロックと直列に接続された第三の電池ブロックZを組電池1に設け、電池ブロックZを構成する電池モジュールV11～V15の電圧を順次サンプリングするマルチプレクサ13を設け、マルチプレクサ13の出力電圧を蓄電する第三のフライングキャパシタ14を設け、第三のフライングキャパシタ14の蓄電電圧を読み出す出力側サンプリングスイッチ15、16を設けたものである。R13～R18は保護用の電流制限抵抗素子である。マルチプレクサ13は、互いに異なる電流制限抵抗素子R13～R18を通じて高電池モジュール電池モジュールV11～V15の各電極端子に個別に接続される合計6個のサンプリングスイッチ41～46を有している。

【 0 0 3 8 】

(動作説明)

次に、この回路による電池モジュールV1～V15の電圧検出動作を図4に示す。

【 0 0 3 9 】

図4中、「充放電」と記載された期間は、入力側サンプリングスイッチ対を動作させて電池モジュールからフライングキャパシタに電圧を読み込む電圧読み込み期間、「検出」と記載された期間は出力側サンプリングスイッチ対を動作させてフライングキャパシタから差動増幅回路11に蓄電電圧を読み出す電圧読み出し期間、「アイドル」と記載された電圧読み出し期間でも電圧読み込み期間でもない期間である。

【 0 0 4 0 】

図4では、各サンプリングスイッチの動作タイミングは、クロックパルスにより決定される時点 $t_0 \sim t_{13}$ 中の特定のタイミングで行われ、当然、各時点 $t_0 \sim t_{13}$ 間は一定期間 T に設定されている。

【 0 0 4 1 】

「充放電」期間すなわち電圧読み込み期間は $5T$ の時間幅、「検出」期間すなわち電圧読み出し期間は $2T$ の時間幅、「アイドル」期間も $2T$ の時間幅に設定され、フライングキャパシタ4、5、14の電圧読み込み期間同士は $3T$ だけずれて配置されている。このようにすれば、各「検出」期間すなわち電圧読み出し期間が重なることがなく、かつ、各スイッチの動作間隔が均一であるので、制御が容易となり、ADコンバータ12による信号処理も簡単となり、回路構成も簡素化することができる。なお、各「検出」期間が時間的に重複しない範囲で、アイドル期間の伸縮は可能である。

【 0 0 4 2 】

図5～図7に比較例を示す。これらの図の「充放電」期間や「検出」期間の配置では、「検出」期間が時間的に重複したり、各間隔が不均一となって処理が面倒となったりする不具合が生じる。

(変形態様)

10

20

30

40

50

なお、A/Dコンバータ10において各「検出」期間ごとに得られる電池モジュール電圧に対して電池モジュール総数に相当する数を掛けて組電池電圧とすることができる。もちろん、この場合、各電池モジュール電圧のばらつきに起因して組電池電圧が時間的に変動する不具合が発生する。

【0043】

しかし、実施例2のように、一定の時間間隔で電池モジュール電圧をサンプリングする場合、上記のようにして得た組電池電圧の低域成分を抽出すれば、各電池モジュール電圧の平均電圧を抽出することができ、簡素な回路により簡単に組電池電圧を得ることができる。

【図面の簡単な説明】

10

【図1】実施例1のフライングキャパシタ式組電池電圧検出装置を示す回路図である。

【図2】図1のフライングキャパシタ式組電池電圧検出装置の各スイッチの動作タイミングを示すタイミングチャートである。

【図3】実施例2のフライングキャパシタ式組電池電圧検出装置を示す回路図である。

【図4】図3のフライングキャパシタ式組電池電圧検出装置の各スイッチの動作タイミングを示すタイミングチャートである。

【図5】比較例のフライングキャパシタ式組電池電圧検出装置の各スイッチの動作タイミングを示すタイミングチャートである。

【図6】比較例のフライングキャパシタ式組電池電圧検出装置の各スイッチの動作タイミングを示すタイミングチャートである。

20

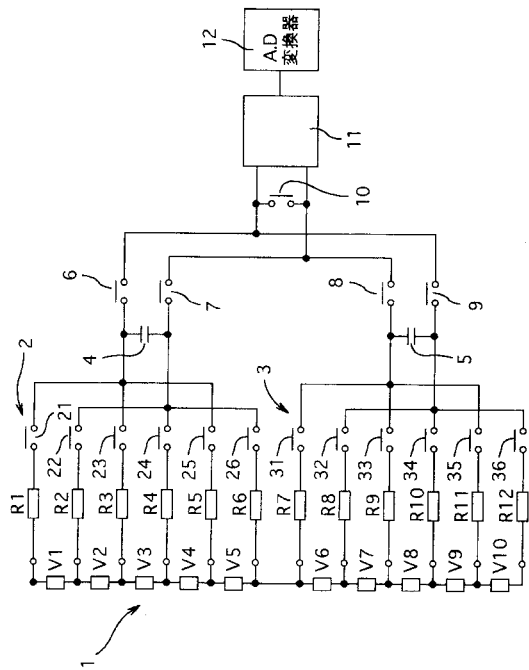
【図7】比較例のフライングキャパシタ式組電池電圧検出装置の各スイッチの動作タイミングを示すタイミングチャートである。

【符号の説明】

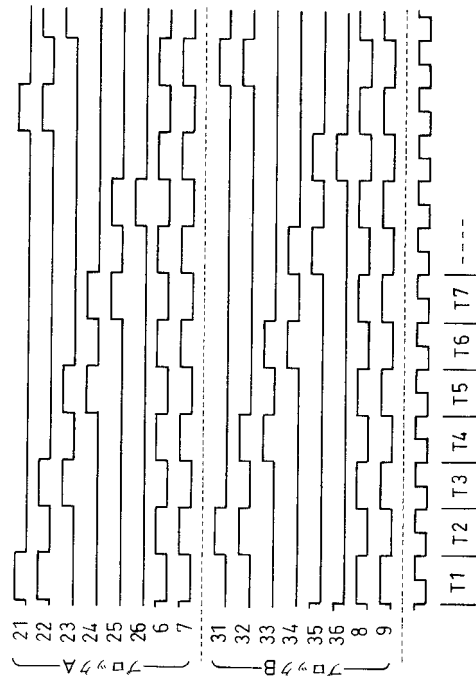
- 1 組電池
- 2、3 マルチプレクサ
- 4、5 フライングキャパシタ
- 6～9 出力側サンプリングスイッチ
- 10 リセットスイッチ
- 11 差動電圧検出回路
- 12 A/Dコンバータ

30

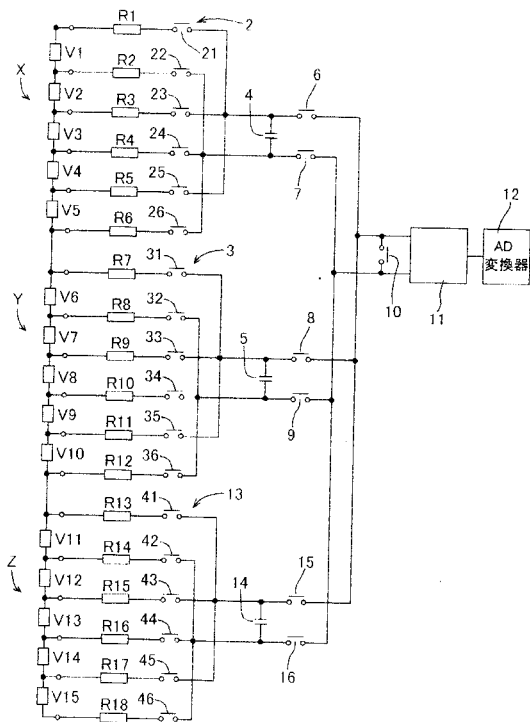
【図1】



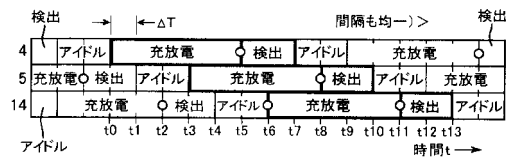
【図2】



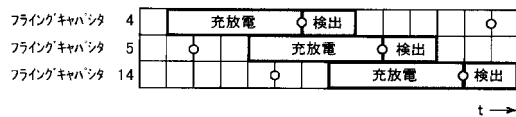
【図3】



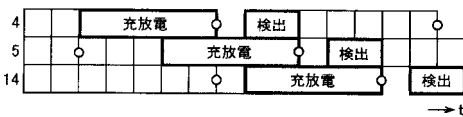
【図4】



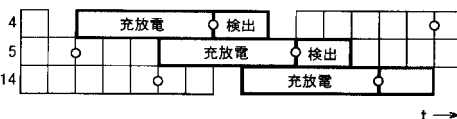
【図5】



【図6】



【図7】



フロントページの続き

(51) Int.Cl. F I
H 0 2 J 7/02 (2006.01) H 0 2 J 7/00 3 0 2 C
H 0 2 J 7/02 H

(56) 参考文献 特開平 0 9 - 0 0 1 6 1 7 (J P , A)
特開 2 0 0 0 - 1 7 1 5 3 2 (J P , A)
特開 2 0 0 0 - 1 8 4 6 1 1 (J P , A)

(58) 調査した分野(Int.Cl. , D B 名)

G01R 19/00
B60L 11/18
G01R 31/36
H01M 10/48
H02J 7/00
H02J 7/02