

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5691158号
(P5691158)

(45) 発行日 平成27年4月1日(2015.4.1)

(24) 登録日 平成27年2月13日(2015.2.13)

(51) Int. Cl. F I
HO3F 1/52 (2006.01) HO3F 1/52 Z
HO3F 3/34 (2006.01) HO3F 3/34 C

請求項の数 6 (全 13 頁)

(21) 出願番号	特願2009-259467 (P2009-259467)	(73) 特許権者	000006220
(22) 出願日	平成21年11月13日(2009.11.13)		ミツミ電機株式会社
(65) 公開番号	特開2011-109196 (P2011-109196A)		東京都多摩市鶴牧2丁目11番地2
(43) 公開日	平成23年6月2日(2011.6.2)	(74) 代理人	100090033
審査請求日	平成24年11月9日(2012.11.9)		弁理士 荒船 博司
		(74) 代理人	100093045
			弁理士 荒船 良男
		(72) 発明者	大原 智光
			東京都多摩市鶴牧2丁目11番地2 ミツ
			ミ電機株式会社内
		(72) 発明者	後藤 卓史
			東京都多摩市鶴牧2丁目11番地2 ミツ
			ミ電機株式会社内
		審査官	緒方 寿彦

最終頁に続く

(54) 【発明の名称】 出力電流検出回路および送信回路

(57) 【特許請求の範囲】

【請求項1】

電源電圧端子と出力端子との間に接続された出力トランジスタを有する出力回路と、
 前記出力トランジスタのサイズよりも小さなサイズを有し前記出力トランジスタの制御端子に印加される電圧と同一の電圧が制御端子に印加され上記サイズに応じた電流が流される電流検出用のトランジスタと、

前記電流検出用のトランジスタと直列形態に接続された第1抵抗素子と、

前記第1抵抗素子で変換された電圧と所定の参照電圧とを比較して前記出力トランジスタに流れている電流の大きさを判定する比較回路と、

前記参照電圧を発生する参照電圧発生回路と、

を備え、

前記参照電圧発生回路は、定電流を流す定電流回路と、一方の端子が前記電源電圧端子に接続された第2抵抗素子とを備え、前記定電流回路で生成された定電流が前記第2抵抗素子に流されて電圧に変換されることによって、前記電源電圧端子の電源電圧を基準にした参照電圧を発生するように構成され、

前記定電流回路と前記第2抵抗素子との間に、前記電流検出用のトランジスタのゲート端子に印加される電圧と同一の電圧がゲート端子に印加される第1MOSトランジスタが接続されていることを特徴とする出力電流検出回路。

【請求項2】

前記出力トランジスタおよび前記電流検出用のトランジスタは、Nチャネル型の電界効

果トランジスタにより構成されていることを特徴とする請求項 1 に記載の出力電流検出回路。

【請求項 3】

前記定電流回路は、

前記第 2 抵抗素子および前記第 1 MOS トランジスタと直列に接続された第 2 MOS トランジスタと、

定電流源および前記電源電圧端子に接続され前記定電流源の電流に比例した電流を流すカレントミラー回路と、

前記カレントミラー回路で転写された電流を電圧に変換して前記第 2 MOS トランジスタのゲート端子に印加されるバイアス電圧を生成する電流 - 電圧変換回路と、から構成されていることを特徴とする請求項 2 に記載の出力電流検出回路。

10

【請求項 4】

前記定電流源は、

温度特性を持たない基準電圧が第 1 入力端子に印加されたオペアンプと、前記カレントミラー回路の転写元のトランジスタと定電位点との間に直列に接続された第 3 MOS トランジスタおよび第 3 抵抗素子とを備え、

前記第 3 MOS トランジスタのゲート端子に前記オペアンプの出力電圧が印加され、前記第 3 MOS トランジスタと第 3 抵抗素子との接続ノードの電位が前記オペアンプの第 2 入力端子にフィードバックされていることを特徴とする請求項 3 に記載の出力電流検出回路。

20

【請求項 5】

前記第 1 抵抗素子と前記第 2 抵抗素子は同一種類の抵抗であり、

前記電流検出用のトランジスタと前記第 1 MOS トランジスタは、前記比較回路によって過電流状態が検出される際に同一電流密度の電流が流れるように設定されていることを特徴とする請求項 4 に記載の出力電流検出回路。

【請求項 6】

電源電圧端子と定電位点との間に直列形態に接続された第 1 出力トランジスタおよび第 2 出力トランジスタを有する出力回路と、

前記第 1 出力トランジスタおよび第 2 出力トランジスタの制御端子に供給される AMI 符号化された一対の制御信号を生成するゲート制御回路と、

30

前記第 1 または第 2 出力トランジスタのサイズよりも小さなサイズを有し前記第 1 または第 2 出力トランジスタの制御端子に印加される電圧と同一の電圧が制御端子に印加され上記サイズに応じた電流が流される電流検出用のトランジスタと、

前記電流検出用のトランジスタと直列形態に接続された第 1 抵抗素子と、

前記第 1 抵抗素子で変換された電圧と所定の参照電圧とを比較して前記第 1 または第 2 出力トランジスタに流れている電流の大きさを判定する比較回路と、

前記参照電圧を発生する参照電圧発生回路と、

を備え、

前記参照電圧発生回路は、定電流を流す定電流回路と、一方の端子が前記電源電圧端子に接続された第 2 抵抗素子とを備え、前記定電流回路で生成された定電流が前記第 2 抵抗素子に流されて電圧に変換されることによって、前記電源電圧端子に印加される電源電圧を基準にした参照電圧を発生するように構成され、

40

前記定電流回路と前記第 2 抵抗素子との間に、前記電流検出用のトランジスタのゲート端子に印加される電圧と同一の電圧がゲート端子に印加される第 1 MOS トランジスタが接続され、

前記比較回路の出力は前記ゲート制御回路に供給され、前記ゲート制御回路は前記第 1 または第 2 出力トランジスタに流れている電流が所定の電流値を超えた場合に前記第 1 出力トランジスタおよび第 2 出力トランジスタを共にオフ状態にする制御信号を生成するように構成されていることを特徴とする送信回路。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、電力損失の少ない出力電流検出回路さらには電源電圧変動や温度変動の影響を受けにくい出力電流検出回路およびそれを備えた送信回路に関する。

【背景技術】

【0002】

家電機器間の通信規格としてHBS(Home Bus System)がある。HBSには、伝送路としてツイステッドペア線を使用し、該伝送路上のデジタル信号の伝送にAMI(Alternate Mark Inversion)符号化された信号(以下、AMI信号という)を用いるものがある。AMI信号は、ゼロ、プラス、マイナスの3値で構成され、この信号を用いた通信においては、論理「0」をゼロで表し、論理「1」は極性を交互に変えて表すことでデータを伝送する。これにより、伝送波形が交流信号に近くなり、ノイズに強くなり安定したデータ伝送が可能になるという利点がある。なお、論理「1」の極性は、論理「0」の電位に対して正と負の極性であり、論理「0」の電位は0Vに限定されるものでなく、例えば5Vなどの電位を選択してもよい。

10

【0003】

従来、HBSを適用したシステムを構成する機器に実装され、機器間の通信機能を担うデバイスとして、HBSドライバ・レシーバIC(半導体集積回路)が提供されている。該ICには、伝送線上のAMI信号の論理レベルを判別して受信データを再生する受信回路のほか、伝送線上へAMI信号を生成して送信する送信回路が内蔵されており、送信回路は伝送線を駆動する出力ドライブ回路と、送信データに基づいて出力ドライブ回路を制御する送信ゲート制御回路とを備えている。ここで、出力ドライブ回路は、数10m以上にもなることがある伝送線を駆動できるようにするため、出力トランジスタとして大電流を流すことができるパワートランジスタが使用される。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平5-315852号公報

【特許文献2】特開2007-195007号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0005】

HBSが適用されるシステムにおいては、1つの伝送路に数十台の機器が接続されることがある。例えばビルの空調システムでは、1台もしくは数台の室外機(コンプレッサと放熱器)に対して、伝送路を介して数十台の室内機(膨張器と熱交換器)が接続されることがあり、各機器にそれぞれHBSドライバ・レシーバICが搭載される。このようなHBSシステムでは、複数の機器のドライバ・レシーバICが同時に送信を行う状況が発生することがある。具体的には、あるドライバ・レシーバICの送信回路が正論理の信号を出力しようとしているときに、他のドライバ・レシーバICの送信回路が負論理の信号を出力しようとすることがある。

40

【0006】

そのような場合、正論理の信号を出力しようとしている送信回路の出力トランジスタに非常に大きな電流が流れ、場合によっては出力トランジスタが破損するおそれがある。そのため、出力ドライブ回路に流れる電流を検出する電流検出回路を内蔵させ、電流検出回路が出力ドライブ回路に所定電流値以上の電流が流れたことを検出した場合に、送信ゲート制御回路が出力ドライブ回路の出力動作を停止することが望ましい。そこで、本発明者は、そのような機能を有する送信回路として、図6に示すような回路を考え、検討した。

【0007】

図6に示す回路は、伝送線を駆動してAMI符号化されたデータ信号を出力する出力ド

50

ライブ回路 11 と、送信データに基づいて出力ドライブ回路 11 の各トランジスタ Q1, Q2 をオン、オフ制御する制御信号を生成するゲート制御回路 12 と、電源電圧端子 VDD と出力トランジスタ Q1 との間に接続された電流検出用の抵抗 Rs の電圧と参照電圧 Vref とを比較して所定電流値以上の電流（過電流）が流れていないか検出するコンパレータを有する出力電流検出回路 13 とから構成されている。

【0008】

出力ドライブ回路 11 は、電源電圧端子 VDD と接地電位点 GND との間に直列に接続された絶縁ゲート型電界効果トランジスタ（以下、MOS トランジスタと称する）からなる P チャネル型と N チャネル型のパワー MOS トランジスタ Q1, Q2 により構成されている。また、出力電流検出回路 13 は、出力トランジスタ Q1 に所定電流値以上の電流が流れて電流検出用の抵抗 Rs で降下した電圧が参照電圧 Vref よりも低くなると、検出信号をゲート制御回路 12 へ送って、ゲート制御回路 12 が出力トランジスタ Q1, Q2 を共にオフの状態に制御して過電流が流れるのを防止するように構成されている。

10

【0009】

図 6 の出力電流検出回路においては、出力トランジスタ Q1 と直列に設けた電流検出用の抵抗 Rs（以下、センス抵抗と称する）に比較的大きな電流が流れるため、電力損失が大きく電力消費が多くなるとともに、センス抵抗 Rs での発熱でチップ温度が上昇してパッケージ許容温度を超えるとデバイスが破損するおそれがある。ここで、センス抵抗 Rs として低抵抗の素子を使用することによって、電力損失を減らすことも可能であるが、現在のプロセス技術では出力電流検出回路が形成される半導体チップ上において高精度の低抵抗素子を得ることは困難であり、センス抵抗の抵抗値がばらつくと過電流検出レベルにばらつきが生じてしまう。

20

【0010】

また、図 6 の出力電流検出回路においては、出力トランジスタ Q1 として同一駆動電力の N チャネル型の MOS トランジスタに比べて素子サイズの大きな P チャネル型の MOS トランジスタを使用しているため、出力回路の占有面積ひいてはチップサイズが大きくなるという課題がある。なお、大きな駆動電流を流す出力トランジスタとカレントミラー接続された電流検出用のトランジスタを設けて、大きな電力損失を招くことなく過電流を検出できるようにした検出回路に関する発明として、例えば特許文献 1 や特許文献 2 に記載されているものがある。

30

【0011】

この発明は上記のような課題に着目してなされたもので、その目的とするところは、センス抵抗における電力損失を抑制してチップ温度の上昇を抑えることができる出力電流検出回路およびそれを備えた送信回路を提供することにある。

【0012】

この発明の他の目的は、出力回路の占有面積ひいてはチップサイズを低減可能な半導体集積回路化された出力電流検出回路およびそれを備えた送信回路を提供することにある。

【0013】

この発明のさらに他の目的は、電源電圧依存性および温度依存性の低い出力電流検出回路およびそれを備えた送信回路を提供することにある。

40

【課題を解決するための手段】

【0014】

上記目的を達成するため請求項 1 に記載の発明に係る出力電流検出回路は、
電源電圧端子と出力端子との間に接続された出力トランジスタを有する出力回路と、
前記出力トランジスタのサイズよりも小さなサイズを有し前記出力トランジスタの制御端子に印加される電圧と同一の電圧が制御端子に印加され上記サイズに応じた電流が流される電流検出用のトランジスタと、
前記電流検出用のトランジスタと直列形態に接続された第 1 抵抗素子と、
前記第 1 抵抗素子で変換された電圧と所定の参照電圧とを比較して前記出力トランジスタに流れている電流の大きさを判定する比較回路と、

50

前記参照電圧を発生する参照電圧発生回路と、

を備え、前記参照電圧発生回路は、定電流を流す定電流回路と、一方の端子が前記電源電圧端子に接続された第2抵抗素子とを備え、前記定電流回路で生成された定電流が前記第2抵抗素子に流されて電圧に変換されることによって、前記電源電圧端子の電源電圧を基準にした参照電圧を発生するように構成した。

【0015】

上記した構成によれば、電流検出用のトランジスタのサイズを出力トランジスタのサイズの $1/N$ に設定すると、電流検出用のトランジスタと直列のセンス抵抗としての第1抵抗素子には、出力トランジスタに流れる電流の $1/N$ の大きさの電流を流すだけで出力電流値を検出することができ、センス抵抗における電力損失を大幅に低減することができる。また、電源電圧を基準とする参照電圧を発生するように構成されているため、電源電圧が変動しても相対的な判定レベルは変化せず、比較回路における判定精度を向上させることができる。

10

【0016】

ここで、望ましくは、前記出力トランジスタおよび前記電流検出用のトランジスタは、Nチャンネル型の電界効果トランジスタにより構成する。これにより、出力トランジスタをPチャンネル型MOSトランジスタで構成する場合に比べて素子のサイズひいてはチップ面積を小さくすることができる。

【0017】

また、望ましくは、前記定電流回路と前記第2抵抗素子との間に、前記電流検出用のトランジスタのゲート端子に印加される電圧と同一の電圧がゲート端子に印加される第1MOSトランジスタが接続されるように構成する。これにより、電源電圧の変動により電流検出用のMOSトランジスタのドレイン・ソース間電圧が変動してドレイン電流(検出電流)が変化した場合、電流検出用のMOSトランジスタのゲート電圧と同一の電圧がゲート端子に印加された第1MOSトランジスタのドレイン・ソース間電圧が同じように変動してドレイン電流の変動を同じ特性にすることができ、第2抵抗素子に流れる電流さらには参照電圧の変動を小さくすることができる。

20

【0018】

さらに、望ましくは、前記定電流回路は、前記第2抵抗素子および前記第1MOSトランジスタと直列に接続された第2MOSトランジスタと、定電流源および前記電源電圧端子に接続され前記定電流源の電流に比例した電流を流すカレントミラー回路と、前記カレントミラー回路で転写された電流を電圧に変換して前記第2MOSトランジスタのゲート端子に印加されるバイアス電圧を生成する電流-電圧変換回路と、から構成する。これにより、定電流源の電流をカレントミラー回路で折り返して電圧に変換して第2MOSトランジスタのゲート端子に印加されるバイアス電圧を生成するので、電源電圧の変動に依存しない安定した電流を第2抵抗素子に流すことができ、参照電圧の変動を抑制することができる。

30

【0019】

また、望ましくは、前記定電流源は、温度特性を持たない基準電圧が第1入力端子に印加されたオペアンプと、前記カレントミラー回路の転写元のトランジスタと定電位点との間に直列に接続された第3MOSトランジスタおよび第3抵抗素子とを備え、前記第3MOSトランジスタのゲート端子に前記オペアンプの出力電圧が印加され、前記第3MOSトランジスタと第3抵抗素子との接続ノードの電位が前記オペアンプの第2入力端子にフィードバックされるように構成する。これにより、定電流源は、オペアンプとカレントミラー回路の転写元のトランジスタと定電位点との間に直列に接続された第3MOSトランジスタおよび第3抵抗素子とを備えるため、第3抵抗素子の特性を適宜選択することによって、比較回路に供給される電流検出レベルとしての参照電圧の温度特性をなくしたり、所望の温度特性を与えたりすることができ、それによって温度変動に対して安定した過電流検出が可能となる。

40

【0020】

50

さらに、望ましくは、前記第1抵抗素子と前記第2抵抗素子は同一種類の抵抗であり、前記電流検出用のトランジスタと前記第1MOSトランジスタは、前記比較回路によって過電流状態が検出される際に同一電流密度の電流が流れるように設定されるように構成する。これにより、電源電圧の変動に依存しないより一層安定した電流を第2抵抗素子に流すことができ、参照電圧の変動を抑制することができる。

【0021】

また、本出願の他の発明に係る送信回路は、

電源電圧端子と定電位点との間に直列形態に接続された第1出力トランジスタおよび第2出力トランジスタを有する出力回路と、

前記第1出力トランジスタおよび第2出力トランジスタの制御端子に供給されるAMI符号化された一対の制御信号を生成するゲート制御回路と、

前記出力トランジスタのサイズよりも小さなサイズを有し前記出力トランジスタの制御端子に印加される電圧と同一の電圧が制御端子に印加され上記サイズに応じた電流が流される電流検出用のトランジスタと、

前記電流検出用のトランジスタと直列形態に接続された第1抵抗素子と、

前記第1抵抗素子で変換された電圧と所定の参照電圧とを比較して前記出力トランジスタに流れている電流の大きさを判定する比較回路と、

前記参照電圧を発生する参照電圧発生回路と、

を備え、前記参照電圧発生回路は、定電流を流す定電流回路と、一方の端子が前記電源電圧端子に接続された第2抵抗素子とを備え、前記定電流回路で生成された定電流が前記第2抵抗素子に流されて電圧に変換されることによって、前記電源電圧端子に印加される電源電圧を基準にした参照電圧を発生するように構成され、

前記比較回路の出力は前記ゲート制御回路に供給され、前記ゲート制御回路は前記出力トランジスタに流れている電流が所定の電流値を超えた場合に前記第1出力トランジスタおよび第2出力トランジスタを共にオフ状態にする制御信号を生成するように構成した。

【0022】

上記した構成によれば、センス抵抗に流れる電流を小さくしてセンス抵抗における電力損失を大幅に低減することができるとともに、出力トランジスタに所定以上の電流が流れた場合にそれを検出して出力トランジスタをオフすることで、出力トランジスタが過電流で破損するのを防止できるようになる。また、電源電圧を基準とする参照電圧を発生するように構成されているため、電源電圧が変動しても相対的な判定レベルは変化せず、比較回路における判定精度を向上させることができる。

【発明の効果】

【0023】

本発明によれば、センス抵抗における電力損失を抑制してチップ温度の上昇を抑えることができる出力電流検出回路およびそれを備えた送信回路を実現することができる。また、出力回路の占有面積ひいてはチップサイズを低減可能な半導体集積回路化された出力電流検出回路およびそれを備えた送信回路を実現できる。さらに、電源電圧依存性および温度依存性の低い出力電流検出回路およびそれを備えた送信回路を実現できるという効果がある。

【図面の簡単な説明】

【0024】

【図1】本発明をHBSドライバ・レシーバICに内蔵される送信回路に適用した場合の第1の実施形態を示す回路図である。

【図2】本発明を適用した送信回路の第2の実施形態を示す回路図である。

【図3】第2の実施形態の送信回路の第1変形例を示す回路図である。

【図4】第2の実施形態の送信回路の第2変形例を示す回路図である。

【図5】本発明者らが使用を検討したパッケージの温度と許容消費電力との関係を示す特性図である。

【図6】本発明に先立って検討したHBSドライバ・レシーバICに内蔵される送信回路

10

20

30

40

50

の構成を示す回路図である。

【発明を実施するための形態】

【0025】

以下、本発明の好適な実施の形態を図面に基づいて説明する。

図1には、HBS (Home Bus System) を適用したシステムを構成する機器に実装され、機器間の通信機能を担うHBSドライバ・レシーバICに内蔵される送信回路の第1の実施形態が示されている。なお、図1には、ツイステッドペア線の一方のラインを駆動する片方の回路が示されており、実際のICの送信回路には、AMI符号化された極性の異なる信号を出力するため図1のような回路がもう一つ設けられる。

【0026】

本実施形態の送信回路は、電源電圧端子VDDと接地電位点GNDとの間に直列に接続された出力トランジスタQ1およびQ2を備え、伝送線を駆動してAMI符号化されたデータ信号を出力するプッシュプル型の出力回路としての出力ドライブ回路11と、送信データに基づいて出力ドライブ回路11の各トランジスタQ1, Q2をオン、オフ制御する制御信号S1, S2を生成するゲート制御回路12と、参照電圧Vrefに基づいて出力ドライブ回路11に所定電流値以上の電流(過電流)が流れていないか検出する出力電流検出回路13と、上記参照電圧Vrefを発生する参照電圧発生回路14とを備える。出力トランジスタQ1とQ2の接続ノードに、伝送線を構成する信号線に結合される出力端子OUTが接続される。

【0027】

特に限定されるわけではないが、上記出力ドライブ回路11においては、出力トランジスタQ1およびQ2としてNチャネル型パワーMOSトランジスタが使用されている。現在のCMOS製造プロセスで形成されたPチャネルMOSトランジスタとNチャネルトランジスタを比較すると、同一サイズの場合にはPチャネルMOSトランジスタよりもNチャネルトランジスタの方が、電流駆動力が約3倍大きいことが知られている。

【0028】

従って、上記のように、出力ドライブ回路11の出力トランジスタQ1にNチャネル型パワーMOSトランジスタを使用することによって、Pチャネル型パワーMOSトランジスタで同一の電流駆動力を実現する場合に比べて素子のサイズひいてはICのチップ面積を小さくすることができる。なお、本実施形態のように、出力トランジスタQ1にNチャネル型MOSトランジスタを使用した場合、Q1をオンさせる際にオン抵抗を十分に小さくするため、ブースト回路を設けてQ1のゲート端子を駆動する前段のインバータINV1, INV2の電源電圧端子にICの電源電圧VDDを昇圧した電圧Vpを供給するように構成するのが望ましい。

【0029】

出力電流検出回路13は、VDD側の出力トランジスタQ1のゲート電圧と同一の電圧がゲート端子に印加されソース端子がQ1のソース端子と共通接続されることでQ1とカレントミラーを構成するように接続されたMOSトランジスタQ3およびQ3と直列に接続された電流検出用のセンス抵抗Rsと、該センス抵抗RsとQ3と接続ノードN1の電圧V1と参照電圧Vrefとを比較して大小を判定する比較回路としてのコンパレータCMPとを備える。

【0030】

そして、この出力電流検出回路13においては、出力トランジスタQ1に所定電流値以上の電流が流れて電流検出用の抵抗Rsで降下した電圧V1が参照電圧Vrefよりも低くなると、コンパレータCMPの出力(検出信号)がロウレベルからハイレベルに変化するよう構成されている。ゲート制御回路12は、検出信号がハイレベルに変化すると、出力トランジスタQ1, Q2を共にオフの状態にする制御信号S1, S2を出力ドライブ回路11へ出力するように構成される。

【0031】

この実施形態においては、出力電流検出回路13のMOSトランジスタQ3のサイズ(

10

20

30

40

50

ゲート幅 W もしくは W/L)が、出力トランジスタ $Q1$ のサイズ(ゲート幅 W もしくは W/L)の $1/N$ の大きさとなるように設計される。 L はゲート長である。これにより、 MOS トランジスタ $Q3$ およびこれと直列のセンス抵抗 R_s には、出力トランジスタ $Q1$ に流れる電流の $1/N$ の大きさの電流を流すだけで出力電流値を検出することができ、図6のように、出力トランジスタ $Q1$ と直列にセンス抵抗 R_s を接続する場合に比べて、センス抵抗 R_s における電力損失を大幅に低減することができる。その結果、チップ温度の上昇を抑えることができ、チップ温度がパッケージ許容温度を超えてデバイスが破損するのを防止することができるようになる。なお、 N は例えば「10」のような値が考えられるが、それ以上の値であってもよい。

【0032】

参照電圧発生回路14は、電源電圧端子 VDD と接地電位点 GND との間に直列形態に接続された抵抗 $R1$ およびゲートとソースが結合されたいわゆるダイオード接続の MOS トランジスタ $Q4$ と、 $Q4$ とカレントミラー接続された定電流用 MOS トランジスタ $Q5$ および $Q5$ のドレイン端子と電源電圧端子 VDD との間に直列形態に接続された電流-電圧変換用の抵抗 $R2$ とから構成されている。なお、抵抗 $R1$ および MOS トランジスタ $Q4$ は、定電流用 MOS トランジスタ $Q5$ のゲート端子を定電圧で駆動するバイアス電 V_b を与えるバイアス回路とみなすことができる。そして、このバイアス回路と該バイアス回路で生成されたバイアス電圧 V_b に応じた電流を流す定電流用 MOS トランジスタ $Q5$ とによって、定電流回路が構成される。

【0033】

この実施形態の参照電圧発生回路14においては、定電流用 MOS トランジスタ $Q5$ による定電流を抵抗 $R2$ に流して電圧に変換することによって、電源電圧 VDD を基準とする参照電圧 V_{ref} を発生するように構成されている。そのため、出力電流検出回路13のコンパレータ CMP における判定精度を向上させることができる。その理由は、電源電圧 VDD が変動するとセンス抵抗 R_s と MOS トランジスタ $Q3$ との接続ノード $N1$ の電位 $V1$ が変化するが、電源電圧の変化に応じて参照電圧 V_{ref} も変化することで、相対的な判定レベルを電源電圧 VDD の変動に関わらずほぼ一定に保持できるためである。

【0034】

ところで、上記実施形態(図1)の参照電圧発生回路14は、電源電圧依存性および温度依存性が十分に改善されていないという不具合がある。以下、その理由について説明する。すなわち、図1の参照電圧発生回路14は、回路構成が簡単で素子数も少ないという利点があるが、電源電圧 VDD が変化すると抵抗 $R1$ - MOS トランジスタ $Q4$ に流れる電流 I_{ref1} が変化する構成であるため、電源電圧 VDD の変動で抵抗 $R2$ - MOS トランジスタ $Q5$ に流れる電流 I_{ref2} ひいては参照電圧 V_{ref} も変動してしまうという不具合がある。

【0035】

また、図1の参照電圧発生回路14にあっては、出力電流検出回路13の MOS トランジスタ $Q3$ のバイアス状態と MOS トランジスタ $Q5$ のバイアス状態とが異なるため、例え $Q3$ と $Q5$ を同一サイズに設計したとしても、 $Q3$ と $Q5$ のドレイン・ソース間電圧 V_{DS} の相異によって $Q3$ と $Q5$ のインピーダンスが異なり、電源電圧の変動により $Q3$ の電流 I_s と $Q5$ の電流 I_{ref2} に異なる電流変動が生じてしまうという不具合がある。さらに、図1の参照電圧発生回路14にあっては、電流-電圧変換用の抵抗 $R2$ の温度係数および $Q5$ の電流 I_{ref2} の温度特性によって、参照電圧 V_{ref} が変動するつまり V_{ref} が温度依存性を有しており、コンパレータによる過電流判定レベルが温度変動で変動してしまうという不具合がある。

【0036】

次に、電源電圧依存性および温度依存性を改善した参照電圧発生回路を備えた送信回路の第2の実施形態について説明する。

図2は第2の実施形態の送信回路を示す。この実施形態においては、電圧降下で参照電圧 V_{ref} を発生する抵抗 $R2$ と、該抵抗 $R2$ に流す電流 I_{ref2} を生成する MOS トランジ

10

20

30

40

50

スタQ5との間に、出力電流検出回路13のMOSトランジスタQ3のゲート電圧と同一の電圧がゲート端子に印加されたMOSトランジスタQ6が直列に接続されている。

【0037】

また、参照電圧発生回路14は、非反転入力端子に温度特性を持たない基準電圧源Vzが接続されたオペアンプAMPを有する定電流源回路41と、該定電流源回路41により流される定電流に比例した定電流を流すカスコード型のカレントミラー回路42と、該カレントミラー回路42より出力される電流を電圧に変換して前記MOSトランジスタQ5のゲートバイアス電圧Vbを生成する電流-電圧変換回路43としてのMOSトランジスタQ4とを備える。上記定電流源回路41と、カレントミラー回路42と、電流-電圧変換回路43とによって、バイアス回路としての定電圧回路が構成される。

10

【0038】

カレントミラー回路42は、ゲート共通接続された一対のPチャネル型MOSトランジスタQ7、Q8から構成されている。定電流源回路41は、温度特性を持たない基準電圧源Vzが非反転入力端子に接続されたオペアンプAMPと、カレントミラー回路42のMOSトランジスタQ7と直列に接続されゲート端子にオペアンプAMPの出力が印加されたNチャネル型MOSトランジスタQ11と、Q11のソース端子と接地点との間に接続された抵抗R3とから構成され、Q11と抵抗R3との接続ノードN3の電位V3がオペアンプAMPの反転入力端子にフィードバックされることにより、オペアンプAMPはノードN3の電位V3を基準電圧Vzに一致させるようにMOSトランジスタQ11を駆動する。

20

【0039】

その結果、MOSトランジスタQ11には、電源電圧に関わらず一定のコレクタ電流が流れるようにされ、オペアンプAMPとトランジスタQ11と抵抗R3は、定電流源として動作することとなる。この定電流源回路41で生成された定電流をカレントミラー回路42で折り返して、ダイオード接続されたMOSトランジスタQ4からなる電流-電圧変換回路43でバイアス電圧Vbを生成するようにしているため、電源電圧依存性の低いバイアス電圧を生成することができ、結果として抵抗R2に流す電流Iref2ひいては参照電圧Vrefの電源電圧依存性を小さくすることができるようになっている。なお、カレントミラー回路42は、ゲート共通接続された一対のPチャネル型MOSトランジスタQ7、Q8と直列に、同じくゲート共通接続された一対のPチャネル型MOSトランジスタを接続したいわゆるカスコード型のカレントミラー回路としてもよい。

30

【0040】

しかも、図2の送信回路においては、抵抗R2とMOSトランジスタQ5との間に、電流検出用のMOSトランジスタQ3のゲート電圧と同一の電圧がゲート端子に印加されたMOSトランジスタQ6を接続して、過電流検出時にQ3とQ6の電流密度が同じになるように設計している。これによって、Q3のドレイン・ソース間電圧VDSの変動による電流Isの変動に対して、Q6のドレイン・ソース間電圧VDSの変動による電流Iref2の変動を同じ特性にすることができ、電源電圧変動に対して電流Iref2の変動ひいては参照電圧Vrefの変動を小さくすることができるという利点がある。

【0041】

40

ただし、図2の送信回路においては、参照電圧Vrefを生成する抵抗R2が温度係数を有しているため、温度変化によって参照電圧Vrefが変化するおそれがある。具体的には、出力電流検出回路13の抵抗Rsに流れる電流をIsとおくと、抵抗Rsと電流検出用MOSトランジスタQ3との接続ノードN1の電位V1は、 $V1 = Is * Rs$ で表わされ、参照電圧Vrefは、 $Vref = Iref2 * R2$ で表わされる。ここで、電流Isは出力電流Ioutに比例した電流であるため温度依存性はないので、RsとR2に同一のプロセスで形成される同一種類(同一の温度係数)の抵抗素子を使用すれば、参照電圧Vrefは抵抗R2に流れる電流Iref2の温度係数によってのみ決まる温度依存性を有することとなる。

【0042】

一方、電流Iref2の温度係数は、バイアス回路の電流Iref1の温度係数に依存しており

50

、電流 I_{ref1} は、 $I_{ref1} = V_z / R_3$ で表わされるため、電流 I_{ref2} の温度係数は抵抗 R_3 の温度係数に依存することとなる。従って、バイアス回路内で抵抗 R_3 の温度係数を打ち消すような工夫を施すことによって、参照電圧 V_{ref} の温度依存性をなくすることができる。

【0043】

ただし、使用する半導体パッケージの性質（ P_d 値 = 許容損失）から過電流検出レベルに負の温度特性を持たせること、つまりチップ温度が高くなるほど過電流検出レベル（参照電圧）を低くすることが要求されることがある。例えば本発明者らが使用を検討したパッケージは、図5に示すように、温度が高くなるほど許容される消費電力が低下するものであった。従って、そのようなパッケージを使用するドライバ・レシーバICの送信回路の電流検出回路では、温度が高くなるほど過電流検出レベルを下げた方が安全性が高くなる。そのためには、参照電圧 V_{ref} すなわち抵抗 R_2 に流れる電流 I_{ref2} に負の温度特性を持たせることが望ましいと判断した。

10

【0044】

次に、図2の参照電圧発生回路において、電流 I_{ref2} の温度係数を任意に設定することができるようにした変形例について説明する。

図3の回路は、図2の参照電圧発生回路14において、カレントミラー回路42として、ゲート共通接続された一对のPチャネル型MOSトランジスタ Q_7 、 Q_8 と直列に、同じくゲート共通接続された一对のPチャネル型MOSトランジスタ Q_9 、 Q_{10} を接続したいわゆるカスコード型のカレントミラー回路を用いるとともに、定電流源回路41を構成する抵抗 R_3 と直列に接続された抵抗 R_{3a} を追加したものである。

20

【0045】

この回路においては、カスコード型のカレントミラー回路を用いることで、電流 I_{ref1} 、 I_{ref2} の電源電圧依存性を改善できるとともに、抵抗 R_3 として正の温度係数を有するものを使用し、追加した抵抗 R_{3a} として負の温度係数を有するものを使用することにより、2つの抵抗の温度特性が相殺し合って、電流 I_{ref1} さらには I_{ref2} の温度係数を「0」にすることができる。また、電流 I_{ref1} 、 I_{ref2} に負の温度係数を持たせたい場合には、正の温度係数を有する抵抗 R_3 を削除し、負の温度係数を有する抵抗 R_{3a} のみを接続するように設計すればよい。

【0046】

なお、電流 I_{ref1} の温度係数を「0」にしたい場合、抵抗 R_3 と直列に接続した抵抗 R_{3a} として負の温度係数を有する代わりに、定電流源回路41全体を例えばバイポーラ・トランジスタの有するベース・エミッタ間電圧 V_{BE} の負の温度特性で抵抗素子の正の温度特性を相殺させるように構成した定電流源回路に変更することにより、電流 I_{ref1} さらには I_{ref2} が温度特性を持たないようにすることも可能である。

30

【0047】

図4には、出力電流検出回路の第2の変形例が示されている。

図4の回路は、図2の参照電圧発生回路14において、電流 - 電圧変換回路43および該電流 - 電圧変換回路43からのバイアス電圧を受けて定電流を流す定電流回路として、ゲートが共通接続されたMOSトランジスタ対を縦積みにしたカスコード型のカレントミラー回路（ Q_{11} 、 Q_{12} ； Q_4 、 Q_5 ）を用いるようにしたものである。このような構成の回路とすることによって、電流 I_{ref2} の電圧特性を改善すなわち電源電圧依存性をさらに低減することができる。

40

【0048】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではない。例えば前記実施例において用いられるコンパレータCMPとして、ヒステリシス特性を有するコンパレータを使用するように構成してもよい。

【0049】

また、前記実施例では、出力トランジスタのうち電源電圧 V_{DD} 側のトランジスタ Q_1 と

50

並列にセンス抵抗 R_s および電流検出用のトランジスタ Q_3 を設けているが、接地電位側のトランジスタ Q_2 と並列にセンス抵抗 R_s および電流検出用のトランジスタ Q_3 を設けるようにしてもよい。そして、その場合には、参照電圧発生回路 14 において、接地電位基準の参照電圧 V_{ref} を発生するように構成してもよい。

【 0 0 5 0 】

さらに、以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である H B S ドライバ・レシーバ IC に内蔵される送信回路に用いられる出力電流検出回路に適用した場合について説明したが、本発明は負荷を電流駆動する出力回路における出力電流検出回路に広く利用することができる。

【 符号の説明 】

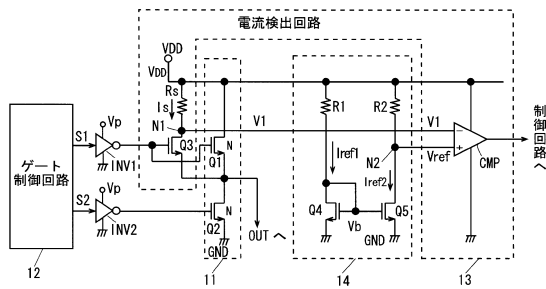
【 0 0 5 1 】

- 1 1 出力ドライブ回路
- 1 2 ゲート制御回路
- 1 3 出力電流検出回路
- 1 4 参照電圧発生回路
- 4 1 定電流源回路
- 4 2 カレントミラー回路
- 4 3 電流 - 電圧変換回路
- R_s センス抵抗 (第 1 抵抗素子)
- C M P コンパレータ
- A M P オペアンプ

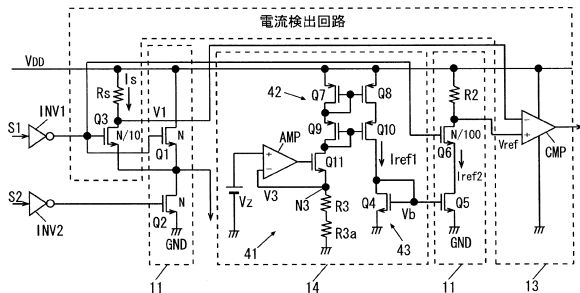
10

20

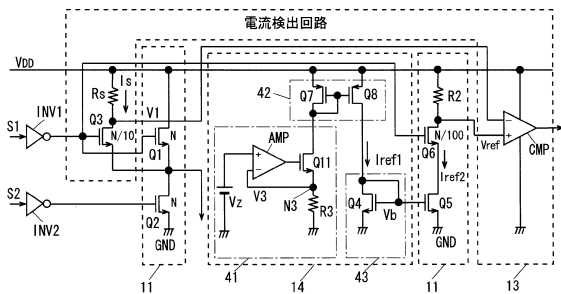
【 図 1 】



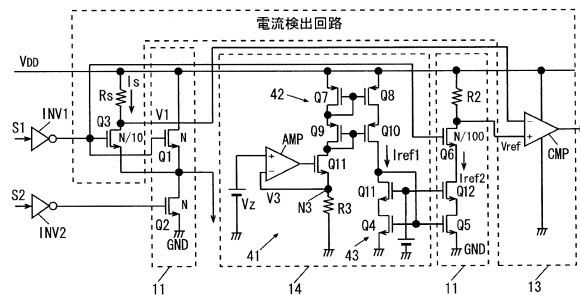
【 図 3 】



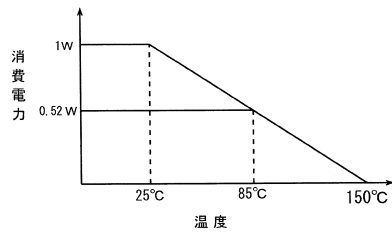
【 図 2 】



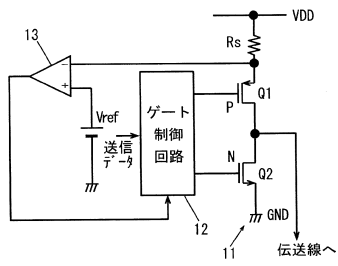
【 図 4 】



【図5】



【図6】



フロントページの続き

(56)参考文献 特開2006-174268(JP,A)
特開2005-229563(JP,A)
特開2007-087091(JP,A)
特開2006-191482(JP,A)
特開平01-257270(JP,A)
特開平05-292565(JP,A)
特開平10-215267(JP,A)
特開平05-315852(JP,A)
特開2007-195007(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03F 1/00 - 3/45、3/50 - 3/52、
3/62 - 3/64、3/68 - 3/72