

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6289600号
(P6289600)

(45) 発行日 平成30年3月7日(2018.3.7)

(24) 登録日 平成30年2月16日(2018.2.16)

(51) Int. Cl.

F I

HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 7 D
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 T
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78 6 5 2 Q
HO 1 L 27/06 (2006.01)	HO 1 L 29/78 6 5 2 N
	HO 1 L 29/78 6 5 2 F

請求項の数 12 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2016-249358 (P2016-249358)
 (22) 出願日 平成28年12月22日(2016.12.22)
 (62) 分割の表示 特願2014-234220 (P2014-234220)
 の分割
 原出願日 平成22年6月7日(2010.6.7)
 (65) 公開番号 特開2017-55145 (P2017-55145A)
 (43) 公開日 平成29年3月16日(2017.3.16)
 審査請求日 平成28年12月22日(2016.12.22)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 三浦 成久
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 (72) 発明者 中田 修平
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、
 前記半導体基板上に形成された、第1導電型のドリフト層と、
 前記ドリフト層表面に選択的に複数形成された第2導電型の第1ウェル領域と、
 前記第1ウェル領域内に形成された第1導電型のソース領域と、
 前記第1ウェル領域にチャンネル領域を形成するゲート電極と、
 前記ゲート電極を覆うように形成され、コンタクトホールを有する層間絶縁膜と、
前記コンタクトホール内に設けられたオーミック電極と、
 前記層間絶縁膜上と前記コンタクトホール内の前記オーミック電極上とに形成され、かつ、
 前記ソース領域に前記オーミック電極を介して接続するソース電極と、
 隣接する前記第1ウェル領域の間において、前記第1ウェル領域と離間して形成され、
 前記コンタクトホール内に形成された前記ソース電極と前記オーミック電極を介して接続
 する第2導電型の第2ウェル領域と、
 前記第1ウェル領域を含むセル領域の周囲に形成され、前記ソース電極と前記オーミッ
 ク電極を介して接続し、かつ、前記第2ウェル領域と接触する第2導電型の周縁領域と、
 前記半導体基板裏面に形成されたドレイン電極とを備える、
 半導体装置。

10

【請求項2】

前記第2ウェル領域は、前記ドリフト層表面には形成されない、

20

請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 ウェル領域下面は、前記第 1 ウェル領域下面よりも上方に形成される、請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】

前記第 2 ウェル領域の下方に形成され、前記ドリフト層の不純物濃度よりも高い不純物濃度を有する第 1 導電型の第 1 不純物領域をさらに備える、請求項 1 から請求項 3 のうちのいずれか 1 項に記載の半導体装置。

【請求項 5】

前記ゲート電極下の前記ドリフト層表面において、前記ドリフト層の不純物濃度よりも高い不純物濃度を有し、前記第 1 ウェル領域よりも大きな深さ方向の厚みを有する第 1 導電型の第 2 不純物領域をさらに備える、請求項 1 から請求項 4 のうちのいずれか 1 項に記載の半導体装置。

10

【請求項 6】

前記第 2 ウェル領域内に形成された、前記第 2 ウェル領域よりも不純物濃度の高い第 1 ウェルコンタクト領域をさらに備える、請求項 1 から請求項 5 のうちのいずれか 1 項に記載の半導体装置。

【請求項 7】

前記周縁領域内に形成された、前記周縁領域よりも不純物濃度の高い第 2 ウェルコンタクト領域をさらに備える、請求項 1 に記載の半導体装置。

20

【請求項 8】

前記第 2 ウェル領域の深さは、 $0.1 \mu\text{m}$ から $2.0 \mu\text{m}$ の範囲内である、請求項 1 から請求項 7 のうちのいずれか 1 項に記載の半導体装置。

【請求項 9】

前記第 2 ウェル領域の濃度は、 $1 \times 10^{15} \text{cm}^{-3}$ から $1 \times 10^{21} \text{cm}^{-3}$ の範囲内である、請求項 1 から請求項 8 のうちのいずれか 1 項に記載の半導体装置。

【請求項 10】

前記周縁領域の深さは、 $0.3 \mu\text{m}$ から $2.0 \mu\text{m}$ の範囲内である、請求項 1 に記載の半導体装置。

30

【請求項 11】

前記周縁領域の濃度は、 $1 \times 10^{15} \text{cm}^{-3}$ から $1 \times 10^{19} \text{cm}^{-3}$ の範囲内である、請求項 1 に記載の半導体装置。

【請求項 12】

前記半導体基板は、炭化珪素半導体の基板である、請求項 1 から請求項 11 のうちのいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、半導体装置に関し、特に炭化珪素半導体装置の構造に関する。

【背景技術】

【0002】

特許文献 1 に記載の半導体装置、すなわち縦型 MOSFET は、特許文献 1 に示されている様に、平面方向にストライプ状である縦型 MOSFET において、ベース領域の間に電界緩和領域を設けている。この電界緩和領域は、特許文献 1 に示されるように、ベース領域と接触せずに電位が浮いた状態であっても良く、特許文献 1 に示されるように、ベース領域と接触して電位が固定された状態でもあっても良い。

【0003】

50

また、平面方向にセル構造である縦型MOSFETにおいては、孤立した各ベース領域と接触せずに電位が浮いた状態の電界緩和領域が特許文献1に図示されている。

【0004】

このような電界緩和領域を設けることによって、ゲート/ドレイン間の帰還容量を低減することができることが開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2004-22693号公報

【発明の概要】

10

【発明が解決しようとする課題】

【0006】

本発明が解決すべき問題点を、特許文献1に基づき以下に説明する。縦型MOSFETやIGBTなどの半導体装置においては、オン動作時の抵抗(オン抵抗)を低減するために、単位面積当たりのチャンネル幅を大きくすることが有効である。そのため素子構造としては、平面方向にストライプ状とするよりも、四角形や六角形などのセル構造として配列することが単位面積当たりのチャンネル幅増加に関して有効であり、特に、炭化珪素半導体装置においてはより低いオン抵抗が望まれていることから、セル構造を採用することが一般的である。

【0007】

20

特許文献1では、素子のスイッチング損失を低減するための一つのパラメータである帰還容量を低減する方法として、対向する一对のベース領域の間隙に電界緩和領域を設けることを開示しているが、セル構造配置においては電界緩和領域は離散的に配置され、それぞれが電氣的にフローティングであるため、その電位は固定されていない。また、電界緩和領域の電位を固定するための実現方法については、特許文献1においては開示されていない。

【0008】

素子のスイッチング動作時には、ベース領域と共に電界緩和領域への電荷の充放電も行われ、電界緩和領域の電位が固定されていないために電荷が電界緩和領域内にトラップされチャージアップし、半導体層に伸びる空乏層の長さが変化することがある。これは、離散的に存在するベース領域の各々で偶発的に発生するために、素子の動作を不安定にし、素子特性のバラツキや安定性や信頼性に影響を及ぼす可能性があった。

30

【0009】

また、発明者らが数値計算を行ったところ、電界緩和領域をフローティングで設置することが、必ずしもスイッチング損失の低減につながる訳ではないことが判明した。

【0010】

また、SiCを基板材料として用いるスイッチング素子に於いては、従来広く用いられていたSiを基板材料とするスイッチング素子と比較して、SiC材料のバンドギャップが大きいため半導体層の十分な低抵抗化が困難であり、寄生抵抗が大きくなる傾向があった。特に、SiCのバンドギャップ内の十分に浅いエネルギー領域にp型の不純物レベルをもつ元素が存在しないため、室温近傍で抵抗率の低いp型SiCが得られなかった。その寄生抵抗の大きさが、スイッチング動作時に電界緩和領域に発生する電位を大きくし、ゲート絶縁膜破壊に至らしめる場合があるという問題があった。

40

【0011】

また、縦型MOSFETやIGBT等のスイッチング素子をインバーターモジュール等の電力変換器に应用する場合、当該半導体素子に対して逆並列に接続されるフリーホイールダイオードの代わりに、当該半導体素子に内蔵されているボディダイオードを用いることがある。このような用途を想定したとき、ボディダイオードには良好な順方向特性を有していることが、インバーターモジュールなどの電力変換器の損失低減に必要であった。特に、ベース層としてしばしば用いられるp型のSiCに対して、十分低い接触抵抗

50

や十分大きい接合面積が必要であった。

【0012】

本発明は、この様な問題点の発見及び当該問題点の発生箇所の認識を踏まえて成されたものであり、良好なボディーダイオード特性を有し、帰還容量を低減してスイッチング損失を低減しつつ、高速スイッチング時（特にターンオフ時）に於けるゲート電極と電界緩和領域間の絶縁破壊の発生を抑制可能な半導体装置の提供を目的とする。

【課題を解決するための手段】

【0013】

本発明の一態様にかかる半導体装置は、半導体基板と、前記半導体基板上に形成された、第1導電型のドリフト層と、前記ドリフト層表面に選択的に複数形成された第2導電型の第1ウェル領域と、前記第1ウェル領域内に形成された第1導電型のソース領域と、前記第1ウェル領域にチャンネル領域を形成するゲート電極と、前記ゲート電極を覆うように形成され、コンタクトホールを有する層間絶縁膜と、前記コンタクトホール内に設けられたオーミック電極と、前記層間絶縁膜上と前記コンタクトホール内の前記オーミック電極上とに形成され、かつ、前記ソース領域に前記オーミック電極を介して接続するソース電極と、隣接する前記第1ウェル領域の間において、前記第1ウェル領域と離間して形成され、前記コンタクトホール内に形成された前記ソース電極と前記オーミック電極を介して接続する第2導電型の第2ウェル領域と、前記第1ウェル領域を含むセル領域の周囲に形成され、前記ソース電極と前記オーミック電極を介して接続し、かつ、前記第2ウェル領域と接触する第2導電型の周縁領域と、前記半導体基板裏面に形成されたドレイン電極とを備える。

【発明の効果】

【0014】

本発明の一態様にかかる半導体装置によれば、半導体基板と、前記半導体基板上に形成された、第1導電型のドリフト層と、前記ドリフト層表面に選択的に複数形成された第2導電型の第1ウェル領域と、前記第1ウェル領域内に形成された第1導電型のソース領域と、前記第1ウェル領域にチャンネル領域を形成するゲート電極と、前記ゲート電極を覆うように形成され、コンタクトホールを有する層間絶縁膜と、前記コンタクトホール内に設けられたオーミック電極と、前記層間絶縁膜上と前記コンタクトホール内の前記オーミック電極上とに形成され、かつ、前記ソース領域に前記オーミック電極を介して接続するソース電極と、隣接する前記第1ウェル領域の間において、前記第1ウェル領域と離間して形成され、前記コンタクトホール内に形成された前記ソース電極と前記オーミック電極を介して接続する第2導電型の第2ウェル領域と、前記第1ウェル領域を含むセル領域の周囲に形成され、前記ソース電極と前記オーミック電極を介して接続し、かつ、前記第2ウェル領域と接触する第2導電型の周縁領域と、前記半導体基板裏面に形成されたドレイン電極とを備えることにより、帰還容量が小さく、スイッチング損失を低く抑えることができるとともに、高速スイッチング時に於けるゲート電極と電界緩和領域である第2ウェル領域との間の絶縁破壊の発生を抑制することができる。

【図面の簡単な説明】

【0015】

【図1】実施の形態1に係る炭化珪素半導体装置の上面図である。

【図2】実施の形態1における炭化珪素半導体装置の製造方法における素子端面における縦断面図である。

【図3】実施の形態1における炭化珪素半導体装置の製造方法における素子端面における上面図である。

【図4】実施の形態1における炭化珪素半導体装置の製造方法における素子端面における上面図の変形例である。

【図5】実施の形態1における炭化珪素半導体装置の製造方法における素子端面における縦断面図である。

10

20

30

40

50

【図 6】実施の形態 1 における炭化珪素半導体装置の製造方法における素子端面における上面図である。

【図 7】実施の形態 1 における炭化珪素半導体装置の製造方法における素子端面における縦断面図の変形例である。

【図 8】実施の形態 1 における炭化珪素半導体装置の製造方法における素子端面における縦断面図の変形例である。

【図 9】実施の形態 1 における炭化珪素半導体装置の製造方法における素子端面における縦断面図の変形例である。

【図 10】実施の形態 1 における炭化珪素半導体装置の製造方法における素子端面における縦断面図の変形例である。

10

【図 11】実施の形態 1 における炭化珪素半導体装置の製造方法における素子端面における縦断面図である。

【図 12】実施の形態 1 における炭化珪素半導体装置の製造方法における素子端面における縦断面図である。

【図 13】実施の形態 1 における炭化珪素半導体装置の製造方法における素子端面における上面図である。

【図 14】実施の形態 1 における炭化珪素半導体装置の製造方法における素子端面における縦断面図の変形例である。

【図 15】実施の形態 1 における炭化珪素半導体装置の製造方法における素子端面における縦断面図の変形例である。

20

【図 16】実施の形態 1 における炭化珪素半導体装置の製造方法における素子端面における縦断面図である。

【図 17】実施の形態 1 における炭化珪素半導体装置の製造方法における素子端面における上面図である。

【図 18】実施の形態 1 における炭化珪素半導体装置の製造方法における素子端面における縦断面図である。

【図 19】実施の形態 2 における炭化珪素半導体装置の製造方法における素子端面における縦断面図である。

【図 20】実施の形態 2 における炭化珪素半導体装置の製造方法における素子端面における縦断面図の変形例である。

30

【図 21】実施の形態 2 における炭化珪素半導体装置の製造方法における素子端面における縦断面図の変形例である。

【図 22】実施の形態 2 における炭化珪素半導体装置の製造方法における素子端面における縦断面図の変形例である。

【図 23】実施の形態 2 における炭化珪素半導体装置の製造方法における素子端面における縦断面図の変形例である。

【図 24】実施の形態 2 における炭化珪素半導体装置の製造方法における素子端面における縦断面図である。

【図 25】実施の形態 2 における炭化珪素半導体装置の製造方法における素子端面における縦断面図の変形例である。

40

【図 26】実施の形態 2 における炭化珪素半導体装置の製造方法における素子端面における縦断面図の変形例である。

【図 27】実施の形態 1 における炭化珪素半導体装置の製造方法における一工程における炭化珪素半導体装置の上面図である。

【図 28】実施の形態 1 によって作製される炭化珪素半導体装置の第 2 ウェル領域における発生電位の時間変化を示す図である。

【図 29】実施の形態 1 によって作製される炭化珪素半導体装置の第 2 ウェル領域における発生電位の時間変化を示す図である。

【図 30】実施の形態 1 によって作製される炭化珪素半導体装置のゲート/ドレイン間容量を示す図である。

50

【図 3 1】実施の形態 1 によって作製される炭化珪素半導体装置のスイッチング損失を示す図である。

【図 3 2】実施の形態 2 によって作製される炭化珪素半導体装置における不純物濃度分布を示す図である。

【発明を実施するための形態】

【0016】

以下の記載では、不純物の導電型に関して、n型を「第1導電型」と、p型を「第2導電型」として一般的に定義するが、その逆の定義でも構わない。

【0017】

< A . 実施の形態 1 >

10

< A - 1 . 構成 >

図 1 は、本実施の形態 1 に係る炭化珪素半導体装置、具体的には炭化珪素 MOSFET の上面構成を模式的に示す平面図である。

【0018】

本素子の 4 つの側面の内で一側面の上端中央部には、外部の制御回路（図示せず）からゲート電圧が印加されるゲートパッド 7 8 が形成されている。又、MOSFET の最小単位構造であるユニットセルが複数個並列配置された活性領域内に、ユニットセルのソース電極（図示せず）を並列接続したソースパッド 7 5 が形成されている。そして、ソースパッド 7 5 の周囲にゲート配線 7 6 が、ゲートパッド 7 8 と接続して形成されている。各ユニットセルのゲート電極（図 1 では図示せず）には、ゲートパッド 7 8 に印加されるゲート電圧が、ゲートパッド 7 8 およびゲート配線 7 6 を通じて、各ユニットセルのゲート電極に供給される。

20

【0019】

尚、通常の製品では、温度センサー及び電流センサー用の電極が半導体素子に形成されている場合が多いが、それらの電極の形成の有無は、後述する本素子の効果に何らの影響を及ぼすものではない。

【0020】

加えて、ゲートパッド 7 8 の位置、個数及びソースパッド 7 5（ソース電極）の形状等も MOSFET によっては多種多様のケースが有り得るが、それらも、上記の電流センサー用電極等と同様に、後述する本素子の効果に何らの影響を及ぼすものではない。

30

【0021】

< A - 2 . 製造方法 >

次に、図 2 ~ 図 1 8 に示す断面模式図、及び平面模式図を参照して、本実施の形態 1 に係る炭化珪素半導体装置、具体的には炭化珪素 MOSFET の製造方法について記載する。なお、図 2 ~ 図 1 8 に示す断面模式図、及び平面模式図は、図 1 の A - A ' の位置である。

【0022】

まず、第 1 導電型の炭化珪素から成る半導体基板 2 0 を用意する。半導体基板 2 0 は、c 軸方向に対して 8 ° 以下に傾斜されていても良いし、或いは、傾斜していなくても良く、どのような面方位を有していても、本実施の形態 1 の効果に影響を及ぼさない。半導体基板 2 0 の上方には、エピタキシャル結晶成長層（不純物濃度は $1 \times 10^{13} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の範囲内であり、厚みは $4 \mu\text{m} \sim 200 \mu\text{m}$ である）より成る第 1 導電型のドリフト層 2 1 を有する。

40

【0023】

その後、図 2 及び図 3 に示すように、フォトリソグラフィーにより加工されたレジストマスクまたは酸化膜マスクなどを利用して不純物のイオン注入を行い、ドリフト層 2 1 表面に選択的に複数形成された第 2 導電型の第 1 ウェル領域 4 1 と、ドリフト層 2 1 表面に、第 1 ウェル領域 4 1 を含むセル領域を平面視包囲して選択的に形成された第 2 導電型の周縁領域 4 2 と、周縁領域 4 2 に隣接する第 2 導電型の JTE 領域 4 0 と、各第 1 ウェル領域 4 1 表面に選択的に形成された領域であって、当該領域とドリフト層 2 1 とで挟まれ

50

た各第1ウェル領域41表面をチャンネル領域として規定する第1導電型のソース領域80と、第1導電型のフィールドストッパー領域81をそれぞれ形成する。

【0024】

注入時の半導体基板20は積極的に加熱を行わなくても良いし、200 ~ 800 で加熱して行っても良い。注入不純物としては、導電型がn型の場合には窒素又はリンが好適であり、導電型がp型の場合にはアルミニウム又は硼素が好適である。

【0025】

第1ウェル領域41、周縁領域42の深さは、ドリフト層21の底面を超えない様に設定する必要性があり、例えば0.3 μm ~ 2.0 μmの範囲内の値とする。又、第1ウェル領域41、周縁領域42の不純物濃度は、ドリフト層21の不純物濃度を超過しており、且つ、 $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲内に設定される。但し、ドリフト層21の最表面近傍に限っては、炭化珪素半導体装置のチャンネル領域における導電性を高めるために、第1ウェル領域41の不純物濃度がドリフト層21の不純物濃度を下回っていても良い。

10

【0026】

また、第1ウェル領域41と周縁領域42の不純物濃度及び注入深さは、同一であれば一度の写真製版処理によってパターンニングされるために、処理工数の削減やチップコストの低減に繋がるが、同一でなくても良い。すなわち、チャンネルの伝導に寄与しない周縁領域42においては、素子のスイッチングで誘起される電荷により発生する電位が起す、素子破壊を防ぐために、第2導電型の導電率が高くなるように、より高濃度の第2導電型の不純物を注入しても良い。

20

【0027】

また、周縁領域42とJTE領域40とはドリフト層21内で接続されており、第1ウェル領域41と周縁領域42とはドリフト層21内で接続されていない。

【0028】

第1導電型のソース領域80の深さに関しては、その底面が第1ウェル領域41の底面を超えない様に設定され、その不純物濃度の値は、第1ウェル領域41の不純物濃度の値を超過しており、且つ、その値は $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲内の値に設定されている。

【0029】

なお、第1ウェル領域41で囲まれるユニットセルの平面方向の配置としては、図3に示すように、縦横に等ピッチで配列されていても良く、図4に示すように、列に対して半周期ずらして配列されていても良い。本発明の効果は、どちらの配列パターンについても功を奏する。

30

【0030】

なお、本発明の特徴的な点として、図3及び図4に示すように、等ピッチで配列された第1ウェル領域41で囲まれるユニットセル群の、本来配置されるべき位置にユニットセルが配置されていない箇所が存在し、さらに、これは周期性を持って存在する。なお、本実施の形態1として、ユニットセルの平面形状は図3及び図4に示すように正方形としたが、これは長方形でも六角形でも構わない。

40

【0031】

続いて、図5及び図6に示すように、フォトリソグラフィーにより加工されたレジストマスクまたは酸化膜マスクなどを利用して不純物のイオン注入を行い、第2導電型の第2ウェル領域43を形成する。第2ウェル領域43の深さは、ドリフト層21の底面を超えない様に設定し、例えば0.1 μm ~ 2.0 μmの範囲内の値とする。第2ウェル領域43の不純物濃度は、ドリフト層21の不純物濃度を超過しており、且つ、 $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲内に設定される。

【0032】

第2ウェル領域43は、図7に示すように、第1ウェル領域41よりも浅く形成されていても良く、図8に示すように、第1ウェル領域41よりも深く形成されていても良い。

50

【0033】

ここで、第2ウェル領域43は、素子に逆方向の高ドレインバイアスが印加されたときに、第1ウェル領域41よりも先にアバランシェブレークダウンを起こさないような、不純物分布を持つことが望ましい。

【0034】

第2ウェル領域43は、第1ウェル領域41間のJFET領域に形成され、第1ウェル領域41と一定の距離を保って離間して、すなわち非接触に存在している。すなわち、第2ウェル領域43は、選択的に形成された第1ウェル領域41を取り囲むように配置され、第1ウェル領域41と第2ウェル領域43はドリフト層21内で互いに接しない。また、第2ウェル領域43は離散して分布せず、素子の活性領域内で接続されている。さらに、第2ウェル領域43は、周縁領域42と接続されている。

10

【0035】

なお、第1ウェル領域41と第2ウェル領域43との間隔は、 $0.2\mu\text{m}$ 以上であることが望ましい。すなわち、第1ウェル領域41及び第2ウェル領域43の不純物濃度が $1 \times 10^{18}\text{cm}^{-3}$ の時、ドリフト層21に広がる空乏層幅は少なくとも $0.1\mu\text{m}$ であることから、少なくとも $0.2\mu\text{m}$ のギャップを設けることで、JFET領域が全領域で空乏化して、素子が導通しない事態を避けることができる。

【0036】

ところで、第2ウェル領域43は、上記手法によって形成しても良いし、図9に示すようにJTE領域40と同時に形成されても良いし、図10に示すようにJTE領域40とウェルコンタクト領域47の両方と同時に形成されてもよい。このようにすれば、写真製版工程の削減によってチップ製造コストの削減が行える。

20

【0037】

また、第2ウェル領域43を、第1ウェル領域41を形成するときと同時に形成することが考えられる。しかしながら、サブミクロンの微細なマスクパターンを必要とする場合があって技術的な困難さが生じることや、さらには図7や図8に示すように、オン抵抗を低減するために、第1ウェル領域41よりも深さを調整したり不純物濃度を変化させたりする場合に対して不利である。本発明のように、第1ウェル領域41と第2ウェル領域43とを別々の写真製版で行うことによって、そのような不具合は生じず、容易に例えば図5に示す構造が作製される。

30

【0038】

一方、図11に示すように、周縁領域42を第2ウェル領域43が兼ねるように形成しても良いし、図示しないが第1ウェル領域41と第2ウェル領域43の両方の過程で周縁領域42を形成しても良い。

【0039】

次に、図12~15に示すように、第1ウェル領域41、周縁領域42、第2ウェル領域43とソースパッド75との良好な金属接触を実現するために、第1ウェル領域41、周縁領域42、第2ウェル領域43の不純物濃度よりも高い第2導電型の不純物濃度を有するウェルコンタクト領域46、47をイオン注入により形成する(図12、13)。尚、該イオン注入は、 150°C 以上の基板温度で実行されることが望ましい。このような温度範囲にすることで、シート抵抗の低い第2導電型層(ウェルコンタクト領域46、47)が形成される。

40

【0040】

なお、この直後、もしくはこれまでの注入工程のどこかで、図14に示すように、基板全面に第1導電型の不純物をイオン注入して、ゲート電極50下のドリフト層21表面において、ドリフト層21の不純物濃度よりも高い不純物濃度を有し、第1ウェル領域41よりも大きな深さ方向の厚みを有する第1導電型の第2不純物領域としての高濃度層85を形成しても良いし、図15に示すように、フォトリソグラフィにより加工されたレジストマスクまたは酸化膜マスクなどを利用して、第1導電型の不純物のイオン注入を行い第1導電型の第2不純物領域としての電流制御層86を形成しても良い。これらはいずれ

50

も J F E T 領域の抵抗を低減することができるため、素子のオン抵抗を低減することができる。

【 0 0 4 1 】

また、高濃度層 8 5 と電流制御層 8 6 とは、第 1 ウェル領域 4 1 及び第 2 ウェル領域 4 3 の深さよりも深く形成しておくことが望ましい。これは、J F E T 端における広がり抵抗を低減することができるため、素子のオン抵抗をさらに低減する効果がある。さらに、半導体装置に逆バイアスを印加したときの第 1 ウェル領域 4 1 または第 2 ウェル領域 4 3 とドリフト層 2 1 の間でのアバランシェブレークダウンを、より安定的に起こさせる効果もある。なお、高濃度層 8 5 は、ドリフト層 2 1 の上方にエピタキシャル成長によって形成されていてもよい。

10

【 0 0 4 2 】

その後、アルゴン又は窒素等の不活性ガス雰囲気、若しくは、真空中に於いて 1 5 0 0 ~ 2 2 0 0 の範囲内の温度で 0 . 5 分 ~ 6 0 分の範囲内の時間で熱処理を行うことで、注入された不純物が電気的に活性化する。該熱処理時においては、ドリフト層 2 1 の表面、もしくは、ドリフト層 2 1 の表面と半導体基板 2 0 の裏面とを、炭素からなる膜で覆われた状態で行っても良い。このようにすることで、熱処理時における装置内の残留水分や残留酸素等による、エッチング時の、ドリフト層 2 1 の表面の荒れ発生を防ぐことが出来る。

【 0 0 4 3 】

次に、熱酸化によるシリコン酸化膜の形成、及びフッ酸による該酸化膜の除去によって、表面変質層を除去して清浄な面を得た後に、活性領域のみを開口してそれ以外の領域をシリコン酸化膜で覆うフィールド酸化膜 3 1 を C V D 法などによって堆積し、パターニングを行う。フィールド酸化膜 3 1 の膜厚は、0 . 5 μ m ~ 2 μ m あれば良い。

20

【 0 0 4 4 】

そして、例えば熱酸化法又は堆積法又はそれらの後に窒化ガスやアンモニア雰囲気における熱処理によって、ゲート絶縁膜 3 0 を形成する。

【 0 0 4 5 】

そして、ゲート電極 5 0 の材料となるポリシリコンを C V D 法により堆積し、フォトリソグラフィ及びドライエッチングによってゲート電極 5 0 をパターニングし、図 1 6 及び図 1 7 に示す構造を得る。このポリシリコンには、リンや硼素が含まれて低シート抵抗であることが望ましい。リンや硼素は、ポリシリコンの製膜中に取り込まれても良いし、イオン注入とその後の熱処理によって活性化することによっても良い。さらに、このゲート電極 5 0 はポリシリコンと金属及び金属間化合物の多層膜であっても良い。

30

【 0 0 4 6 】

次に、層間絶縁膜 3 2 を C V D 法などによって堆積した上で、例えばドライエッチング法によって、ソースパッド 7 5 によりその後充填されるべきソースコンタクトホール 6 1、ウェルコンタクトホール 6 2 を形成する。ここで、ゲート配線 7 6 によりその後充填されるべきゲートコンタクトホール 6 4 を同時に形成しても良い。このようにすることで、プロセス工程を簡略化でき、チップ製造時のコストを削減できる。

【 0 0 4 7 】

次に、層間絶縁膜 3 2 が開口されているソースコンタクトホール 6 1、ウェルコンタクトホール 6 2 の、炭化珪素が現れている部分にオーミック電極 7 1 を形成する。オーミック電極 7 1 は、ソース領域 8 0 とウェルコンタクト領域 4 6、4 7 とのオーミック接触形成に用いられる。このオーミック電極 7 1 の形成方法としては、基板全面に N i を主とした金属膜を製膜したあとに、6 0 0 ~ 1 1 0 0 での熱処理によって炭化珪素との間にシリサイドを形成し、層間絶縁膜 3 2 上に残留した N i を主とした金属膜を、硝酸や硫酸や塩酸やそれらの過酸化水素水との混合液などを用いたウェットエッチングにより除去することで形成できる。

40

【 0 0 4 8 】

なお、オーミック電極 7 1 を形成する過程で、半導体基板 2 0 の裏面に同様の金属膜を

50

製膜した後に、熱処理を行って裏面のオーミック電極 7 2 を形成しても良い。このようにすることで、炭化珪素の半導体基板 2 0 と後に製膜するドレイン電極 7 7 間で良好なオーミック接触が形成される。

【 0 0 4 9 】

なお、オーミック電極 7 1 は全て同一の金属間化合物からなっても良いし、それぞれに適した別々の金属間化合物からなっても良い。これは、オーミック電極 7 1 は第 1 導電型のソース領域 8 0 に対して十分低いオーミックコンタクト抵抗を有していることが、作製される MOSFET のオン抵抗低減に重要であるが、同時に第 2 導電型のウェルコンタクト領域 4 6、4 7 に対しても、作製されるボディダイオードの順方向特性改善のために低コンタクト抵抗であることが求められるためである。写真製版技術を用いて金属膜のパターニングをそれぞれで行うことで実現可能である。

10

【 0 0 5 0 】

なお、層間絶縁膜 3 2 上に残留した Ni を主とした金属膜を除去した後に、再度熱処理を行っても良い。ここでは先の熱処理よりも高温で行うことで、さらに低コンタクト抵抗なオーミック接触が形成される。

【 0 0 5 1 】

なお、先の工程でゲートコンタクトホール 6 4 が形成されていたら、ゲートコンタクトホール 6 4 の底面に存在するゲート電極 5 0 にシリサイド層が形成される。先の工程でゲートコンタクトホール 6 4 を形成していなければ、引き続いて写真製版とエッチングによって、ゲート配線 7 6 によりその後に充填されるべきゲートコンタクトホール 6 4 を形成する。

20

【 0 0 5 2 】

引き続いて、Al、Cu、Ti、Ni、Mo、W、Ta やそれらの窒化物やそれらの積層膜やそれらの合金層から成る配線金属をスパッタ法や蒸着法によって形成し、その後にパターニングを行うことで、ゲート配線 7 6、ゲートパッド 7 8、ソースパッド 7 5 を形成する。更に、オーミック電極 7 2 上に Ti や Ni や Ag や Au などの金属膜を形成してドレイン電極 7 7 を形成することにより、図 1 8 で示される炭化珪素 MOSFET が完成される。

【 0 0 5 3 】

図 1 8 に示すように本発明にかかる半導体装置は、第 1 導電型の半導体基板 2 0 と、半導体基板 2 0 表面上に形成された第 1 導電型のドリフト層 2 1 と、半導体基板 2 0 裏面に形成されたオーミック電極 7 2 と、オーミック電極 7 2 下にさらに備えられたドレイン電極 7 7 と、ドリフト層 2 1 表面に選択的に複数形成された、第 2 導電型の第 1 ウェル領域 4 1 と、各第 1 ウェル領域 4 1 表面に選択的に形成された領域であって、当該領域とドリフト層 2 1 とで挟まれた各第 1 ウェル領域 4 1 表面をチャンネル領域として規定する第 1 導電型のソース領域 8 0 と、ソース領域 8 0 表面に選択的に形成されたウェルコンタクト領域 4 6 と、チャンネル領域上からドリフト層 2 1 上に渡って、ゲート絶縁膜 3 0 を介して形成されたゲート電極 5 0 と、ドリフト層 2 1 のセル配置領域の平面視において、第 1 ウェル領域 4 1 を除く領域の少なくとも一部に、第 1 ウェル領域 4 1 と非接触に形成された、第 2 導電型の第 2 ウェル領域 4 3 と、第 2 ウェル領域 4 3 表面に選択的に形成されたウェルコンタクト領域 4 7 と、第 1、第 2 ウェル領域 4 1、4 3 の両方に対し、オーミック電極 7 1 を介したコンタクト（ソースコンタクトホール 6 1、ウェルコンタクトホール 6 2）が形成されたソース電極（ソースパッド 7 5）とを備える。

30

40

【 0 0 5 4 】

さらに、ドリフト層 2 1 表面に、第 1、第 2 ウェル領域 4 1、4 3 を含むセル領域を平面視包囲して選択的に形成され、ソース電極に対しコンタクトが形成され、第 2 ウェル領域 4 3 と接触する第 2 導電型の周縁領域 4 2 と、周縁領域 4 2 表面に選択的に形成されるウェルコンタクト領域 4 7 と、ドリフト層 2 1 表面に、周縁領域 4 2 を平面視包囲して選択的に形成される JTE 領域 4 0、フィールドストッパー領域 8 1 と、周縁領域 4 2、JTE 領域 4 0、フィールドストッパー領域 8 1 に渡って表面を覆うように形成されたフィ

50

ールド酸化膜 31 と、ゲート電極 50 を覆うように形成された層間絶縁膜 32 と、ゲート配線 76 とゲート電極 50 とを接続するゲートコンタクトホール 64 とを備える。

【0055】

なお、図示しないが、表面側をシリコン窒化膜やポリイミドなどの保護膜で覆っていても良い。それらは、ゲートパッド 78 及びソースパッド 75 のしかるべき位置で開口され、外部の制御回路と接続できるようになっている。

【0056】

< A - 3 - 1 . 作用 >

次に、本実施の形態 1 により作製される炭化珪素半導体装置の作用について説明する。本実施の形態 1 の炭化珪素半導体装置は、MOSFET を構成する複数のユニットセル（セル領域）と、それらを取り囲む p n ダイオードとが電氣的に並列に接続されている。例えば図 27 には、注入処理が終了した工程でのドリフト層 21 の上面図を示す。

【0057】

第 1 ウェル領域 41 を有する複数のユニットセルは、第 2 ウェル領域 43 及びそれと接続された周縁領域 42 及び JTE 領域 40 で取り囲まれている。そして、第 1 ウェル領域 41 と第 2 ウェル領域 43 とのギャップにはドリフト層 21 が存在している。この第 1 ウェル領域 41 と第 2 ウェル領域 43 とで囲まれたギャップの直上には、ゲート絶縁膜 30 及びゲート電極 50 が存在している。

【0058】

ところで、ゲート電極 50 とドレイン電極 77 の間の静電容量 (Cgd) は、該ギャップ領域の面積に略比例し、また、Cgd が大きいほど MOSFET のスイッチング動作時における損失 (スイッチング損失) が大きくなることが知られている。図 18 の C で囲む領域を見ると、対となる第 1 ウェル領域 41 の間隙に第 2 ウェル領域 43 が存在することによって、実効的な該ギャップ領域の面積が減少するために、Cgd が小さくなる効果がある。すなわち、スイッチング損失を低減させることが可能となる。

【0059】

ところが、素子のスイッチング動作時、特にターンオフ (オン状態からオフ状態へスイッチング) 時には、第 1 ウェル領域 41 のみならず、第 2 ウェル領域 43 にも、寄生容量を介して電荷の充放電に伴う電位が発生する。第 1 ウェル領域 41 は比較的面積が小さく、内部の寄生抵抗も小さいために発生する電位は小さいが、比較的面積が大きい第 2 ウェル領域 43 においては、ソース電位を適当な位置で電位固定 (アース) し、これを適当な間隔を持って配置しないと、発生する電位降下によって電位固定位置から距離の離れた第 2 ウェル領域内の箇所において高電位が発生し、ゲート絶縁膜 30 が絶縁破壊を起こして素子不良が発生する可能性がある。

【0060】

この様子を図 28、29 に示す。ドレイン電圧の時間変化として 30 V / nsec という高速でスイッチングしたときの第 2 ウェル領域 43 に発生する電位の時間変化を示す。縦軸はウェル領域で発生する電位、横軸は時間変化である。

【0061】

配列 1 と配列 2 は、第 2 ウェル領域 43 に対する電位固定セル (図 18 及び図 17 の D) の配置間隔を変えたものであり、配列 1 はセル (図 18 の C) 8 個に対して 1 個、配列 2 はセル (図 18 の C) 3 個に対して 1 個の電位固定セルを配置した場合である。

【0062】

例えば図 28 において、ターンオンよりもターンオフの方が発生する電位が大きいことが分かり、また、配列 1 よりも配列 2 の方が電位が小さいことから、電位固定セル (図 18 及び図 17 の D) をより密に配置することによって発生電位は小さく抑えられることが分かる。

【0063】

図 28 は、第 2 ウェル領域 43 のシート抵抗を 80 k / として計算した場合であり、配列 1 であってもゲート絶縁膜に印加される最大電界は 2 MV / cm 程度であり、信頼

10

20

30

40

50

性を考えた上でも十分低い。一方、図29の、第2ウェル領域43のシート抵抗を800k / として計算した場合は、配列1のターンオフにおいて大きな電位が発生し、これはゲート絶縁膜中電界としておよそ5MV / cmに相当する。配列2の場合であれば、配列1ほど大きな電位は発生せず、信頼性を維持できる。なお、図29の縦軸はウェル領域で発生する電位、横軸は時間変化である。

【0064】

なお、第2ウェル領域43の電位固定セルを設けなければ、発生する電位がさらに増加して、半導体装置の高速動作化に害することは容易に想像される。

【0065】

すなわち、第2ウェル領域43に発生する電位は、第2ウェル領域43のシート抵抗やスイッチング速度に依存すると共に、第2ウェル領域43の電位固定を適当な間隔で配置して行うことが、第2ウェル領域43に発生する電位によるゲート絶縁膜破壊防止及び信頼性確保に対して重要である。

【0066】

従って、本実施の形態1の炭化珪素半導体装置は、第2ウェル領域43が図18及び図17のDで囲む領域のように、活性領域内でソースパッド75に接続されており、その電位固定セルが図17及び図27に示すように、ある一定の距離、もしくはある一定の距離以下となるように分布して配置しているため、素子の高速駆動に伴う電位発生によっても、ゲート絶縁膜30の破壊を抑えることができるという特徴を有する。

【0067】

電位固定された第2ウェル領域43を配置することによってCgd（静電容量）が減少すること、及びスイッチング損失が低減されることを数値計算によって確認した。図30は、ゲート/ドレイン間電圧に対するCgdの第2ウェル領域43の有無及び電位固定の有無の依存性を示すものである。縦軸はゲート/ドレイン間の容量、横軸はゲート/ドレイン間の電圧を示している。すべての構造に対して第1ウェル領域41の配列間隔（距離）を同一にし、かつ、素子のオン抵抗が同一となる構造で比較した。

【0068】

図に示されるように、電位固定された第2ウェル領域43を設置することによって、Cgdが減少していることがわかる。又、第2ウェル領域43をフローティングから電位固定することによってもCgdが減少しており、本発明の効果が確認される。第2ウェル領域43の設置と電位固定に対して第2ウェル領域43の不純物濃度をp濃度1からp濃度2（p濃度2 > p濃度1）へ増加することによってもCgd減少の効果が確認される。

【0069】

図31において、スイッチング時における損失を比較する。図において、縦軸はスイッチング損失を表し、各条件におけるターンオン、ターンオフ時の損失を示している。

【0070】

図を参照すると、特にターンオフにおいて、電位固定された第2ウェル領域43を配置することで、スイッチング損失を低く抑えることが可能であることが確認される。

【0071】

従って、本実施の形態の炭化珪素半導体装置は、電位固定された第2ウェル領域43が配置されていることでCgdが減少し、スイッチング損失を低減できる。

【0072】

< A - 3 - 2 . 別の作用 >

次に、本実施の形態1の炭化珪素半導体装置で得られる別の作用を示す。本実施の形態1における炭化珪素半導体装置においては、第1ウェル領域41、第2ウェル領域43、周縁領域42、JTE領域40からなる第2導電型層と、ドリフト層21の第1導電型層との間で、ボディダイオードが内蔵されている。順方向特性の立ち上がり電圧が低く、さらには高電流を駆動する良好なボディダイオード特性を得るためには、第2導電型層の十分大きな面積や、第2導電型層とソースパッド75との間の十分低い接触抵抗が必要となる。

10

20

30

40

50

【 0 0 7 3 】

ところで、半導体装置のCgdを減少させる方法として、本実施の形態1で示した第2ウェル領域43を設けずに、第1ウェル領域41の配列間隔を狭めることも考えられた。しかしながら、素子が微細化されてウェルコンタクト領域46も微細化されたときに、第1ウェル領域41に対して十分低い接触抵抗を得ることが難しくなり、ボディーダイオードとしての順方向特性が劣化する可能性がある。これは、活性領域におけるユニットセルにおいては、ウェルコンタクト領域46とソース領域80の両方にオーミック接触を形成する必要があるために、ウェルコンタクト領域46の占める面積を十分大きく取れないためである。しかしながら、本実施の形態1によれば、ボディーダイオード特性に影響を及ぼすほどの比較的大きな面積を占める第2ウェル領域43を専用のコンタクト(ウェルコンタクト領域47)によってソースパッド75と接続させるため、素子が微細化されて活性領域のユニットセルにおける第1ウェル領域41へのコンタクト不良が発生したとしても、第2ウェル領域43への良好なコンタクトは保持される。よって、ボディーダイオード特性の大きな劣化を抑止することが出来る。

10

【 0 0 7 4 】

< A - 4 . 効果 >

本発明にかかる実施の形態1によれば、半導体装置において、第1導電型の半導体基板20と、半導体基板20表面上に形成された、第1導電型のドリフト層21と、ドリフト層21表面に選択的に複数形成された、第2導電型の第1ウェル領域41と、各第1ウェル領域41表面に選択的に形成された領域であって、当該領域とドリフト層21とで挟まれた各第1ウェル領域41表面をチャンネル領域として規定する第1導電型のソース領域80と、チャンネル領域上からドリフト層21上に渡って、絶縁膜であるゲート絶縁膜30を介して形成されたゲート電極50と、ドリフト層21のセル配置領域の平面視において、第1ウェル領域41を除く領域の少なくとも一部に、第1ウェル領域41と非接触に形成された、第2導電型の第2ウェル領域43と、第1および第2ウェル領域41、43の両方に対しコンタクトが形成されたソース電極と、半導体基板20裏面に形成されたドレイン電極77とを備えることで、帰還容量が小さく、スイッチング損失を低く抑えることができる。同時に、高速スイッチング時に於けるゲート電極50と電界緩和領域である第2ウェル領域43との間の絶縁破壊の発生を抑制することができる。

20

【 0 0 7 5 】

また、比較的面積の大きい第2ウェル領域43への専用コンタクト(ウェルコンタクトホール62によるコンタクト)形成によって良好なボディーダイオード特性を得られる。

30

【 0 0 7 6 】

また、第1ウェル領域41と第2ウェル領域43とが接触していないことにより、接触している場合に比べてJFET領域が閉塞されないため、オン抵抗(JFET抵抗)の増加を抑制することができる。

【 0 0 7 7 】

また、本発明にかかる実施の形態1によれば、半導体装置において、ゲート電極50下のドリフト層21表面において、ドリフト層21の不純物濃度よりも高い不純物濃度を有し、第1ウェル領域41よりも大きな深さ方向の厚みを有する第1導電型の第2不純物領域である高濃度層85、電流制御層86をさらに備えることで、JFET領域における抵抗が減少するため、オン抵抗の低減が可能となる。

40

【 0 0 7 8 】

< B . 実施の形態 2 >

< B - 1 . 構成 >

図19は、本実施の形態2に係る炭化珪素半導体装置、具体的には炭化珪素MOSFETの図1のA-A'断面模式図を示す。

【 0 0 7 9 】

本実施の形態2においては、第2ウェル領域43の不純物分布において、第2導電型の不純物濃度がドリフト層21中の第1導電型の不純物濃度よりも基板表面側で少なく、基

50

板奥側で多くなっている。すなわち、第2ウェル領域43は基板表面側には存在せず、基板奥側に存在し、基板奥側で互いに接続されている。ここで、第2ウェル領域43は、ウェルコンタクト領域47とは基板奥側で接続されている。

【0080】

このような第2ウェル領域43の構造は、例えば図32の数値計算結果に示すように、炭化珪素からなるドリフト層21に例えばA1の700keV注入を行うことで、表面側にn型層を持ちつつ、およそ深さ0.3 μ m~1.0 μ mまでをp型層、さらに1.0 μ mから奥側でn型層という構造を作製できる。ここで図32において、縦軸はA1の濃度、横軸は深さを示すものである。本計算ではドリフト層21の不純物濃度を $2 \times 10^{16} \text{ cm}^{-3}$ とした。特に炭化珪素中の不純物の熱拡散が従来のシリコン中の熱拡散に比べて少なく、高温の活性化熱処理を施しても注入時の分布をほぼ保ち、熱拡散による不純物濃度の平滑化が抑止されるため、図19のような構造が容易に作製されることに特徴がある。

10

【0081】

このような構造とすることによっても実施の形態1と同様の効果が得られ、更に、オン動作時にゲート電極50によって誘起されるキャリアが増加するため、JFET抵抗、オン抵抗の低減効果が期待できる。

【0082】

また、図20に示すように、第2ウェル領域43の深さが第1ウェル領域41の深さよりも浅く形成されていても良い。このような第2ウェル領域43の構造とすることで、Cgdの低減効果を保持したままJFET領域の広がり抵抗を低減することができ、素子のオン抵抗を低減することが出来る。

20

【0083】

さらには、図21及び図22に示すように、第2ウェル領域43形成時の注入マスクをそのまま用いた自己整合的な手法によって第1導電型の不純物を注入して、第2ウェル領域43の基板奥側に第1不純物領域としての第1導電型の電流広がり層83を形成しても良い。電流広がり層83における第1導電型の不純物濃度は、ドリフト層21の不純物濃度の値を超えており、且つ、その値は $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲内であり、その深さはドリフト層21を超えない。このようにすることで、Cgdの低減効果を保持したままJFET領域の広がり抵抗をさらに低減することができ、素子のオン抵抗を低減することが出来る。

30

【0084】

第2ウェル領域43は、図23に示すように、周縁領域42を第2ウェル領域43で兼ねた構造としても同様の効果が期待できる。この場合、第2ウェル領域43はウェルコンタクト領域47及びJTE領域40とは基板奥側で接続されている。なお、周縁領域42とJTE領域40とウェルコンタクト領域47で囲まれたドリフト層21の電位固定を行うために、図23に示すように、ソースコンタクト領域88をウェルコンタクト47に隣接して設けておいても良い。ソースコンタクト領域88はオーミック電極71と接続されている。

【0085】

また、図24に示すように、基板全面に第1導電型の不純物をイオン注入して高濃度層85を形成しても良いし、図25に示すように、高濃度層85の下方に高濃度層87を別途形成しても良い。これはJFET領域の抵抗を低減することができるため、素子のオン抵抗を低減することができる。高濃度層87は、第1ウェル領域41及び第2ウェル領域43の深さよりも深い位置まで形成されていることで、JFET領域の広がり抵抗を低減することができるため、素子のオン抵抗をさらに低減する効果がある。なお、高濃度層85、87は、ドリフト層21の上方にエピタキシャル成長によって形成されていてもよい。

40

【0086】

また、図26に示すように、フォトリソグラフィにより加工されたレジストマスクま

50

たは酸化膜マスクなどを利用して第1導電型の不純物のイオン注入を行い、電流制御層86を形成しても良い。これはJFET領域の抵抗を低減することができるため、素子のオン抵抗を低減することができる。電流制御層86は第1ウェル領域41及び第2ウェル領域43の深い領域よりも深く形成しておくことが、JFET領域の広がり抵抗を低減することができるため、素子のオン抵抗をさらに低減する効果がある。

【0087】

尚、本実施の形態1及び2で示される上記効果は、本実施の形態2に係る素子構造によるものであり、その構造を形成するための製造方法により効果に影響が出ることはない。従って、本実施の形態で一例として記載した製造方法以外の製造方法を用いて本素子を作製したとしても、既述した効果に影響を与えるものではない。又、構成する材料が効果の度合いに影響することも無い。

10

【0088】

< B - 2 . 効果 >

本発明にかかる実施の形態2によれば、半導体装置において、第2ウェル領域43は、ドリフト層21表面には形成されないことで、JFET領域の表面に第2導電型層を有さず、第2ウェル領域43が基板奥のみに存在するため、オン動作時のゲート電界により誘起されるキャリアが増大し、オン抵抗を低減できる。

【0089】

また、本発明にかかる実施の形態2によれば、半導体装置において、ドリフト層21表面に、第1および第2ウェル領域41、43を含むセル領域を平面視包囲して選択的に形成され、ソース電極に対しコンタクトが形成された、第2導電型の周縁領域42をさらに備え、周縁領域42とソース電極とのコンタクトと、第2ウェル領域43とソース電極とのコンタクトとは、隣接して備えられることで、活性領域内で第2ウェル領域43のコンタクトを形成できるので、高速スイッチング動作時に第2ウェル領域43で発生する充放電電流による電位降下によってゲート絶縁膜が破壊することを防ぎ、信頼性に優れた素子を作製することができる。

20

【0090】

また、本発明にかかる実施の形態2によれば、半導体装置において、第2ウェル領域43下面は、第1ウェル領域41下面よりも上方に形成されることで、JFET領域における抵抗が減少するため、オン抵抗の低減できる。

30

【0091】

また、本発明にかかる実施の形態2によれば、半導体装置において、第2ウェル領域43の下方に形成され、ドリフト層21の不純物濃度よりも高い不純物濃度を有する第1導電型の第1不純物領域である電流広がり層83をさらに備えることで、JFET領域における広がり抵抗が減少するため、オン抵抗の低減ができる。

【0092】

以上、本発明の実施の形態を詳細に開示し記述したが、以上の記述は本発明の適用可能な局面を例示したものであって、本発明はこれに限定されるものではない。即ち、記述した局面に対する様々な修正や変形例を、この発明の範囲から逸脱することの無い範囲内で考えることが可能である。

40

【0093】

又、本発明に於いては、半導体素子が縦型のMOSFETである場合を開示しているが、例えば図18に示す半導体基板20と裏面側のオーミック電極72との間に第2導電型からなるコレクタ層を設けることで、IGBTのセル領域を有する半導体素子を構成しても、既述した本発明の効果が同様に奏される。従って、本発明の効力が及ぶ射程範囲は、MOSFET或いはIGBT等のMOS構造を有するスイッチング素子としての半導体素子であると言える。尚、半導体素子が縦型MOSFETの場合には、ドレイン電極及びソース電極がそれぞれ第1電極及び第2電極に相当し、半導体素子がIGBTの場合には、コレクタ電極及びエミッタ電極がそれぞれ第1電極及び第2電極に相当する。

【0094】

50

又、本発明に於いては、実施の形態 1 及び 2 で記載した MOS 構造を有する半導体素子自体を狭義の意味で「半導体装置」と定義する他、例えば、当該半導体素子を、当該半導体素子に対して逆並列に接続されるフリーホイールダイオード及び当該半導体素子のゲート電圧を生成・印加する制御回路等と共にリードフレームに搭載して封止して成るインバータモジュールの様な、当該半導体素子を組み込んで応用して成るパワーモジュール自体をも、広義の意味で「半導体装置」と定義する。

【産業上の利用可能性】

【0095】

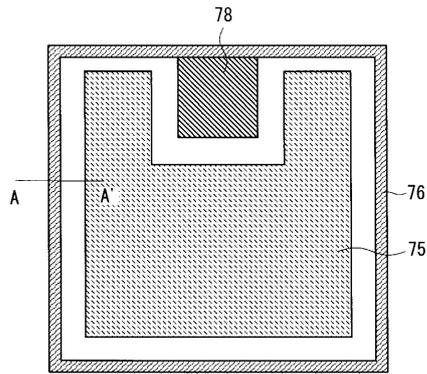
この発明は、例えばインバータの様な電力変換器に適用して好適である。

【符号の説明】

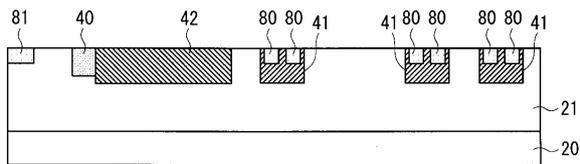
【0096】

20 半導体基板、21 ドリフト層、30 ゲート絶縁膜、31 フィールド酸化膜、32 層間絶縁膜、40 JTE領域、41 第1ウェル領域、42 周縁領域、43 第2ウェル領域、46, 47 ウェルコンタクト領域、50 ゲート電極、61 ソースコンタクトホール、62 ウェルコンタクトホール、64 ゲートコンタクトホール、71, 72 オーミック電極、75 ソースパッド、76 ゲート配線、77 ドレイン電極、78 ゲートパッド、80 ソース領域、81 フィールドストッパー領域、83 電流広がり層、85, 87 高濃度層、86 電流制御層、88 ソースコンタクト領域。

【図 1】

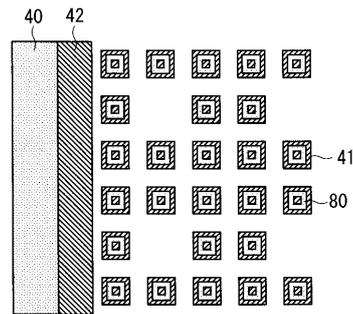


【図 2】

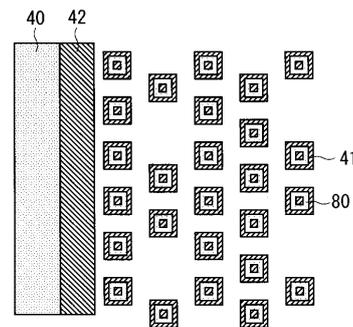


20: 半導体基板
21: ドリフト層
41: 第1ウェル領域
42: 周縁領域
80: ソース領域

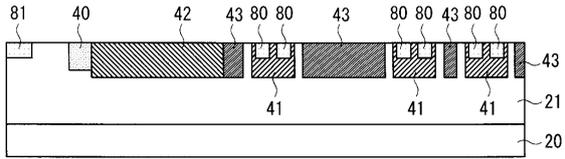
【図 3】



【図 4】

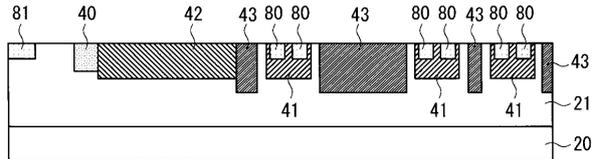


【図5】

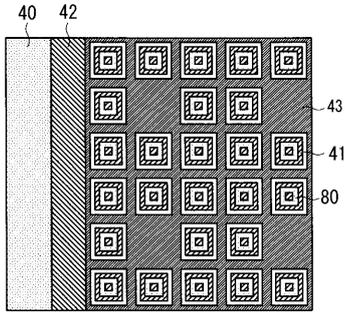


43: 第2ウェル領域

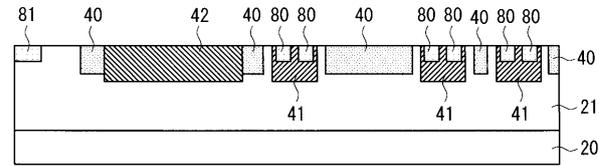
【図8】



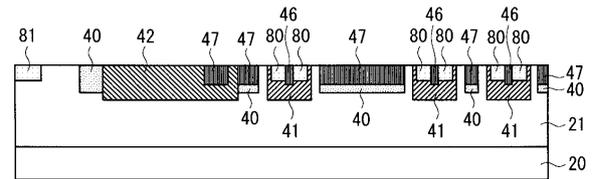
【図6】



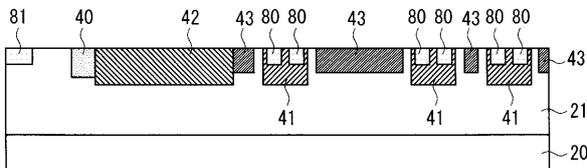
【図9】



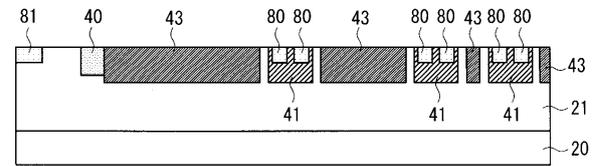
【図10】



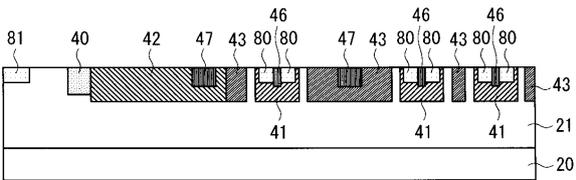
【図7】



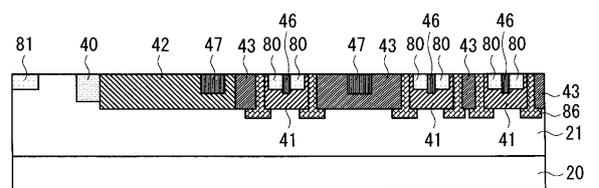
【図11】



【図12】

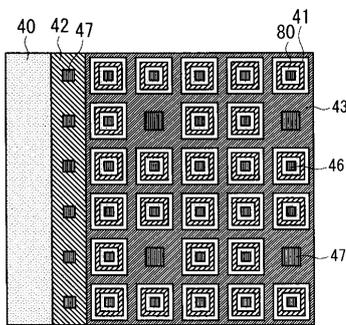


【図15】

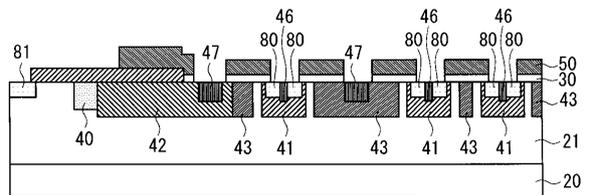


86: 電流制御層

【図13】

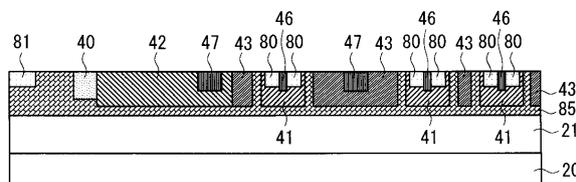


【図16】



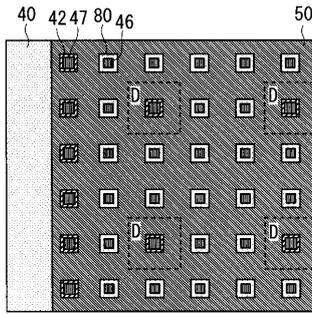
30: ゲート絶縁膜
50: ゲート電極

【図14】

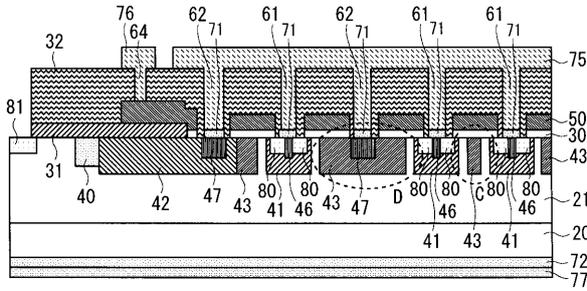


85: 高濃度層

【図17】

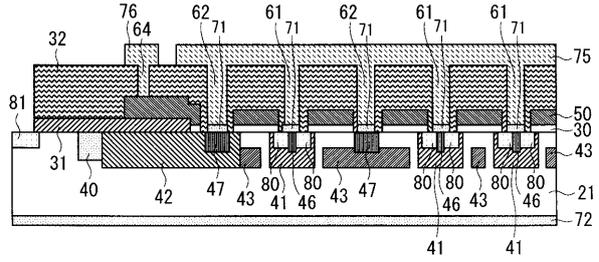


【図18】

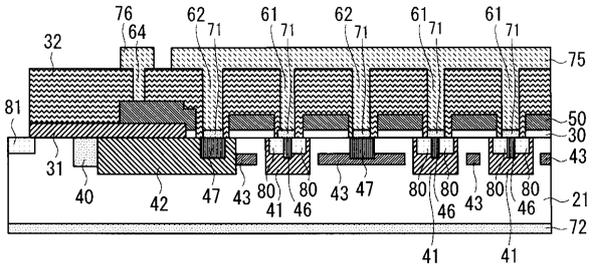


77: ドレイン電極

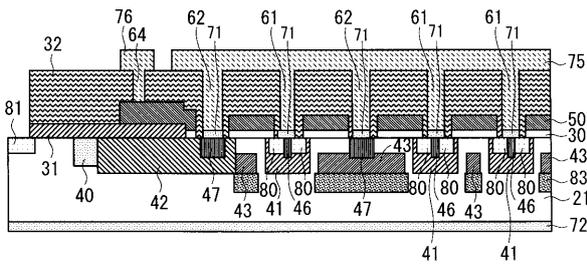
【図19】



【図20】

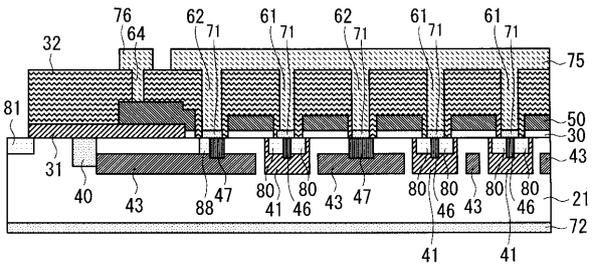


【図21】

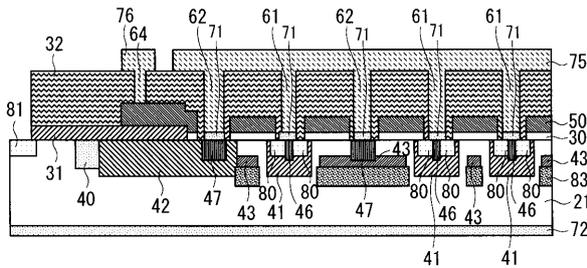


83: 電流広がり層

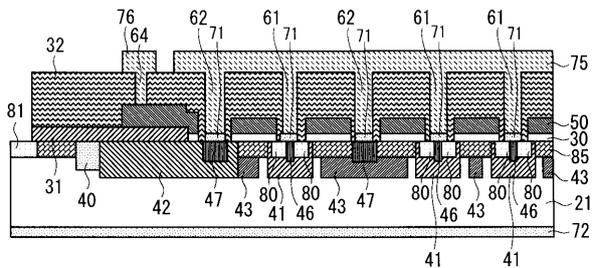
【図23】



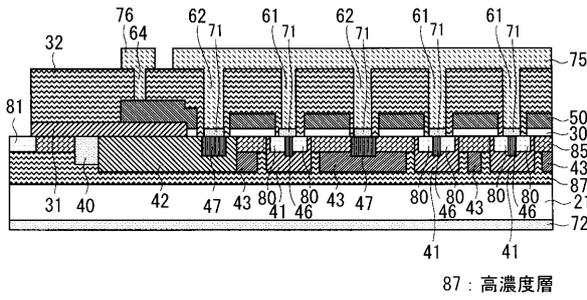
【図22】



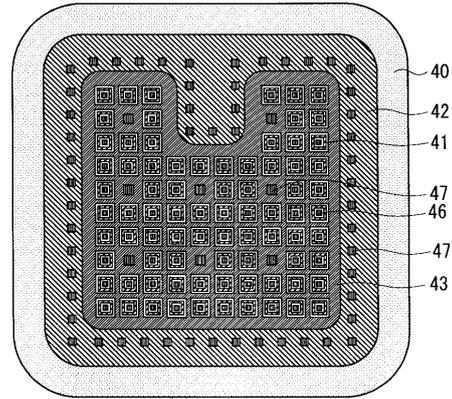
【図24】



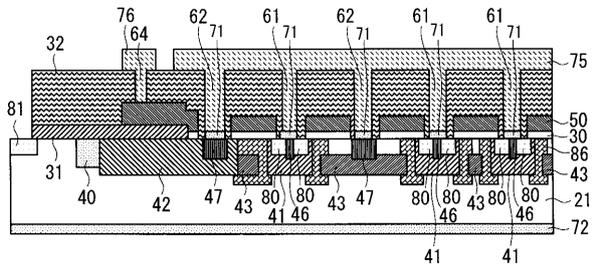
【図25】



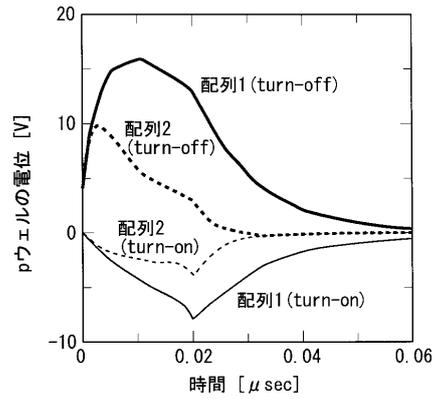
【図27】



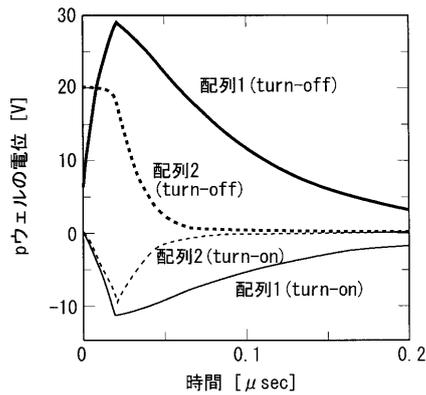
【図26】



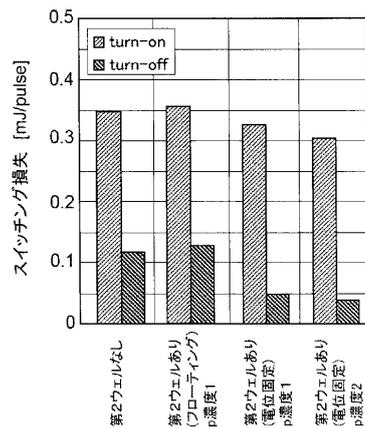
【図28】



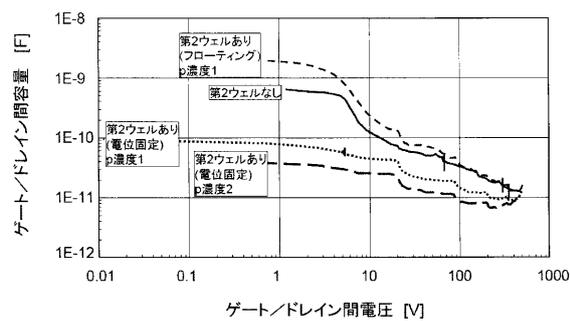
【図29】



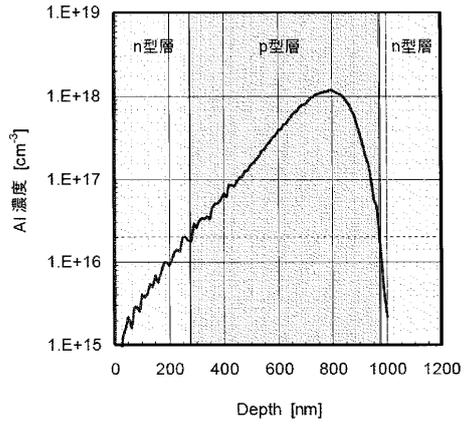
【図31】



【図30】



【 図 3 2 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 5 2 J
H 0 1 L 27/06 1 0 2 A

- (72)発明者 大塚 健一
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 渡辺 昭裕
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 日野 史郎
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 今泉 昌之
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 棚田 一也

- (56)参考文献 特開2010-016103(JP,A)
特開2004-022693(JP,A)
特開平05-102487(JP,A)
特開2010-103337(JP,A)
特開平11-145452(JP,A)
特開平09-223799(JP,A)
特開2009-010395(JP,A)
特開平11-354791(JP,A)
特開平04-346477(JP,A)
特開2008-004872(JP,A)
特開2009-182271(JP,A)
特表2006-511961(JP,A)
特開2004-006647(JP,A)
特開2006-019553(JP,A)
特開平07-078978(JP,A)
特開2002-314099(JP,A)
特開2010-040857(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 3 9 - 7 8
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 7 / 0 6
H 0 1 L 2 7 / 0 4
H 0 1 L 2 9 / 1 2
H 0 1 L 2 1 / 3 3 6