



(12)发明专利申请

(10)申请公布号 CN 109845029 A

(43)申请公布日 2019.06.04

(21)申请号 201780064993.0

(74)专利代理机构 中科专利商标代理有限责任公司 11021

(22)申请日 2017.10.25

代理人 朴云龙

(30)优先权数据

2016-211008 2016.10.27 JP

(51)Int.Cl.

H01P 5/18(2006.01)

(85)PCT国际申请进入国家阶段日

2019.04.19

(86)PCT国际申请的申请数据

PCT/JP2017/038538 2017.10.25

(87)PCT国际申请的公布数据

W02018/079614 JA 2018.05.03

(71)申请人 株式会社村田制作所

地址 日本京都府

(72)发明人 花冈邦俊

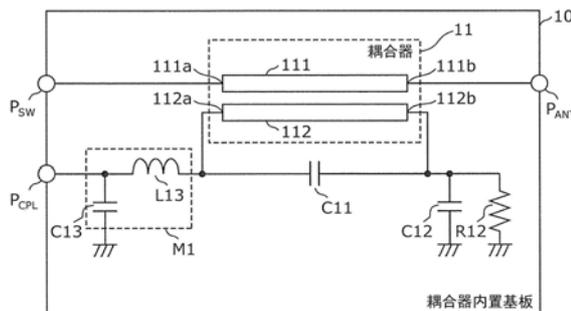
权利要求书2页 说明书12页 附图6页

(54)发明名称

定向耦合器内置基板、高频前端电路以及通信装置

(57)摘要

本发明涉及的耦合器内置基板(10)具备:耦合器(11),具有主线路(111)和副线路(112);电容器(C11),与副线路(112)并联连接;电容器(C12),对副线路(112)的另一端(112b)和接地进行连接;电阻元件(R12),对副线路(112)的另一端(112b)和接地进行连接,且在给定的频率具有不足基准化阻抗的阻抗;匹配电路(M1),连接在副线路(112)的一端(112a)与耦合端口(PCPL)之间,且在给定的频率使耦合端口(PCPL)的阻抗与基准化阻抗匹配;以及多层基板(12),通过层叠多个基材层(121a)而构成,且内置耦合器(11)。



1. 一种定向耦合器内置基板,具备:  
输入端口、输出端口以及耦合端口;  
定向耦合器,具有主线路和副线路,所述主线路的一端与所述输入端口连接,且另一端与所述输出端口连接,所述副线路与所述主线路电磁耦合,且一端与所述耦合端口连接;  
第一电容器,与所述副线路并联连接;  
第二电容器,对所述副线路的另一端和接地进行连接;  
阻抗元件,对所述副线路的所述另一端和接地进行连接,且在给定的频率具有不足基  
准化阻抗的阻抗;  
匹配电路,连接在所述副线路的所述一端与所述耦合端口之间,且在所述给定的频率  
使所述耦合端口的阻抗与所述基准化阻抗匹配;以及  
多层基板,通过层叠多个绝缘体层而构成,且内置所述定向耦合器。
2. 根据权利要求1所述的定向耦合器内置基板,其中,  
所述多层基板还内置所述第一电容器、所述第二电容器以及所述匹配电路。
3. 根据权利要求1或2所述的定向耦合器内置基板,其中,  
所述主线路以及所述副线路各自由与所述多层基板的主面平行地配置的图案导体构  
成,  
构成所述主线路的图案导体和构成所述副线路的图案导体配置为隔着所述多个绝缘  
体层中的至少一部分的绝缘体层对置。
4. 根据权利要求3所述的定向耦合器内置基板,其中,  
构成所述主线路的图案导体以及构成所述副线路的图案导体均配置在所述多层基板  
的内层。
5. 根据权利要求1或2所述的定向耦合器内置基板,其中,  
所述主线路以及所述副线路各自由在所述多层基板的内层中与该多层基板的主面平  
行地配置的图案导体构成,  
构成所述主线路的图案导体和构成所述副线路的图案导体配置在所述多个绝缘体层  
的同层。
6. 根据权利要求1~5中的任一项所述的定向耦合器内置基板,其中,  
所述匹配电路具有:  
电感器,对所述副线路的所述一端和所述耦合端口进行连接;以及  
第三电容器,对所述电感器的一端和接地进行连接。
7. 根据权利要求6所述的定向耦合器内置基板,其中,  
所述第三电容器对所述电感器的所述耦合端口侧的所述一端和接地进行连接。
8. 根据权利要求6所述的定向耦合器内置基板,其中,  
所述第三电容器对所述电感器的所述副线路侧的所述一端和接地进行连接。
9. 根据权利要求6~8中的任一项所述的定向耦合器内置基板,其中,  
所述第一电容器相对于所述副线路和所述电感器的串联连接电路进行并联连接。
10. 一种高频前端电路,具备:  
权利要求1~9中的任一项所述的定向耦合器内置基板;  
开关电路,具有与所述输入端口连接的共用端子以及与所述共用端子选择性地连接的

多个选择端子;以及

多个滤波器,与所述多个选择端子分别连接。

11.一种通信装置,具备:

RF信号处理电路,对由天线元件收发的高频信号进行处理;以及

权利要求10所述的高频前端电路,在所述天线元件与所述RF信号处理电路之间传递所述高频信号。

## 定向耦合器内置基板、高频前端电路以及通信装置

### 技术领域

[0001] 本发明涉及内置定向耦合器的定向耦合器内置基板以及包含该定向耦合器内置基板的高频前端电路以及通信装置。

### 背景技术

[0002] 以往,作为定向耦合器(耦合器)的结构,提出了相对于副线路并联地设置电容器的结构(例如,参照专利文献1)。根据该结构,通过由主线路以及副线路具有的电感和电容器具有的电容构成LC谐振电路,从而能够实现大的耦合度和良好的方向性(Directivity)。

[0003] 在先技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2012-105193号公报

### 发明内容

[0006] 发明要解决的课题

[0007] 近年来,伴随着对通信设备的小型化的要求的提高,对于搭载在该通信设备的定向耦合器,小型化的要求也在提高。关于此,可考虑代替由安装部件构成的定向耦合器而通过将定向耦合器内置于基板来谋求小型化的结构。

[0008] 然而,从以下方面考虑,难以将上述以往的定向耦合器内置于基板。即,在上述以往的定向耦合器中,进行方向性的改善的仅是相对于副线路并联地设置的电容器,若为了改善特性而调整其元件值,则存在该元件值超过能够内置于基板的上限值的情况。另一方面,若为了谋求小型化而将该电容器的元件值抑制在该上限值以下,则存在不能充分改善特性的情况。

[0009] 因此,本发明的目的在于,提供一种能够兼顾特性的改善和小型化的定向耦合器内置基板、高频前端电路以及通信装置。

[0010] 用于解决课题的技术方案

[0011] 为了达成上述目的,本发明的一个方式涉及的定向耦合器内置基板具备:输入端口、输出端口以及耦合端口;定向耦合器,具有主线路和副线路,所述主线路的一端与所述输入端口连接,且另一端与所述输出端口连接,所述副线路与所述主线路电磁耦合,且一端与所述耦合端口连接;第一电容器,与所述副线路并联连接;第二电容器,对所述副线路的另一端和接地进行连接;阻抗元件,对所述副线路的所述另一端和接地进行连接,且在给定的频率具有不足基准化阻抗的阻抗;匹配电路,连接在所述副线路的所述一端与所述耦合端口之间,且在所述给定的频率使所述耦合端口的阻抗与所述基准化阻抗匹配;以及多层基板,通过层叠多个绝缘体层而构成,且内置所述定向耦合器。

[0012] 像这样,通过设置第二电容器,从而能够在谋求特性(特别是方向性特性)的改善的同时抑制第一电容器的元件值。此外,通过具备在给定的频率具有不足基准化阻抗的阻抗的阻抗元件,从而能够改善方向性特性。但是,在设置有这样的不足基准化阻抗的阻抗元

件的结构中,从耦合端口侧观察的阻抗会变得低于基准化阻抗。进而,该阻抗由于设置了第二电容器而具有电容性。因此,通过设置使耦合端口的阻抗与基准化阻抗匹配的匹配电路,从而能够改善耦合端口处的由阻抗不匹配造成的回波损耗(反射损耗)。因此,根据本方式涉及的定向耦合器内置基板,通过具备第一电容器、第二电容器、阻抗元件、匹配电路以及内置于多层基板的定向耦合器,从而能够将第一电容器、第二电容器、阻抗元件以及构成匹配电路的元件各自的元件值抑制为能够内置于多层基板的元件值,且能够谋求特性的改善。也就是说,能够实现能够兼顾特性的改善和小型化的定向耦合器内置基板。

[0013] 此外,所述多层基板还可以内置所述第一电容器、所述第二电容器以及所述匹配电路。

[0014] 由此,与这些元件由安装部件构成的情况相比,能够将定向耦合器内置基板进一步小型化。

[0015] 此外,也可以是,所述主线路以及所述副线路各自由与所述多层基板的主面平行地配置的图案导体构成,构成所述主线路的图案导体和构成所述副线路的图案导体配置为隔着所述多个绝缘体层中的至少一部分的绝缘体层对置。

[0016] 由此,主线路和副线路隔着该至少一部分的绝缘体层进行电磁耦合。因此,能够通过被主线路和副线路夹着的至少一部分的绝缘体层的厚度、层数或者材质等对该电磁耦合度的程度进行调整。因此,通过对它们适当地进行调整,从而关于定向耦合器内置基板的特性,有望得到进一步的改善。

[0017] 此外,构成所述主线路的图案导体以及构成所述副线路的图案导体也可以均配置在所述多层基板的内层。

[0018] 由此,关于主线路和副线路的电磁耦合,能够抑制由外部的基板或元件造成的影响而使其稳定化。因此,关于特性,能够实现可靠性高的定向耦合器内置基板。此外,关于用于将多层基板与母基板或天线元件等进行连接的表面电极,能够提高配置布局的自由度。

[0019] 此外,也可以是,所述主线路以及所述副线路各自由在所述多层基板的内层中与该多层基板的主面平行地配置的图案导体构成,构成所述主线路的图案导体和构成所述副线路的图案导体配置在所述多个绝缘体层的同层。

[0020] 由此,能够谋求多层基板的薄型化。因此,关于定向耦合器内置基板整体,能够谋求进一步的小型化(特别是低高度化)。

[0021] 此外,所述匹配电路也可以具有:电感器,对所述副线路的所述一端和所述耦合端口进行连接;以及第三电容器,对所述电感器的一端和接地进行连接。

[0022] 由此,关于构成匹配电路的元件,能够在抑制为能够内置于多层基板的元件值的上限值以下的同时抑制元件数。因此,能够将定向耦合器内置基板进一步小型化。

[0023] 此外,所述第三电容器也可以对所述电感器的所述耦合端口侧的所述一端和接地进行连接。

[0024] 此外,所述第三电容器也可以对所述电感器的所述副线路侧的所述一端和接地进行连接。

[0025] 此外,所述第一电容器也可以相对于所述副线路和所述电感器的串联连接电路进行并联连接。

[0026] 由此,与第一电容器仅与副线路并联连接的结构相比,能够使第一电容器的元件

值(电容值)以及电感器的元件值(电感值)中的至少一者更小。因此,能够将定向耦合器内置基板进一步小型化。

[0027] 此外,本发明的一个方式涉及的高频前端电路具备:上述的任一定向耦合器内置基板;开关电路,具有与所述输入端口连接的共用端子以及与所述共用端子选择性地连接的多个选择端子;以及多个滤波器,与所述多个选择端子分别连接。

[0028] 由此,能够实现能够兼顾特性的改善和小型化的高频前端电路。

[0029] 此外,本发明的一个方式涉及的通信装置具备:RF信号处理电路,对由天线元件收发的高频信号进行处理;以及上述的高频前端电路,在所述天线元件与所述RF信号处理电路之间传递所述高频信号。

[0030] 由此,能够实现能够兼顾特性的改善和小型化的通信装置。

[0031] 发明效果

[0032] 根据本发明涉及的定向耦合器内置基板、高频前端电路以及通信装置,能够兼顾特性的改善和小型化。

## 附图说明

[0033] 图1是实施方式涉及的高频前端电路及其周边电路的结构图。

[0034] 图2是实施方式涉及的耦合器内置基板的电路结构图。

[0035] 图3是概念性地示出实施方式涉及的耦合器内置基板的剖面构造的图。

[0036] 图4A是示出实施例涉及的耦合器内置基板的插入损耗特性的曲线图。

[0037] 图4B是示出实施例涉及的耦合器内置基板的耦合特性以及隔离度特性的曲线图。

[0038] 图4C是示出实施例涉及的耦合器内置基板的方向性特性的曲线图。

[0039] 图4D是示出实施例涉及的耦合器内置基板的主线路的阻抗特性的史密斯圆图。

[0040] 图4E是示出实施例涉及的耦合器内置基板的副线路的阻抗特性的史密斯圆图。

[0041] 图4F是示出实施例涉及的耦合器内置基板的副线路的反射特性的曲线图。

[0042] 图5是变形例1涉及的耦合器内置基板的电路结构图。

[0043] 图6是变形例2涉及的耦合器内置基板的电路结构图。

## 具体实施方式

[0044] 以下,使用实施例以及附图对本发明的实施方式进行详细说明。另外,以下说明的实施方式均示出总括性的或具体的例子。在以下的实施方式中示出的数值、形状、材料、构成要素、构成要素的配置以及连接方式等为一个例子,其主旨并不在于限定本发明。关于以下的实施方式中的构成要素之中未被记载于独立权利要求的构成要素,作为任意的构成要素进行说明。此外,附图所示的构成要素的大小或大小之比未必严谨。此外,在各图中,对于实质上相同的结构标注相同的附图标记,并存在省略或简化重复的说明的情况。

[0045] (实施方式)

[0046] [1. 高频前端电路的结构]

[0047] 本实施方式涉及的定向耦合器内置基板配置在便携式电话等通信装置的前端部,例如,配置在应对多频段的通信装置的高频前端电路。另外,定向耦合器也被称为“耦合器”。因此,以下将定向耦合器称为“耦合器”并将内置定向耦合器的定向耦合器内置基板称

为“耦合器内置基板”而进行说明。

[0048] 图1是实施方式涉及的高频前端电路1及其周边电路的结构图。在同图中,示出了与高频前端电路1一起构成通信装置4的天线元件2以及RFIC3。通信装置4例如使用在3GPP (Third Generation Partnership Project, 第三代合作伙伴项目) 中规定的Band (频带) 的高频信号与其它通信装置进行通信,在本实施方式中,使用低频段 (例如,704~960MHz) 以及高频段 (例如,1710MHz~2170MHz) 的高频信号 (蜂窝信号) 进行通信。另外,虽然在本实施方式中通信装置4内置有天线元件2,但是也可以不内置。

[0049] 天线元件2是用于收发高频信号的例如应对多频段的天线。

[0050] RFIC3是对由天线元件2收发的高频信号进行处理的RF信号处理电路。具体而言,RFIC3通过上变频等对从基带信号处理电路 (未图示) 输入的发送信号进行信号处理,并将进行该信号处理而生成的高频信号 (在此为高频发送信号) 输出到高频前端电路1的发送侧信号路径。此外,RFIC3通过下变频等对从天线元件2经由高频前端电路1的接收侧信号路径 (未图示) 输入的高频信号 (在此为高频接收信号) 进行信号处理,并向基带信号处理电路输出进行该信号处理而生成接收信号。

[0051] 高频前端电路1是在天线元件2与RFIC3之间传递高频信号的电路。具体而言,高频前端电路1将从RFIC3输出的高频信号 (在此为高频发送信号) 经由发送侧信号路径传递到天线元件2。此外,高频前端电路1将由天线元件2接收的高频信号 (在此为高频接收信号) 经由接收侧信号路径 (未图示) 传递到RFIC3。

[0052] 在本实施方式中,高频前端电路1具备耦合器内置基板10、发送放大电路组20、滤波器组30以及开关电路40。

[0053] 耦合器内置基板10是内置耦合器11的基板,将输入到输入端口的高频信号传递到输出端口,并且从耦合端口输出具有与从输入端口传递到输出端口的高频信号的功率成比例的功率的高频信号。在本实施方式中,输入端口是作为与开关电路40连接的端子的开关端口 $P_{SW}$ ,输出端口是作为与天线元件2连接的端子的天线端口 $P_{ANT}$ ,耦合端口是作为与RFIC3连接的端子的耦合端口 $P_{CPL}$ 。关于该耦合器内置基板10的细节将在后面叙述。

[0054] 发送放大电路组20包含分别对应于多个频段的放大电路。具体而言,放大电路由对从RFIC3输出的高频发送信号进行功率放大的一个以上的功率放大器构成,在本实施方式中,由进行了多级连接 (级联连接) 的两级的功率放大器构成。

[0055] 滤波器组30包含分别对应于多个频段的滤波器,将由发送放大电路组20放大的高频信号以对应的频段的频带进行滤波。在本实施方式中,滤波器组30具有将低频段的频带 (低频段的蜂窝频带) 作为通带的滤波器和将高频段的频带 (高频段的蜂窝频带) 作为通带的滤波器。

[0056] 开关电路40具有与耦合器内置基板10的开关端口 $P_{SW}$  (输入端口) 连接的共用端子和选择性地与该端子连接的多个选择端子 (在本实施方式中为两个选择端子)。在此,多个选择端子与构成滤波器组30的多个滤波器分别连接。开关电路40按照来自RFIC3等的控制部的控制信号,将多个选择端子中的任一个与共用端子进行连接。另外,与共用端子连接的选择端子并不限于一个,也可以是多个。

[0057] 像这样构成的高频前端电路1将从RFIC3输入的高频信号 (在此为高频发送信号) 用给定的功率放大器进行放大,且用给定的滤波器进行滤波并输出到天线元件2。由这样的

高频前端电路1、天线元件2以及RFIC3构成的通信装置4通过使用从耦合端口 $P_{CPL}$ 输出的高频信号的功率对高频发送信号的功率进行检测,从而例如能够基于所检测的功率对功率放大器的输出功率进行控制。

[0058] [2.耦合器内置基板]

[0059] 接着,对本实施方式涉及的耦合器内置基板10的细节进行说明。

[0060] [2-1.结构]

[0061] 图2是耦合器内置基板10的电路结构图。

[0062] 如同图所示,耦合器内置基板10具备具有主线路111和副线路112的耦合器11、电容器C11、电容器C12、电阻元件R12、以及具有电容器C13和电感器L13的匹配电路M1。

[0063] 主线路111是如下的传输线路,即,一端111a与开关端口 $P_{SW}$ (输入端口)连接,且另一端111b与天线端口 $P_{ANT}$ (输出端口)连接。

[0064] 副线路112是如下的传输线路,即,与主线路111电磁耦合,且一端112a与耦合端口 $P_{CPL}$ (耦合端口)连接。在此,所谓“电磁耦合”,是指电容耦合以及磁耦合。也就是说,主线路111和副线路112通过在彼此之间产生的电容进行电容耦合,且通过在彼此之间作用的互感进行磁耦合。

[0065] 在由这样的主线路111以及副线路112构成的耦合器11中,具有与从主线路111的一端111a向另一端111b流过的高频信号的功率成比例的功率的高频信号从副线路112的另一端112b向一端112a流过并输出。

[0066] 电容器C11是与副线路112并联连接的第一电容器,在本实施方式中对副线路112的一端112a和另一端112b进行连接(桥接)。这样的电容器C11与主线路111具有的电感分量以及副线路112具有的电感分量一起构成LC谐振电路。该LC谐振电路相对于从开关端口 $P_{SW}$ 传输到天线端口 $P_{ANT}$ 的高频信号进行谐振。在此,例如,若将该高频信号的频率(即,耦合器11的工作频率等给定的频率)设为 $f$ ,并将主线路111以及副线路112的合成电感分量设为 $L$ ,则电容器C11的元件值(电容值) $C_{11}$ 设定得小于满足 $f=1/(2\pi\sqrt{LC_{11}})$ 的元件值。

[0067] 电容器C12是对副线路112的另一端112b和接地进行连接的第二电容器。

[0068] 电阻元件R12是对副线路112的另一端112b和接地进行连接的阻抗元件。换言之,电阻元件R12(阻抗元件)是耦合器11的终止电阻,具体而言,是副线路112的另一端112b的终止电阻。在耦合器内置基板10中,电阻元件R12和电容器C12的并联连接电路与将副线路112的另一端112b和电容器C11连结的路径上的节点连接。

[0069] 在此,电阻元件R12是在耦合器11的工作频率(给定的频率)成为不足基准化阻抗的阻抗的阻抗元件。在本实施方式中,耦合器11的工作频率是包含滤波器组30的通带的频带,基准化阻抗为 $50\Omega$ 。

[0070] 另外,耦合器11的工作频率以及基准化阻抗并不限于此。此外,对副线路112的另一端112b和接地进行连接的阻抗元件并不限于电阻元件R12,只要是在耦合器11的工作频率成为不足基准化阻抗的阻抗的阻抗元件即可,例如也可以是电感器。

[0071] 匹配电路M1是如下的电路,即,连接在副线路112的一端112a与耦合端口 $P_{CPL}$ (耦合端口)之间,且在耦合器11的工作频率使耦合端口 $P_{CPL}$ 的阻抗与基准化阻抗匹配。也就是说,在耦合器内置基板10中,匹配电路M1与将副线路112的一端112a和电容器C11连结的路径上的节点连接。在此,所谓“与基准化阻抗匹配”,不仅包含与基准化阻抗完全匹配的情况,还包

含在基准化阻抗附近匹配的情况,例如还包含使反射损耗与15dB以下的范围匹配的情况。

[0072] 具体而言,匹配电路M1具有电感器L13和电容器C13(第三电容器),电感器L13对副线路112的一端112a和耦合端口P<sub>CPL</sub>(耦合端口)进行连接,电容器C13(第三电容器)对电感器L13的一端和接地进行连接。在本实施方式中,电容器C13对电感器L13的耦合端口P<sub>CPL</sub>侧的一端和接地进行连接。

[0073] 具有这样的电路结构的耦合器内置基板10具备内置耦合器11的多层基板。对此,使用图3进一步进行说明。

[0074] 图3是概念性地示出实施方式涉及的耦合器内置基板10的剖面构造的图。另外,在同图中,为了简明,存在将严格来说处于其它剖面的构成要素示于同一附图内进行说明的情况。此外,关于在本实施方式中由安装部件(芯片部件)形成的电阻元件R12,以侧视方式示出。此外,在同图中,方便起见,用虚线示出了后述的基材层的边界。

[0075] 如同图所示,耦合器内置基板10由多层基板12和电阻元件R12形成,多层基板12内置耦合器11,电阻元件R12由安装于多层基板12的安装部件形成。在本实施方式中,多层基板12还内置电容器C11(第一电容器)、电容器C12(第二电容器)、以及匹配电路M1(即,电容器C13以及电感器L13)。

[0076] 多层基板12通过层叠多个绝缘体层(在此为27层的基材层121a)而形成,且内置耦合器11。具体而言,多层基板12由层叠坯体121和各种导体构成,层叠坯体121由层叠的多个基材层121a形成,各种导体用于实现耦合器内置基板10的电路结构。在各种导体中,例如包含:图案导体122,其是沿着多层基板12的主面设置在多层基板内的面内导体;过孔导体123,其是设置在与该主面垂直的方向上的层间连接导体;以及内层的接地导体124a以及124b,沿着多层基板12的主面设置于多层基板内的绝缘体层的大致整体。此外,多层基板12例如在底面具有用于将多层基板12安装于母基板等的表面电极125,例如在顶面具有用于对电阻元件R12等安装部件进行安装等的表面电极126。

[0077] 例如,作为基材层121a,可使用非磁性铁氧体陶瓷、以氧化铝以及玻璃为主成分的绝缘性玻璃陶瓷。另外,作为基材层121a,也可以使用磁性铁氧体陶瓷。例如,作为铁氧体,以氧化铁为主成分,并包含锌、镍以及铜中的至少一种以上。此外,例如,作为陶瓷,也可以使用烧成温度为银的熔点以下的LTCC陶瓷(Low Temperature Co-fired Ceramics,低温共烧陶瓷)。由此,能够使用以银为主成分的金属或合金来构成各种导体。因此,例如能够在大气等氧化性环境下对多层基板12进行烧成。此外,例如,作为各种导体,可使用以银为主成分的金属或合金。

[0078] 另外,作为基材层121a,并不限于上述材料,例如也可以使用聚酰亚胺等热塑性树脂。此外,作为各种导体,并不限于上述材料,例如也可以使用以铜为主成分的金属或合金。

[0079] 在本实施方式中,由图案导体122以及过孔导体123形成耦合器11、电容器C11~C13和电感器L13、以及将它们连接的布线。例如,耦合器11由长条状的对置的一对图案导体122构成,电容器C11~C13由矩形的对置的一对图案导体122构成,电感器L13通过由过孔导体123对线圈状的多个图案导体122的端部进行连接而构成。此外,由底面侧的表面电极125形成天线端口P<sub>ANT</sub>(输出端子)、耦合端口P<sub>CPL</sub>(耦合端子)以及接地端子P<sub>GND</sub>,由顶面侧的表面电极126形成开关端口P<sub>SW</sub>(输入端子)、以及用于安装电阻元件R12的安装用端子P<sub>R\_H</sub>和P<sub>R\_GND</sub>。

[0080] 也就是说,在本实施方式中,构成耦合器11的主线路111以及副线路112各自由与多层基板12的主面平行地配置的图案导体122构成。此外,构成主线路111的图案导体122和构成副线路112的图案导体122配置为隔着多个绝缘体层中的至少一部分的绝缘体层(在此为多个基材层121a中的一层基材层121a)对置。因此,主线路111和副线路112在多层基板12内电磁耦合。具体而言,主线路111和副线路112平行地延伸设置,且从多层基板12的层叠方向观察,重叠地配置。

[0081] 此外,在本实施方式中,主线路111以及副线路112均形成在多层基板12的内层。也就是说,构成主线路111的图案导体122以及构成副线路112的图案导体122均从层叠方向两侧被一个以上的基材层121a夹着。

[0082] 此外,在本实施方式中,构成主线路111的图案导体122和构成副线路112的图案导体122从层叠方向两侧被接地导体124a以及124b夹着。通过该结构,主线路111或副线路112与其它传输线路或元件的隔离度提高,能够抑制它们之间的不必要的电磁耦合。

[0083] 这些构成主线路111的图案导体122和构成副线路112的图案导体122的线宽以及长度等,能够根据耦合度等对耦合器11的要求规格以及基材层121a的介电常数等而适当地决定。

[0084] 到此为止对耦合器内置基板10的结构进行了说明,但是耦合器内置基板10的结构并不限定于上述结构。

[0085] 例如,构成主线路111的图案导体122和构成副线路112的图案导体122之间的基材层121a的数量并不限于上述数量,例如,能够根据耦合度等对耦合器11的要求规格以及基材层121a的介电常数等而适当地决定。

[0086] 此外,例如,主线路111以及副线路112中的一方的线路也可以形成在多层基板12的主面。也就是说,也可以是,该一方的线路不内置于多层基板12,仅另一方的线路内置于多层基板12。

[0087] 此外,根据构成多层基板12的材料等,能够内置于多层基板12的元件值存在上限。因此,虽然在本实施方式中,电阻元件R12(阻抗元件)由安装部件形成,但是在能够将具有电阻元件R12的元件值的电阻内置于多层基板12的情况下,电阻元件R12也可以内置于多层基板12。也就是说,电阻元件R12也可以由图案导体122以及过孔导体123等形成。

[0088] 此外,虽然从小型化的观点出发,电容器C11~C13以及电感器L13优选内置于多层基板12,但是电容器C11~C13以及电感器L13中的至少一者也可以不内置于多层基板12而由安装部件形成。

[0089] [2-2.特性]

[0090] 接着,使用实施例对本实施方式涉及的耦合器内置基板10的特性进行说明。

[0091] 本实施例涉及的耦合器内置基板具有实施方式涉及的耦合器内置基板10的结构,传递高频段的蜂窝信号。耦合器内置基板10的各元件值如下。

[0092] 电容器C11(第一电容器):0.7pF

[0093] 电容器C12(第二电容器):2.2pF

[0094] 电阻元件R12(阻抗元件):30Ω

[0095] 电容器C13(第三电容器):2.3pF

[0096] 电感器L13:1.3nH

[0097] 图4A~图4F是示出实施例涉及的耦合器内置基板的特性的曲线图。具体而言,图4A是示出实施例涉及的耦合器内置基板的插入损耗特性的曲线图。图4B是示出实施例涉及的耦合器内置基板的耦合特性以及隔离度(Isolation)特性的曲线图。图4C是示出实施例涉及的耦合器内置基板的定向性(Directivity)特性的曲线图。图4D是示出实施例涉及的耦合器内置基板的主线路111的阻抗特性的史密斯圆图,用虚线示出开关端口 $P_{SW}$ (输入端口)的阻抗特性,用实线示出天线端口 $P_{ANT}$ (输出端口)的阻抗特性。图4E是示出实施例涉及的耦合器内置基板的副线路112的阻抗特性的史密斯圆图,示出了耦合端口 $P_{CPL}$ 的阻抗特性。图4F是示出实施例涉及的耦合器内置基板的副线路112的反射特性的曲线图,示出了耦合端口 $P_{CPL}$ 处的反射特性。

[0098] 在此,所谓插入损耗特性,是指开关端口 $P_{SW}$ (输入端口)与天线端口 $P_{ANT}$ (输出端口)之间的通过特性(插入损耗)的频率特性。所谓耦合特性,是指开关端口 $P_{SW}$ (输入端口)与耦合端口 $P_{CPL}$ 之间的耦合量(耦合度)的频率特性。所谓隔离度特性,是指天线端口 $P_{ANT}$ (输出端口)与耦合端口 $P_{CPL}$ 之间的耦合量(隔离度)的频率特性。所谓方向性特性,是指相当于从隔离度特性减去了耦合特性的差分的频率特性。所谓阻抗特性,是指各端口(在图4D中为开关端口 $P_{SW}$ 以及天线端口 $P_{ANT}$ ,在图4E中为耦合端口 $P_{CPL}$ )处的阻抗的频率特性。所谓反射特性,是指各端口(在图4F中为耦合端口 $P_{CPL}$ )处的输入输出的反射特性(反射损耗)的频率特性。

[0099] 另外,在图4A~图4C中,在通带低频端(在此为1710MHz)以及通带高频端(在此为2170MHz)中的至少一方附加了标记。此外,在曲线图的右侧,示出了曲线图中的标记 $m^*$ (在此, $*$ 为曲线图中 $m$ 之后的数值)处的频率以及此时的数值。

[0100] 在本实施例中,如图4A所示,在通带内插入损耗为0.14dB以下。此外,如图4B所示,在通带内耦合度的变化被抑制在4dB以下。具体而言,该耦合度收敛于 $25.5 \pm 2.0$ dB的范围并被平滑化。此外,如图4B所示,在通带内隔离度确保为45dB以上。根据该耦合度以及隔离度,如图4C所示,方向性确保为20dB以上。此外,如图4D所示,关于主线路111,在通带内,在开关端口 $P_{SW}$ 以及天线端口 $P_{ANT}$ 处,均与基准化阻抗(在此为 $50 \Omega$ )匹配。此外,如图4E所示,关于副线路112,在通带内,在耦合端口 $P_{CPL}$ 处,也与基准化阻抗(在此为 $50 \Omega$ )匹配。因此,如图4F所示,在耦合端口 $P_{CPL}$ 处,通带内的反射损耗为15dB以下。

[0101] 像这样,可知本实施例涉及的耦合器内置基板通过将耦合器11、电容器 $C11 \sim C13$ 以及电感器 $L13$ 内置于多层基板12,从而谋求小型化,并且示出良好的特性。

[0102] [总结]

[0103] 像以上说明的那样,本实施方式涉及的耦合器内置基板10具备与副线路112并联连接的电容器 $C11$ (第一电容器)。此外,具备多层基板12,多层基板12内置了对副线路112的另一端112b和接地进行连接的电容器 $C12$ (第二电容器)以及电阻元件 $R12$ (阻抗元件)和耦合器11。此外,具备连接在副线路112的一端112a与耦合端口 $P_{CPL}$ 之间的匹配电路 $M1$ 。

[0104] 像这样,在本实施方式中,通过设置电容器 $C12$ (第二电容器),从而能够在谋求特性(特别是方向性特性)的改善的同时,抑制电容器 $C11$ (第一电容器)的元件值。具体而言,即使是仅设置电容器 $C11$ 以及 $C12$ 中的电容器 $C11$ 的结构,也能够与本实施方式同样地谋求特性的改善。但是,在该情况下,需要仅通过一个电容器来进行特性的改善,因此设计自由度低。因此,电容器 $C11$ 向多层基板12的内置可能会变得困难,可能会妨碍小型化。相对于此,在本实施方式中,通过设置电容器 $C12$ ,从而能够确保设计自由度,能够谋求电容器 $C11$

以及C12向多层基板12的内置。

[0105] 在此,关于可通过设置电容器C12来谋求特性的改善的机理,例如可认为如下。即,附加于副线路112的另一端112b的阻抗依赖于电容器C12的常数。因此,通过适当地调整电容器C12的常数,从而容易使特定的频率的高频信号流过终止电阻(在本实施方式中为电阻元件R12)。其结果是,能够抑制从天线端口P<sub>ANT</sub>(输出端口)传输到耦合端口P<sub>CPL</sub>的高频信号,因此能够提高隔离度(改善隔离度特性)。也就是说,能够谋求方向性特性的改善。

[0106] 此外,在本实施方式中,通过具备在给定的频率具有不足基准化阻抗(在本实施方式中,是在耦合器11的工作频率不足50Ω)的阻抗的电阻元件R12(阻抗元件),从而能够改善方向性特性。一般来说,在副线路112的另一端112b与隔离端口等其它端口连接的情况下,为了取得该其它端口处的匹配,副线路的另一端112b与其它端口之间按基准化阻抗系统进行设计。因此,在不使用其它端口的情况下,该其它端口被在上述给定的频率具有与基准化阻抗同等的阻抗的终止电阻等阻抗元件所终止。关于此,本申请的发明人发现,在不使用该其它端口的情况下,也就是说,在不是包含其它端口的四端口而是三端口(输入端口、输出端口以及耦合端口)的结构的情况下,通过使该阻抗元件的阻抗在上述给定的频率不足基准化阻抗,从而能够改善方向性特性。

[0107] 但是,在设置有这样的不足基准化阻抗的阻抗元件的结构中,从耦合端口P<sub>CPL</sub>侧观察的阻抗会变得低于基准化阻抗。进而,该阻抗由于设置了电容器C12而具有电容性。因此,在本实施方式中,通过在副线路112的一端112a与耦合端口P<sub>CPL</sub>(耦合端口)之间设置使耦合端口P<sub>CPL</sub>的阻抗与基准化阻抗匹配的匹配电路M1,从而能够改善(抑制)耦合端口P<sub>CPL</sub>处的阻抗不匹配所造成的回波损耗(反射损耗)。

[0108] 关于此,例如,以宽带中的耦合度的平滑化为目的,可考虑如下结构,即,设置由电感器和电容器构成的低通滤波器,该电感器对副线路112的一端112a和耦合端口P<sub>CPL</sub>(耦合端口)进行连接,该电容器对连接该电感器和耦合端口P<sub>CPL</sub>的路径的节点和接地进行连接。然而,在这样的结构中,构成低通滤波器的元件的元件值容易变大,向多层基板12的内置可能会变得困难。

[0109] 相对于此,在本实施方式中,在副线路112的一端112a与耦合端口P<sub>CPL</sub>(耦合端口)之间设置构成匹配电路M1的元件,匹配电路M1用于改善(抑制)回波损耗。因此,能够抑制该元件的元件值,能够谋求元件向多层基板12的内置。

[0110] 因此,本实施方式涉及的耦合器内置基板10通过具备上述的电容器C11以及C12、电阻元件R12、匹配电路M1和内置于多层基板12的耦合器11,从而能够将电容器C11以及C12、电阻元件R12和构成匹配电路M1的元件的元件值抑制为能够内置于多层基板12的元件值,且能够谋求特性的改善。也就是说,能够实现能够兼顾特性的改善和小型化的耦合器内置基板10。

[0111] 具体而言,在本实施方式中,多层基板12内置电容器C11(第一电容器)、电容器C12(第二电容器)以及匹配电路M1。由此,与这些元件由安装部件构成的情况相比,能够将耦合器内置基板10进一步小型化。

[0112] 此外,在本实施方式中,构成主线路111的图案导体122和构成副线路112的图案导体122配置为隔着构成多层基板12的至少一部分的基材层121a(绝缘体层)对置。由此,主线路111和副线路112隔着该至少一部分的基材层121a进行电磁耦合。在此,作为调整该电磁

耦合度的程度的方法,存在如下方法:调整主线路111与副线路112的距离的方法;以及通过主线路111和副线路112的线路的长度或宽度等的调整来调整电感值的方法。关于此,在本实施方式中,能够通过被主线路111和副线路112夹着的至少一部分的基材层121a的层的厚度、层数或材质等对该电磁耦合度的程度进行调整。因此,通过对它们适当地进行调整,从而关于耦合器内置基板10的特性,有望得到进一步的改善。

[0113] 此外,在本实施方式中,构成主线路111的图案导体122以及构成副线路112的图案导体122均配置在多层基板12的内层。也就是说,这些图案导体122配置为不从多层基板12露出。由此,关于主线路111和副线路112的电磁耦合,能够抑制由外部的基板或元件造成的影响而使其稳定化。因此,关于特性,能够实现可靠性高的耦合器内置基板10。此外,关于用于将多层基板12与母基板或天线元件2等进行连接的表面电极125以及126,能够提高配置布局的自由度。

[0114] 此外,在本实施方式中,匹配电路M1具备:对副线路112的一端112a和耦合端口 $P_{CPL}$ 进行连接的电感器L13;以及对电感器L13的一端和接地进行连接的电容器C13(第三电容器)。由此,关于构成匹配电路M1的元件,能够在抑制为能够内置于多层基板12的元件值的上限值以下的同时,抑制元件数。因此,能够将耦合器内置基板10进一步小型化。

[0115] (变形例1)

[0116] 在上述实施方式中,电容器C13(第三电容器)对电感器L13的耦合端口 $P_{CPL}$ (耦合端口)侧的一端和接地进行了连接。但是,电容器C13只要对电感器L13的一端和接地进行连接即可,并不限于上述的连接关系。

[0117] 图5是变形例1涉及的耦合器内置基板10A的电路结构图。

[0118] 同图所示的耦合器内置基板10A与实施方式涉及的耦合器内置基板10相比,代替匹配电路M1而具备匹配电路M2,其中,电容器C13对电感器L13的副线路112侧的一端和接地进行连接。也就是说,电容器C13对连接电感器L13和副线路112的一端112a的路径上的节点和接地进行连接。

[0119] 即使是像这样构成的本变形例涉及的耦合器内置基板10A,也能够达到与实施方式同样的效果。

[0120] (变形例2)

[0121] 在上述实施方式中,电容器C11(第一电容器)对副线路112的一端112a和另一端112b进行了连接。但是,电容器C11只要与副线路112并联连接即可,并不限于上述的连接关系。

[0122] 图6是变形例2涉及的耦合器内置基板10B的电路结构图。

[0123] 同图所示的耦合器内置基板10B与实施方式涉及的耦合器内置基板10相比,不同点在于,电容器C11相对于副线路112和电感器L13的串联连接电路进行并联连接。关于电容器C11的一端,具体而言,与连接耦合端口 $P_{CPL}$ 和电感器L13的路径上的节点连接,更具体而言,与该路径上的比连接有电容器C13的节点靠电感器L13侧的节点连接。另外,电容器C11的一端也可以与该路径上的比连接有电容器C13的节点靠耦合端口 $P_{CPL}$ 侧的节点连接。

[0124] 即使是像这样构成的本变形例涉及的耦合器内置基板10B,也能够达到与实施方式以及变形例1同样的效果。

[0125] 此外,根据本变形例,通过电容器C11相对于副线路112和电感器L13的串联连接电

路进行并联连接,从而与电容器C11仅与副线路112并联连接的结构相比,能够使电容器C11的元件值(电容值)以及电感器L13的元件值(电感值)中的至少一者更小。因此,能够将耦合器内置基板10B进一步小型化。

[0126] (其它变形例)

[0127] 以上,列举实施方式及其变形例对本发明的实施方式涉及的耦合器内置基板(定向耦合器内置基板)进行了说明,但是本发明并不限于上述实施方式及其变形例。将上述实施方式及其变形例中的任意的构成要素进行组合而实现的其它实施方式、在不脱离本发明的主旨的范围内对上述实施方式及其变形例实施本领域技术人员想到的各种变形而得到的变形例、内置了本发明涉及的耦合器内置基板的各种设备也包含于本发明。

[0128] 例如,具备上述的耦合器内置基板的高频前端电路以及通信装置也包含于本发明。根据这样的高频前端电路以及通信装置,通过具备上述的耦合器内置基板,能够兼顾特性的改善和小型化。

[0129] 此外,例如在多层基板12内,形成电容器C11的电容器C12侧的电极的图案导体122和形成电容器C12的电容器C11侧的电极的图案导体122也可以共用化。也就是说,这两个电极也可以由一个图案导体122形成。通过这样的结构,能够谋求耦合器内置基板的进一步的小型化(特别是低高度化)。

[0130] 同样地,在变形例1中,形成电容器C11的电容器C13侧的电极的图案导体122和形成电容器C13的电容器C11侧的电极的图案导体122也可以共用化。

[0131] 此外,主线路111和副线路112也可以配置在多层基板12的同层。也就是说,也可以是,主线路111以及副线路112各自自由在多层基板12的内层中与该多层基板12的主面平行地配置的图案导体122构成,构成主线路111的图案导体122和构成副线路112的图案导体122配置在多个基材层121a(多个绝缘体层)的同层。换言之,虽然在上述实施方式中,构成主线路111的图案导体122和构成副线路112的图案导体122在多层基板12的层叠方向上排列配置,但是也可以在与该层叠方向垂直的方向(即,与多层基板12的主面平行的方向)上排列配置。

[0132] 即使是这样的结构,通过由多层基板12的内层的图案导体122构成主线路111和副线路112,从而也可达到与上述实施方式同样的效果。即,关于特性,能够实现可靠性高的耦合器内置基板。此外,关于用于将多层基板12与母基板或天线元件等进行连接的表面电极,能够提高配置布局的自由度。

[0133] 进而,根据这样的结构,通过将主线路111和副线路112配置在多层基板12的同层,从而与上述实施方式相比,能够谋求多层基板12的薄型化。因此,关于耦合器内置基板整体,能够谋求进一步的小型化(特别是低高度化)。

[0134] 此外,在上述说明中,以为了检测高频发送信号的功率而使用耦合器11的结构为例进行了说明。但是,耦合器11例如也可以用于检测天线元件2中的高频发送信号的反射功率。在这样的结构中,上述的开关端口 $P_{SW}$ (输入端口)与天线元件2连接,上述的天线端口 $P_{ANT}$ (输出端口)与开关电路40连接。也就是说,输入端口以及输出端口能够根据检测功率的对象的高频信号而与天线元件2以及开关电路40等耦合器内置基板的周边电路的部件适当地进行连接。

[0135] 此外,耦合器11例如也可以用于检测高频接收信号的功率。也就是说,耦合器11并

不限于具备功率放大器的发送系统的高频前端电路1,也可以用于具备低噪声放大器的接收系统的高频前端电路。

[0136] 此外,例如在高频前端电路1或通信装置4中,也可以在各构成要素之间连接有电感器、电容器。另外,在该电感器中,也可以包含由将各构成要素间相连的布线构成的布线电感器。

[0137] 产业上的可利用性

[0138] 本发明能够作为小型且具有良好的特性的耦合器内置模块、高频前端电路以及通信装置而广泛利用于便携式电话等通信设备。

[0139] 附图标记说明

[0140] 1:高频前端电路;

[0141] 2:天线元件;

[0142] 3:RFIC(RF信号处理电路);

[0143] 4:通信装置;

[0144] 10、10A、10B:耦合器内置基板(定向耦合器内置基板);

[0145] 11:耦合器(定向耦合器);

[0146] 12:多层基板;

[0147] 20:发送放大电路组;

[0148] 30:滤波器组;

[0149] 40:开关电路;

[0150] 111:主线路;

[0151] 112:副线路;

[0152] 121:层叠坯体;

[0153] 121a:基材层(绝缘体层);

[0154] 122:图案导体;

[0155] 123:过孔导体;

[0156] 124a、124b:接地导体;

[0157] 125、126:表面电极;

[0158] C11:电容器(第一电容器);

[0159] C12:电容器(第二电容器);

[0160] C13:电容器(第三电容器);

[0161] L13:电感器;

[0162] M1、M2:匹配电路;

[0163] P<sub>SW</sub>:开关端口(输入端口);

[0164] P<sub>ANT</sub>:天线端口(输出端口);

[0165] P<sub>CPL</sub>:耦合端口(耦合端口);

[0166] R12:电阻元件(阻抗元件)。

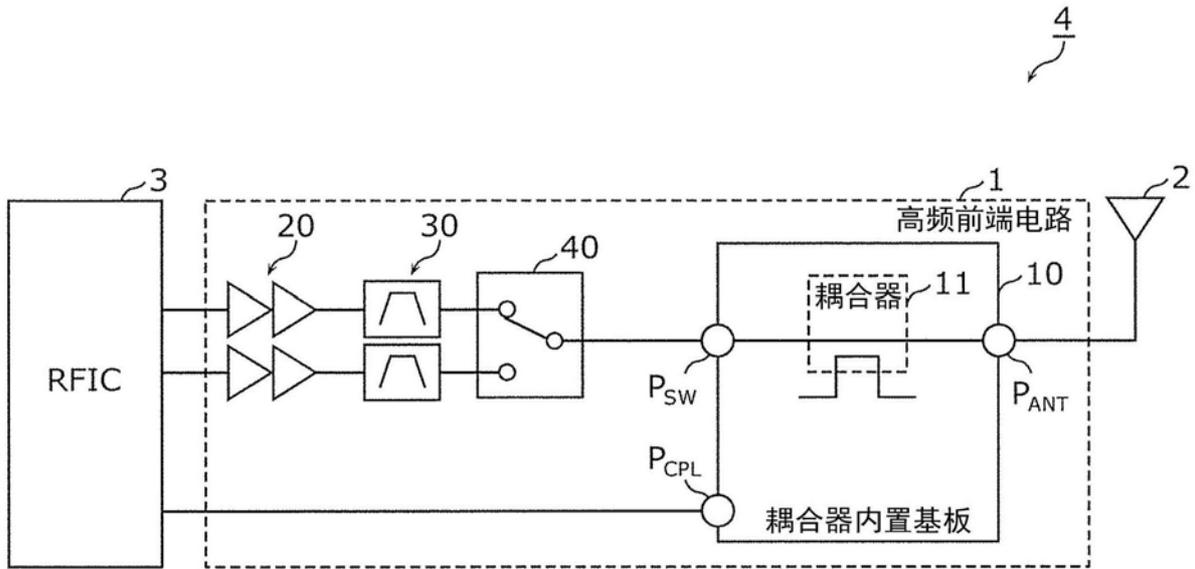


图1

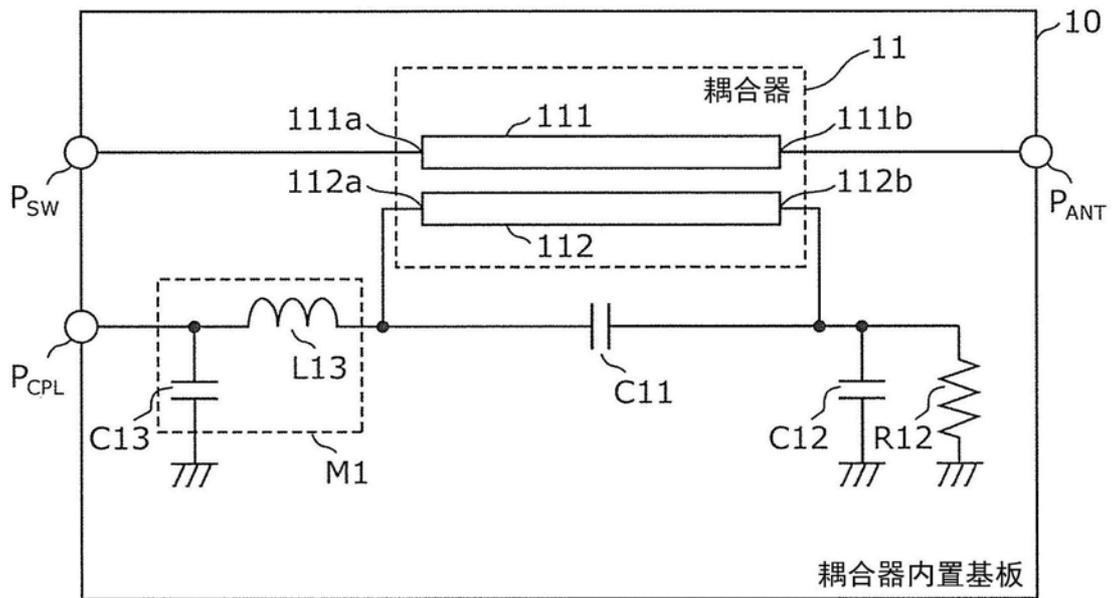


图2



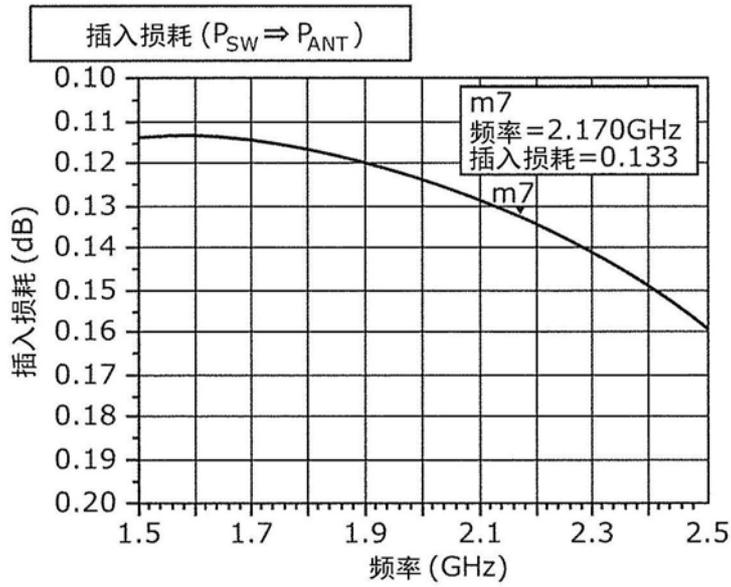


图4A

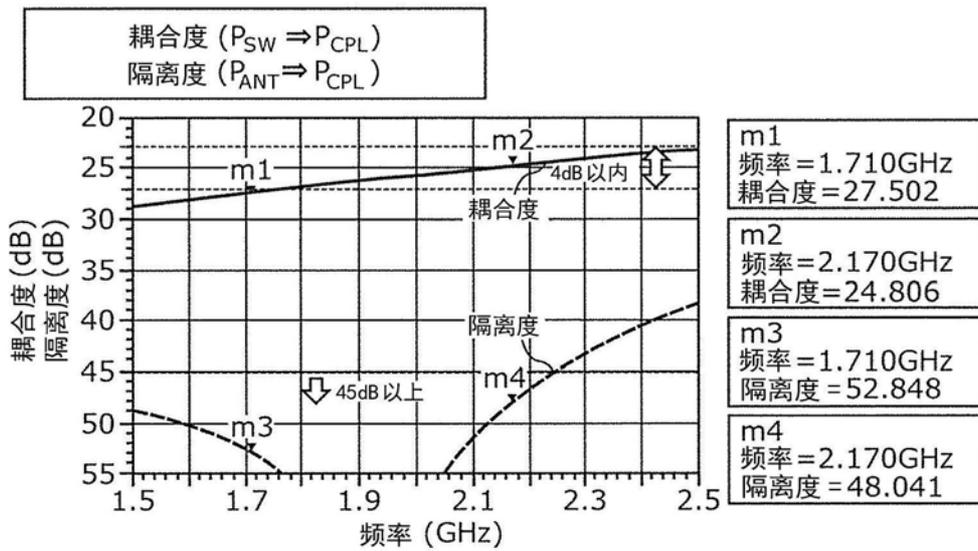


图4B

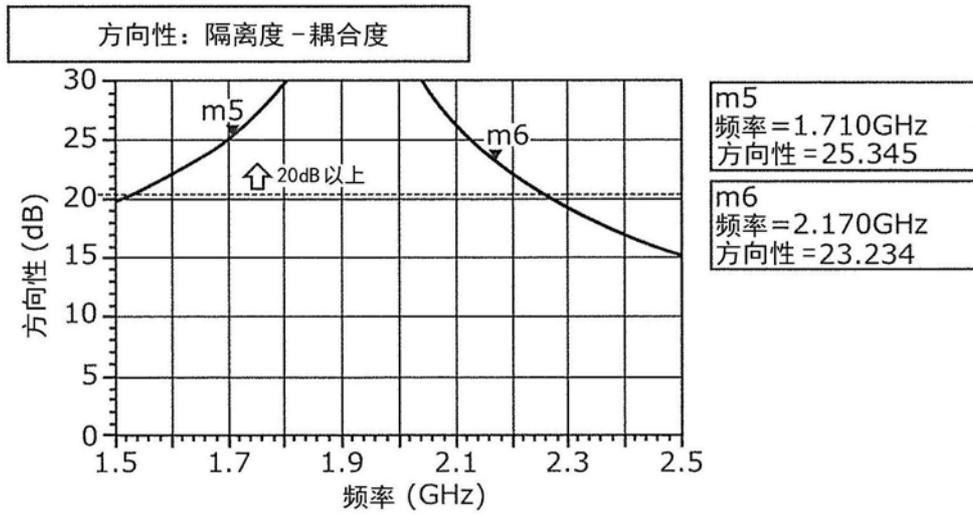


图4C

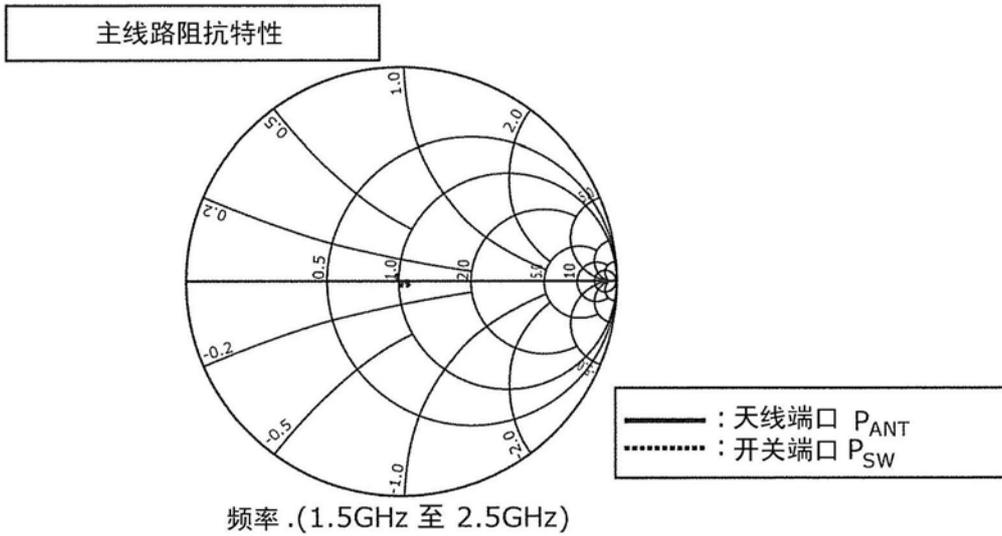


图4D

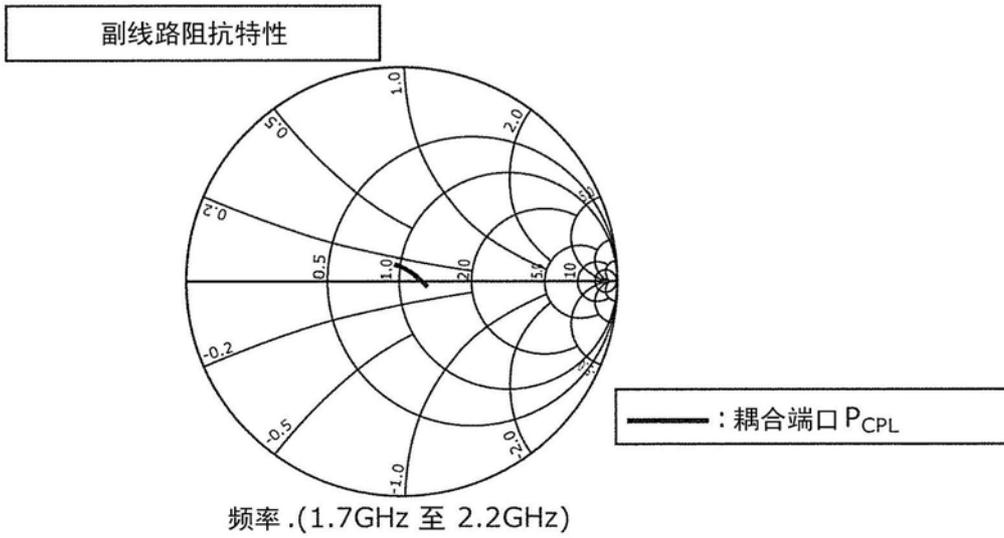


图4E

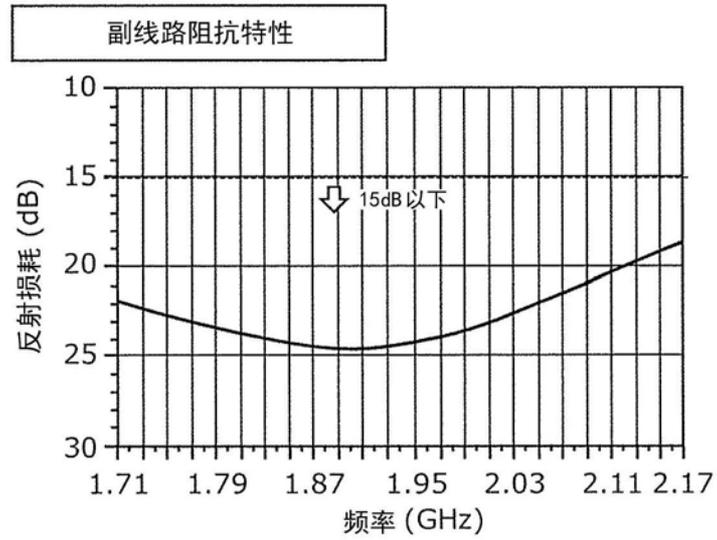


图4F

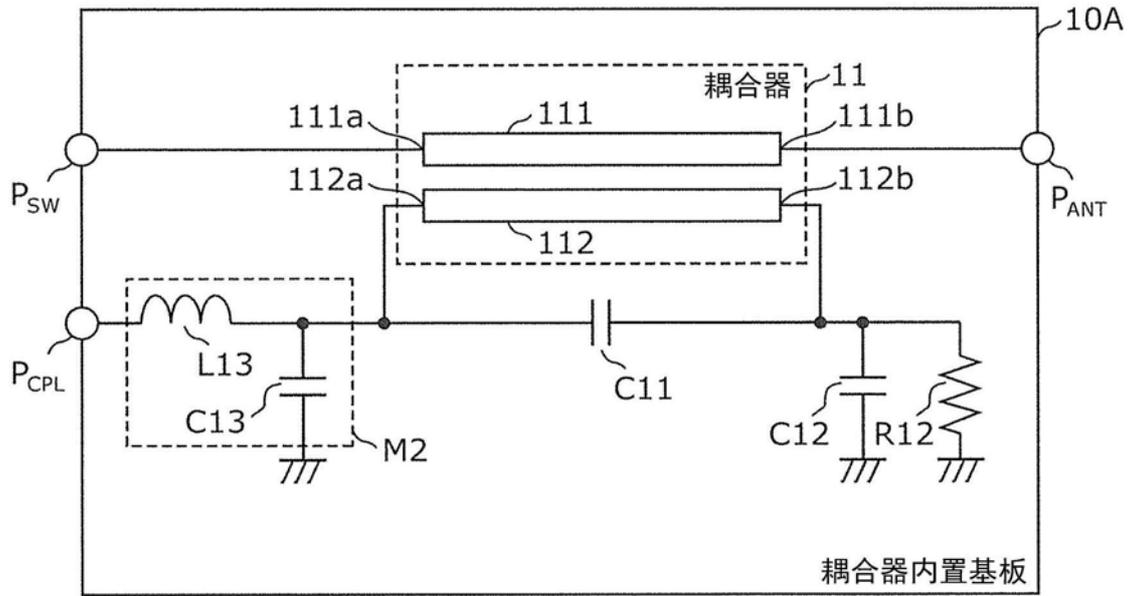


图5

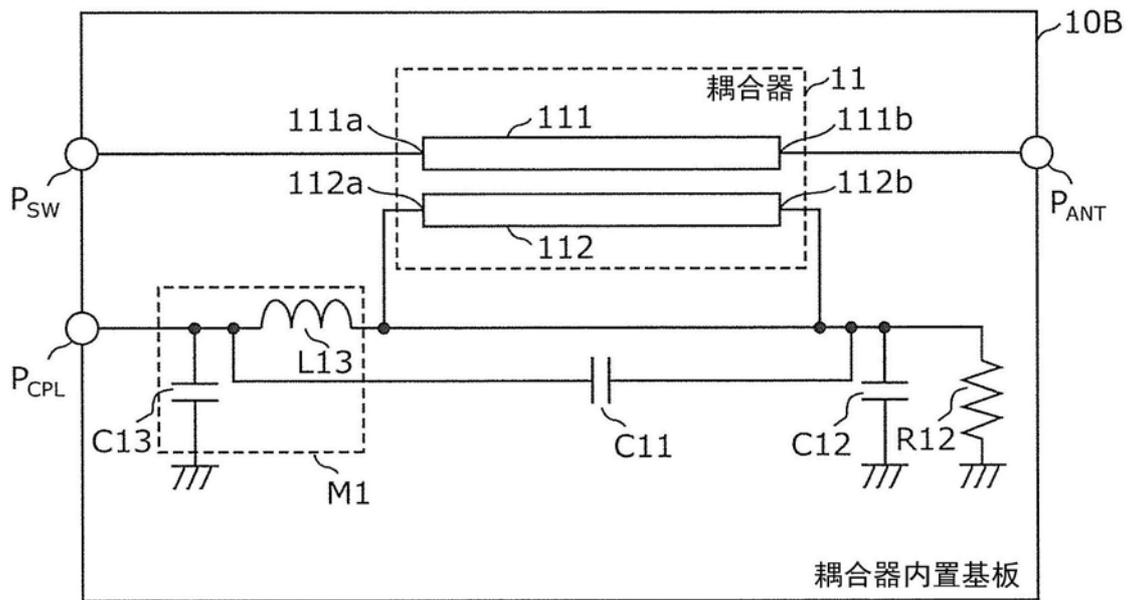


图6